**TRƯỜNG ĐẠI HỌC CÔNG NGHIỆP HÀ NỘI**

**KHOA CÔNG NGHỆ THÔNG TIN**

\*\*\*\*\*



**BÁO CÁO THỰC NGHIỆM MÔN HỌC : KTMT&HĐH**

ĐỀ TÀI:

**Nghiên cứu tìm hiểu về vi mạch điều khiển ưu tiên ngắt PIC 8259A**

**(Priority Interrupt Controller)**

Giáo viên : Ths Nguyễn Tuấn Tú

Nhóm số : 11

Lớp :IT6067.

HÀ NỘI – 2023

TRƯỜNG ĐẠI HỌC CÔNG NGHIỆP HÀ NỘI

KHOA CÔNG NGHỆ THÔNG TIN

**TRƯỜNG ĐẠI HỌC CÔNG NGHIỆP HÀ NỘI**

**KHOA CÔNG NGHỆ THÔNG TIN**

\*\*\*\*\*



**BÁO CÁO THỰC NGHIỆM MÔN HỌC : KTMT&HĐH**

ĐỀ TÀI:

**Nghiên cứu tìm hiểu về vi mạch điều khiển ưu tiên ngắt PIC 8259A**

**(Priority Interrupt Controller)**

Giáo viên : Ths Nguyễn Tuấn Tú

Sinh viên thực hiện : Hoàng Thu Hằng-2022606616

Đỗ Trọng Hoàng-2022604369

Nguyễn Hữu Hưởng-2022605808

Nhật Trung-2022605072

Bùi Nhật Viện-2022605990

Lớp : IT6067.

HÀ NỘI – 2023

TRƯỜNG ĐẠI HỌC CÔNG NGHIỆP HÀ NỘI

KHOA CÔNG NGHỆ THÔNG TIN

HÀ NỘI – 2023

* **MỤC LỤC**

[LỜI NÓI ĐẦU 4](#_Toc152614746)

[Chương 1: NỘI DUNG 5](#_Toc152614747)

[I. Giới thiệu chung về phương pháp trao đổi tin bằng điều khiển ngắt, quá trình ngắt 5](#_Toc152614748)

[1.1. Khái niệm ngắt. 5](#_Toc152614749)

[1.2 Phân loại ngắt 5](#_Toc152614750)

[1.3. Quá trình ngắt. 7](#_Toc152614751)

[II. Giới thiệu chung về vi mạch điều khiển ưu tiên ngắt PIC 8259A 7](#_Toc152614752)

[III. Nhiệm vụ của PIC 8259A. 8](#_Toc152614753)

[IV. Sơ đồ chân và chức năng các chân tín hiệu 9](#_Toc152614754)

[4. 1 Sơ đồ chân 9](#_Toc152614755)

[4.2. Chức năng của các chân tín hiệu. 10](#_Toc152614756)

[V. Sơ đồ khối, chức năng của khối và các thanh ghi 11](#_Toc152614757)

[5.1 Sơ đồ khối. 11](#_Toc152614758)

[5.2 Chức năng các khối. 11](#_Toc152614759)

[5.3 Chức năng của các thanh ghi 13](#_Toc152614760)

[VI. Nguyên tắc ghép nối và nguyên tắc hoạt động. 14](#_Toc152614761)

[6. Nguyên tắc ghép nối. 14](#_Toc152614762)

[6.1 Nguyên tắc hoạt động 18](#_Toc152614763)

[VII. Lập trình cho vi mạch PIC 8259A 26](#_Toc152614764)

[Chương 2: KẾT LUẬN 28](#_Toc152614765)

[TÀI LIỆU THAM KHẢO 29](#_Toc152614766)

### 

# 

# **LỜI NÓI ĐẦU**

Với mục đích tìm hiểu về vi mạch điều khiển ưu tiên ngắt PIC 8259A (Priority interrupt controller). Nhóm sinh viên chúng em đã tìm hiểu về khái niệm và phân loại mạch ngắt, sơ đồ chân và các chức năng tín  
hiệu, chức năng của các thanh ghi, nguyên tắc ghép nối và sơ đồ ghép nối vào CPU, hệ thống ngắt cứng PIC 8259A và lập trình vi mạch 8259A.  
 Chúng em rất mong sự đóng góp ý kiến của thầy. Nhóm chúng em xin chân thành cảm ơn thầy đã đọc cuốn bài tiểu luận này, cũng như đóng góp ý kiến để bài tiểu luận của chúng em được hoàn thiện hơn.

# CHƯƠNG 1: NỘI DUNG

## I. Giới thiệu chung về phương pháp trao đổi tin bằng điều khiển ngắt, quá trình ngắt

### **1.1. Khái niệm ngắt**.

Trong thực tế người ta rất muốn tận dụng khả năng của CPU để làm thêm được nhiều công việc khác nữa, chỉ khi nào có yêu cầu trao đổi dữ liệu thì mới yêu cầu CPU tạm dừng công việc hiện tại để phục vụ việc trao đổi dữ liệu. Sau khi hoàn thành việc trao đổi dữ liệu thì CPU lại phải quay về để làm tiếp công việc đang bị gián đoạn. Cách làm việc theo kiểu này gọi là *ngắt CPU(gián đoạn hoạt động của CPU) để trao đổi dữ liệu*

Ngắt là quá trình CPU tự ngưng hoạt động hiện tại khi có một yêu cầu ngắt gửi đến để chuyển sang thực hiện một chương trình con phục vụ ngắt tương ứng như *báo lỗi, trao* *đổi dữ liệu với thiết bị ngoại vi, phục vụ yêu cầu khẩn*,…. Sau khi thực hiện xong thì quay trở lại thực hiện tiếp công việc đang dở dang trên.

### 1.2 Phân loại ngắt

NGẮT

Ngắt mềm

Ngắt cứng

Ngắt tự động

Ngắt hệ thống

Ngắt người sử dụng

Ngắt trong

Ngắt ngoài

DOS

BIOS

Có cấm

Không cấm

***Hình 1: Phân loại các loại ngắt***

*a)* Ngắt mềm là loại ngắt được gọi bằng một lệnh trong chương trình ngôn ngữ máy. Ngắt mềm được thực hiện trên hợp ngữ thông qua lệnh INT. Đối với các ngôn ngữ bậc cao hơn, vẫn cho phép thực hiện gọi ngắt nhưng phải được biên dịch thành lệnh INT trong hợp ngữ rồi mời thực hiện.

*b)* Ngắt cứng là sự kiện CPU phải tạm dừng tiến trình đang thực hiện để chuyển sang thực hiện tiến trình phục vụ ngắt khi có yêu cầu ngắt từ phần mạch bên ngoài gửi đến CPU. Các tín hiệu này đến từ các chân INTR và NMI.

- Ngắt cứng NMI là yêu cầu ngắt không che được tương đương với ngắt mềm INT2.

- Ngắt cứng INTR là yêu cầu ngắt che được. Yêu cầu ngắt tại chân INTR có thể có kiểu ngắt N nằm trong khoảng 0-FFH. Kiểu ngắt này phải được đưa vào bus dữ liệu để CPU có thể đọc được khi có xung  trong chu kì trả lời chấp nhận ngắt.

*c)* Ngắt tự động(các trường hợp ngoại lệ) là các ngắt do các lỗi nảy sinh trong quá trình hoạt động của CPU như phép chia cho 0, xảy ra tràn khi tính toán,…

\* Một số lệnh liên quan:

- CLI: Xóa cờ ngắt

- STI: Đặt cờ ngắt

- INT XX: Gọi ngắt mềm số XX

- IRET: Câu lệnh trở về khi kết thúc chương trình xử lý ngắt

- HLT: Treo CPU cho đến khi có ngắt hoặc khởi động lại

### 1.3. Quá trình ngắt.

|  |  |
| --- | --- |
| 1. Lưu thanh ghi cờ  2. Cấm ngắt  3. Lưu đoạn lệnh  4. Lưu con trỏ lệnh  5. Nạp đoạn lệnh và con trỏ lệnh mới  6. Thực hiện chương trình ngắt  7. Khôi phục lại các thanh ghi trước khi ngắt | Thực hiện chương trình ngắt        Kết thúc    Đúng  Sai |

## II. Giới thiệu chung về vi mạch điều khiển ưu tiên ngắt PIC 8259A

PIC 8259A là một thiết bị điều khiển ngắt trong CPU giúp CPU có thể vào/ra dữ liệu bằng phương pháp ngắt cứng trong trường hợp nhiều yêu cầu ngắt cần được phục vụ ta thường dùng vi mạch PIC 8259A để giải quyết vấn đề ưu tiên.PIC 8259A có thể giải quyết được 8 yêu cầu ngắt với 8 mức ưu tiên khác nhau. PIC 8259A là thiết bị điều khiển ưu tiên ngắt có thể lập trình được. Ta dùng các ngôn ngữ lập trình khác nhau như asembly, C...để lập trình cho PIC 8259A . Vi mạch này có ưu điểm là: sắp xếp và xử lí ngắt tốt.

Chương trình con phục vụ ngắt

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |

Tiến trình bị ngắt

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Tín hiệu yêu cầu ngắt IRQ từ

mạch phần cứng bên ngoài gửi tới CPU

***Hình 2:Mô tả khái niệm ngắt cứng và quá trình ngắt cứng***

Thông thường quá trình vào ra theo ngắt cứng được sự trợ giúp của thiết bị điều khiển ngắt PIC (Programmable Interrupt Controller).Một trong những PIC đó có PIC 8259A.

## III. Nhiệm vụ của PIC 8259A.

PIC 8259A có chức năng nhận các yêu cầu ngắt IRQ , xử lý ưu tiên ngắt và cung cấp số hiệu ngắt ưu tiên được cao nhất cho CPU , căn cứ vào số hiệu ngắt CPU sẽ lấy được địa chỉ của chương trình con phục vụ ngắt này.8259A ngắt CPU mục đích để I/O hay CPU phải thực hiện một vấn đề nào đó .Vấn đề đó được lập trình thành chương trình con phục vụ ngắt.Để gọi chương trình con này cần xác định ngắt nào của 8259A phát sinh để gọi chương trình con tương ứng .Tức là khi có phát sinh ngắt ở đầu vào IRQ thì gọi chương trình con phục vụ ngắt tương ứng . Đây chính là nhiệm vụ của vi mạch điều khiển ưu tiên ngắt PIC 8259A (Priority Interrupt Controller)

#### **IV. Sơ đồ chân và chức năng các chân tín hiệu**.

***Hình 3 : Sơ đồ chân của PIC 8259A***

### 4. 1 Sơ đồ chân

PIC 8259A gồm có 27 chân (như hình 3).

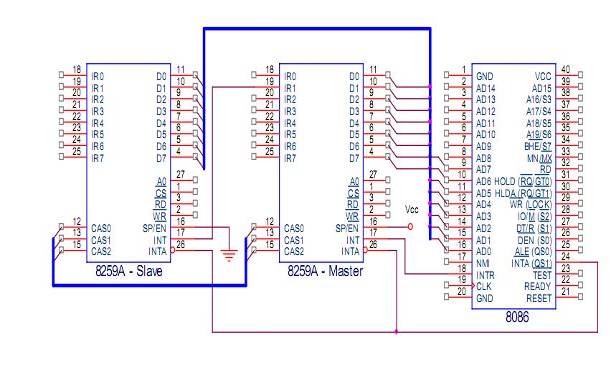
Gồm có :

* 8 chân IR được đánh số từ IR0 đến IR7 là các chân được đánh số thứ tự là 18,19, 20,21,22,23, 24,25.
* 8 chân D được đánh số từ D0 đến D7 là các chân được đánh số theo thứ tự là 4,5,6,7,8,9,10,11.
* 3 chân CAS đánh số từ CAS0 đến CAS2(ghép tầng với PIC khác) là các chân 12,13,15.
* 1 chân SP / EN(SP: xác định PIC chủ, chủ SP=1, thợ SP=0. EN: mở đệm dwxx liệu) là chân thứ 16.
* 1 chân INT(yêu cầu ngắt) là chân thứ 17.
* 1 chân CS(chọn chip) là chân thứ nhất.
* 1 chân WR(ghi) là chân thứ 2.
* 1 chân RD(đọc) là chân thứ 3.
* 1 chân INTA(chấp nhận ngắt) là chân thứ 26.
* 1 chân A0(địa chỉ thanh ghi) là chân thứ 27.

### 4.2. Chức năng của các chân tín hiệu.

• D0 - D7 : Ðầu ghép nối dữ liệu hai chiều được nối với nửa cao hay thấp của bus dữ liệu của 8088.  
• IR0 - IR7 : Đầu vào yêu cầu ngắt nối với slave trong hệ thống có nhiều 8259A.  
• WR : Nối với phần thấp hoặc phần cao của tín hiệu ghi.  
• RD : Ðầu vào nối với tín hiệu IORC.  
• INT - interrupt : Nối với INTR của 8088 ở chế độ master và nối với các chân IR trong chế độ slave.  
• INTA : Đầu vào nối với tín hiệu INTA của hệ thống, trong hệ thống có một master và nhiều slave chỉ có INTA của master được nối.  
  
• CS : Tín hiệu chọn mạch.  
• **SP/ EN (In/out)**:(slave program/Enable buffer):Nếu 8259A hoạt động ở chế độ không dùng đệm dữ liệu thì tín hiệu này dùng để xác định mạch 8259A là mạch chủ (**SP = 1**) hay tới (**SP = 0**).Nếu 8259A hoạt động ở chế độ có đệm dữ liệu thì tín hiệu này dùng để cho phép giao tiếp giữa 8259A và CPU , khi đó mạch 8259A là master hay slave phải dựa vào từ lệnh khởi động ICW4  
• CAS2 - CAS 0 - Cascad line : Đầu ra từ master tới slave khi sử dụng nhiều 8259A trong hệ thống.

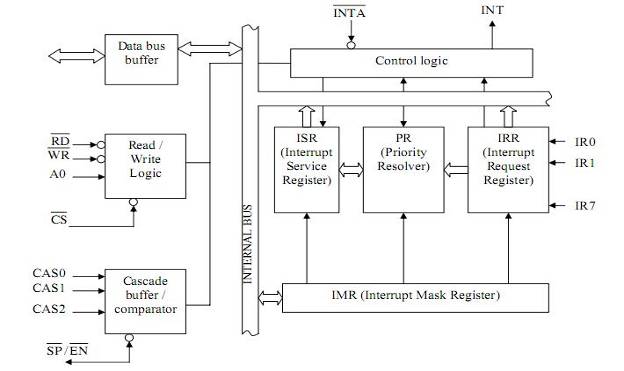
• A0: cho phép chọn các từ điều khiển của 8259A. 8259A cho phép xử lý 8 ngắt với 8 mức ưu tiên khác nhau.Trong trường hợp hệ thống có số lượng ngắt lớn hơn thì có thể mắc nhiều 8259A liên tầng theo hình sau:

***Hình 4 :8259A ghép liên tầng.***

###### **V. Sơ đồ khối, chức năng của khối và các thanh ghi**.

- Hệ thống máy tính có nhiều loại ngắt và nhiều ngắt.  
- Mỗi ngắt có một mức ưu tiên khác nhau.  
- VXL có 02 lối vào cho ngắt là: INTR và NMI.  
- Cần bộ điều khiển ưu tiên ngắt để đưa các tín hiệu ngắt vào 2 chân INTR, NMI.

### 5.1 Sơ đồ khối.



***Hình 5: Sơ đồ khối ghép nối PIC 8259A***

Một số kí hiệu trên sơ đồ : ***-*** IR0 – IR7 Interrupt Request: các yêu cầu ngắt. ***-*** SP/EN – Slave Program/Enable buffer: lập trình thành mạch thợ/ mở đệm bus dữ liệu. ***-*** CAS0 – CAS2: tín hiệu nối tầng giữa các PIC với nhau.

### 5.2 Chức năng các khối.

5.2.1 Khối xử lý mức ưu tiên của ngắt. Ðây là khối logic có chức năng quyết định mức độ ưu tiên của các bit trong thanh ghi IRR. Bit có độ ưu tiên cao nhất sẽ được chọn và được gửi đến bit tương ứng trong thanh ghi ISR trong khoảng thời gian có xung INTA.  
 - INTA (Interrupt Acknowledge) Tín hiệu vào này được tạo ra bởi 8228 (System controler and Bus controler) trong hệ thống. 8228 sẽ gửi ba xung tín hiệu riêng biệt INTA tới 8259A, tín hiệu này sẽ điều khiển 8259A gửi 3byte lệnh CALL lên bus dữ liệu.  
 - INT ( Interrupt):  
 Tín hiệu ra này được đưa trực tiếp vào đầu vào INT của 8088. Mức cao của tín hiệu này luôn tương thích với mức tín hiệu vào của 8088.

5.2.2 Khối đệm bus dữ liệu (Data bus Buffer)  
 Ðây là bộ đệm 8 bit, 3 trạng thái, hai chiều được sử dụng để ghép  
nối 8259 với bus dữ liệu của 8088. Các từ điều khiển, thông tin trạng  
thái được trao đổi thông qua bộ đệm này.

5.2.3. Khối logic điều khiển đọc/ghi (Read /Write control Logic)  
 Chức năng của khối này là nhận lệnh điều khiển từ 8088. Khối này bao gồm thanh ghi từ lệnh khởi tạo (ICWR- Initionlize Command Word) và thanh ghi lệnh hoạt động (OCWR - Operation Command Word Register). Các thanh ghi này chứa các từ lệnh điều khiển hoạt động của 8259.  
 - RD (Read):Mức thấp của tín hiệu vào này cho phép 8259 gửi đi từ trạng thái của thanh ghi IRR, thanh ghi ISR, thanh ghi IMR hoặc mức ngắt lên bus dữ liệu.  
 - WR (Write):Mức thấp của tín hiệu vào này cho phép CPU ghi các từ lệnh điều khiển (ICW, OCW) vào 8259.  
 - A0:Tín hiệu vào này được sử dụng kết hợp với WR, và RD để ghi từ lệnh vào các thanh ghi khác nhau ngay khi vừa đọc các thanh ghi trạng thái của vi mạch.  
 - SP (Slave program):  
Khi có nhiều vi mạch 8259 cùng được sử dụng trong hệ thống để tăng thêm mức ngắt (ví dụ 64 mức). Trong trường hợp này một vi mạch 8259 đóng vai trò master còn các vi mạch khác đóng vai trò slave. Mức của đầu vào tín hiệu này xác định vi mạch nào là master, còn mức thấp xác định các vi mạch đóng vai trò slave.

5.2.4 Khối so sánh và xử lý song song (Cascade Buffer/Comparator) Khối này có chức năng lưu trữ và so sánh vai trò của tất cả các vi mạch 8259 sử dụng trong hệ thống. Các chân tín hiệu CAS0 - CAS2 là các đầu ra khi vi mạch 8259 đóng vai trò master (SP =1) và là các đầu vào khi các vi mạch này được sử dụng làm slave (SP= 0). Khi hoạt động với vai trò master, 8259 gửi tín hiệu ngắt của thiết bị ra các đường CAS0 - CAS2. Các vi mạch slave tương ứng được chọn sẽ gửi địa chỉ của chương trình ngắt của chúng lên bus dữ liệu.

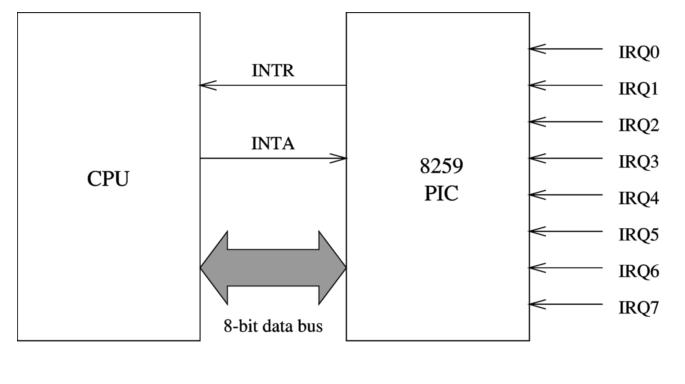
5.3 Chức năng của các thanh ghi Các yêu cầu ngắt từ các thiết bị ngoại vi gửi tới IRi được xử lý bởi 3 thanh ghi 8 bit, mỗi bit tương ứng với một yêu cầu ngắt IRi (i= 0 - 7).

- IMR (Interrupt Mask Register – Thanh ghi che ngắt):  
 Thanh ghi này dùng để cấm hoặc cho phép từng lối vào yêu cầu ngắt riêng biệt. Mỗi bit của nó tương ứng với một lối vào có cùng chỉ số i. Để cho phép một lối vào ngắt, phải gửi đi (ghi) một từ lệnh có bit tương ứng lối vào ấy bằng 0.  
 - IRR (Interrupt Request Register – thanh ghi yêu cầu ngắt):  
 Thanh ghi này có nhiệm vụ ghi nhớ để theo dõi các yêu cầu ngắt đang yêu cầu phục vụ (có tại các IRi). Tín hiệu yêu cầu ngắt có tại lối vào nào thì bit tương ứng với lối vào đó của IRR sẽ được lập. Tín hiệu yêu cầu ngắt phải tồn tại trên lối vào IRRQ cho tới khi xuất hiện sườn xuống của xung INTA thứ nhất.  
 - ISR (In Service Register – Thanh ghi ngắt đang được phụcvụ):  
 Thanh ghi này ghi nhớ yêu cầu ngắt nào đang được phục vụ trong số các yêu cầu ngắt IRi. Với mỗi IRi đang được phục vụ thì bit thứ i tương ứng với nó trong ISR để quyết định một yêu cầu ngắt IRi nào đó có được gửi tới CPU 8088 thông qua chân INT của khối logic điều khiển tại một thời điểm hiện tại hay bắt nó phải chờ.  
 - Control Logic – Logic điều khiển: Khối này có nhiệm vụ gửi các yêu cầu ngắt IRi tới chân INTR từ CPU để rồi điều khiển việc đưa ra số hiệu ngắt N trên bus dữ liệu (tại xung INTA thứ hai).

## VI. Nguyên tắc ghép nối và nguyên tắc hoạt động.

### 6. Nguyên tắc ghép nối.

Khi ghép vào CPU thì PIC 8259A được ghép như sau:



***Hình 6 :Sơ đồ ghép nối:***

Thứ tự ưu tiên cố định và số hiệu ngắt tương ứng được thể hiện trong bảng sau:

|  |  |  |
| --- | --- | --- |
| **IRQ** | **Interrupt type** | **DEVICE** |
| 0 | 08H | System timer |
| 1 | 09H | Keyboard |
| 2 | 0AH | reserved (2nd 8259A) |
| 3 | 0BH | serial port (COM 1) |
| 4 | 0CH | Serial port (COM 2) |
| 5 | 0DH | Hard disk |
| 6 | 0EH | Floppy Disk |
| 7 | 0FH | Printer(LPT1) |

Trong máy tính thế hệ cũ chỉ sử dụng một IC 8259A thì thứ tự ưu tiên là 0,1,2,3,4,5,6,7.trong các máy tính hiện đại sử dụng hai IC 8259A thì thứ tự ưu tiên là 0,1,(8,9,10,11,12,13,14,15),3,4,5,6,7.Các IRQs từ 8 đến 15 thay thế IRQ2

Các IRQs cách sử dụng được thể hiện trong bảng sau:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **IRQ** | **Đường BUS** | **Ưu tiên** | **Mặc định sử dụng điển hình** | **Sử dụng thông thường khác** |
| 0 | no | 1 | Giờ hệ thống | None |
| 1 | no | 2 | Bộ điều khiển bàn phím | None |
| 2 | no(rerouted) | n/a | Bộ điều khiển bàn phím | Modem,card video,COM3(cổng nối tiếp thứ 3),COM4 (cổng nối tiếp thứ 4) |
| 3 | 8/16-bit | 11 | COM2 (second serial port) | COM4 (cổng nối tiếp thứ tư),modem,card âm thanh, mạng lưới thẻ,accelerator thẻ |
| 4 | 8/16-bit | 12 | COM1 (first serial port) | COM3(cổng nối tiếp thứ 3) Modem, card âm thanh, mạng lưới thẻ,accelerator thẻ |
| 5 | 8/16-bit | 13 | Sound card | on old PC/XT |
| 6 | 8/16-bit | 14 | Floppy disk controller | LPT2(hai cổng song song)LPT3(cổng song song thứ 3), COM3(cổng nối tiếp thứ ba) COM4(cổng nối tiếp thứ tư),modem,card mạng,bộ điều khiển đĩa cứng |
| 7 | 8/16-bit | 15 | LPT1 (first parallel port) | LPT2(hai cổng song song),COM3(cổng nối tiếp ,COM4(cổng nối tiếp thứ tư),modem  ,thẻ âm thanh,mạng lưới thẻ,băng accelerator thẻ. |
| 8 | No | 3 | Real-time clock | None |
| 9 | 16-bit only | 4 |  | Card mạng,card âm thanh,SCSI bộ thích ứng chủ,PCI thiết bị ấn định tuyến đường lai IRQ2 thiết bịBottom of Form |
| 10 | 16-bit only | 5 |  | Card mạng,card âm thanh,SCSI bộ thích ứng chủ,trung kênh IDE,thiết bị PCI |
| 11 | 16-bit only | 6 |  | Card mạng ,card âm thanh,máy chủ SCSI,card màn hình,quaternary kênh IDE,thiết bị PCI |
| 12 | 16-bit only | 7 | PS/2 mouse | Card mạng,card âm thanh,máy chủ SCSI,card màn hình, quaternary kênh IDE,thiết bị PCI |
| 13 | No | 8 | Floating Point Unit (FPU / NPU / Math Coprocessor) | None |
| 14 | 16-bit only | 9 | Primary IDE channel | Bộ thích ứng chủ SCSI |
| 15 | 16-bit only | 10 | Secondary IDE channel | Card mạng, SCS |

### 6.1 Nguyên tắc hoạt động

Khi có một yêu cầu ngắt từ bộ phận ngoại vi (IRQo-IRQ15),8259A sẽ đưa ra thông báo ngắt bằng tín hiệu INT=1 , tín hiệu này được nối với bộ VXL qua chân yêu cầu ngắt INTR . Bộ VXL sau khi đó nhận được thông báo ngắt sẽ báo lại cho 8259A bằng tín hiệu chấp nhận ngắt INTA= 0. PIC 8259A(chủ) nhận được tín hiệu INTA từ bộ VXL sẽ hoàn tất các xử lý nội bộ theo thứ tự mức ưu tiên .Bộ VXL đưa ra xung INTA lần thứ hai và 8259A sẽ trả lời bằng cách đưa ra bus thông tin về số hiệu ngắt (8 bit ). Bộ VXL dùng số hiệu ngắt để định vị trí của chương trình ngắt trong bảng vector ngắt.Quy trình xử lý ngắt trong VXL tiếp tục được thực hiện.

##### 6.1.1: ICW1 at port 20h thiết lập ban đầu

(có nghĩa là địa chỉ cơ sở của 8259A là 20h,ta sẽ ghi ICW1 vào địa chỉ 20h).Nếu 8259A có địa chỉ cơ sở khác (ví dụ 300h)thì sẽ ghi vào địa chỉ cơ sở đó.(300h).

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **0** | **0** | **0** | **1** | **LTIM** | **ADI** | **SNGL** | **ICW4** |

LTIM = 1 kích theo mức; LTIM = 0 kích theo sườn.

ADI = 1 khoảng cách giữa các vector ngắt là 4 byte =0 là 8 byte (8086 dùng 4 byte nên ADI =1)

SNGL=1 single,=0 nhiều.

            |7|6|5|4|3|2|1|0|  ICW1

             | | | | | | | `---- **1=ICW4 is needed**, 0=KHÔNG CẦN ICW4

             | | | | | | `----- **1=single 8259A**, 0=GHÉP NHIỀU 8259A

             | | | | | `------ **1= *4 byte* (8086)**, 0= *8 byte* int vectors(KO DÙNG)

             | | | | `------- **1=KÍCH THEO MỨC**, 0=KÍCH THEO SƯỜN

             | | | `-------- must be **1** for ICW1 (port must also be 20h)

             `------------- must be **zero** for PC systems

Các bít thường chọn là ICW1=00010111b=17h. Có sử dụng ICW4, PIC đơn <kích theo sườn>.

##### 6.1.2: ICW2 at port 21h chọn số hiệu ngắt

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **T7** | **T6** | **T5** | **T4** | **T3** | **T2** | **T1** | **T0** |

|7|6|5|4|3|2|1|0|  ICW2

| | | | | `-------- 000= on 80x86 systems

`----------------- A7-A3 of 80x86 interrupt vector

ICW2 là thanh ghi chọn số hiệu ngắt .Có tất cả 256 ngắt, được đánh số từ $00 đến $FF theo hệ hexa,gọi là số hiệu ngắt .thường thì số hiệu ngắt được cho trước , nếu không thì có thể tự cho vào .Các bit 0 đến 2 được 8259A tự động gán giá trị tùy theo đầu vào ngắt cụ thể IRi.

Ví dụ :Nếu ta muốn các đầu vào của mạch 8259A có số hiệu ngắt là 40h -> 47h ứng với IR0 --> IR7 ,ta chỉ cần ghi 40h vào ICW2 .Khi đó IR0 có số hiệu ngắt là 40h, IR7 là 47h.

Số hiệu ngắt được đưa lên bus dữ liệu để CPU phân biệt được các ngắt của 8259A.Một vấn đề vướng mắc ở đây là :làm cách nào để nhận biết có tín hiệu ngắt đến tại đầu vào IRi để gọi chương trình con phục vụ ngắt tương ứng.

##### 6.1.3: ICW3 at port 21h(chỉ dùng khi cho phép tần nhiều PIC)

**ICW**3 thường được sử dụng khi có ghép tầng nhiều PIC.

|7|6|5|4|3|2|1|0|  ICW3 for **Master** Device

| | | | | | | `---- 1=interrupt request 0 has slave, 0=no slave

| | | | | | `----- 1=interrupt request 1 has slave, 0=no slave

| | | | | `------ 1=interrupt request 2 has slave, 0=no slave

| | | | `------- 1=interrupt request 3 has slave, 0=no slave

| | | `-------- 1=interrupt request 4 has slave, 0=no slave

| | `--------- 1=interrupt request 5 has slave, 0=no slave

| `---------- 1=interrupt request 6 has slave, 0=no slave

`----------- 1=interrupt request 7 has slave, 0=no slave

|7|6|5|4|3|2|1|0|  ICW3 for **Slave** Device

| | | | | `-------- master interrupt request slave is attached to

`----------------- must be zero.

##### 6.1.4: ICW4 at port 21h thiết lập các kết thúc ngắt.

ICW4 là thanh ghi mà trong nhiều sách không đề cập tới.Tuy nhiên, đây là một thanh ghi quan trọng dùng để quyết định cách kết thúc ngắt của 8259A.

Tức là , bình thường, khi đang thực hiện ngắt thì xung INTA=0, lúc xung INTA=1 nếu ta không lập trình đưa OCW2 vào để kết thúc ngắt thì CPU vẫn dành thời gian cho ngắt đó.

Tuy nhiên nếu set bit 1 bằng 1 tức là chọn chế độ kết thúc ngắt tự động, khi có xung INTA\=1 thì sẽ tự động kết thúc ngắt luôn, không cần lập trình OCW2 để kết thúc.

Điều này khá quan trọng vì khi có xung yêu cầu ngắt điều hòa vào IRi thì ta không thể biết lúc nào sẽ hết yêu cầu ngắt. Do đó ta nên kết thúc ngắt một cách tự động.

Bit1= 1

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | **0** | **0** | **0** | **SFNM** | **BUF** | **M/S** | **AEOI** |  |

AEOI (AUTO END OF INTERUPT) = TỰ ĐỘNG KẾT THÚC NGẮT

|7|6|5|4|3|2|1|0|  ICW4

| | | | | | | `---- 1 for 80x86 mode, 0 = MCS 80/85 mode

| | | | | | `----- 1 = auto EOI, 0=normal EOI

| | | | `-------- slave/master buffered mode (see below)

| | | `--------- 1 = special fully nested mode (SFNM), 0=sequential

`-------------- unused (set to zero)

Thường ta chỉ quan tâm đến bit 0 và bit 1. Các bit còn lại cứ cho 0.

ICW4=00000011b = 03h.

Tiếp theo là các thanh ghi điều khiển. chúng được ghi vào trong quá trình đang hoạt động. tức là lúc đang phát sinh ngắt.Có nghĩa là lúc hoạt động, nếu ta có yêu cầu gì thì đưa vào thông qua các OCW (Operation Control Word).

Các OCW thường được lập trình trong chương trình con phục vụ ngắt

##### 6.1.5: Operationi control word 1/ Interrupt Mask Reg.(Ports 21h)

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | **M7** | **M6** | **M5** | **M4** | **M3** | **M2** | **M1** | **M0** |

|7|6|5|4|3|2|1|0|  OCW1 – IMR Interrupt Mask Register

| | | | | | | `---- 0 = service IRQ0, 1 = mask off

| | | | | | `----- 0 = service IRQ1, 1 = mask off

| | | | | `------ 0 = service IRQ2, 1 = mask off

| | | | `------- 0 = service IRQ3, 1 = mask off

| | | `-------- 0 = service IRQ4, 1 = mask off

| | `--------- 0 = service IRQ5, 1 = mask off

| `---------- 0 = service IRQ6, 1 = mask off

`----------- 0 = service IRQ7, 1 = mask off

Thường trong bài tập, ở bit Iri nào có đầu vào yêu cầu ngắt thì bit tương ứng trong OCW1 set bằng 0. Các bit còn lại set bằng 1.

Ví dụ đưa yêu cầu ngắt từ 8253 vào bit IR7 của 8259A. Thì thiết lập OCW1 = 01111111b = 7Fh.

MOV AL,7FH

MOV DX, 21H

##### OUT DX, AL

##### 6.1.6: Operationi control word 2/ Interrupt Mask Reg.(Ports 20h)

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **0** | **R** | **SL** | **EOI** | **0** | **0** | **L2** | **L1** | **L0** |

Bit **SL** có thể hiểu là *Specific Level*. Tức là mức ưu tiên xác định. Khi bit SL=1 thì cần sử dụng các bit L2, L1, L0 để xác định Iri nào (thường là tiếp theo) sẽ có mức ưu tiên cao nhất

Nếu SL=0 thì không quan tâm các Bit L2, L1, L0.

Bit R=1 sẽ quay mức ưu tiên một các tự động

Bit EOI=1 sẽ cho yêu cầu kết thúc ngắt.

Các bit R, SL, EOI sẽ phối hợp với nhau như bên dưới. hoặc đọc thêm các tài liệu khác.

Trong bài tập thường không quan tâm đến R, SL, và L2,…,L0.   Ta chỉ cần Set Bit EOI=1 là đủ.

Nhưng khi ICW4 lập trình yêu cầu ngắt tự động thì ta không cần lập trình OCW2 nữa.

OCW2 chỉ dùng để yêu cầu 8259A kết thúc quá trình ngắt (khi đó thực hiện xong một nhiệm vụ nào đó) NẾU trong ICW4 chọn bit1=0 (không cho phép kết thúc ngắt tự động).

Bits 765  EOI – End Of Interrupt code (PC specific)

**2.**Non-specific EOI command

010  NOP.

011  specific EOI command.

100  rotate in automatic EOI mode.

101  rotate on non-specific EOI command.

110  set priority command  (uses bits 2-0).

111  rotate on specific EOI command.

##### 

##### 6.1.7: Operation Control word 3(Ports 20h)

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **0** | **0** | **ESMM** | **SMM** | **0** | **1** | **P** | **ERIS** | **RIS** |

|7|6|5|4|3|2|1|0|  OCW3

| | | | | | | `--- 1=read IRR on next read, 0=read ISR on next read

| | | | | | `---- 1=act on value of bit 0, 0=no action if bit 0 set

| | | | | `----- 1=poll command issued, 0=no poll command issued

| | | | `------ must be 1 for OCW3

| | | `------- must be 0 for OCW3

| | `-------- 1=set special mask, 0=reset special mask

| `--------- 1=act on value of bit 5, 0=no action if bit 5 set

`---------- not used (zero)

Nếu ai chưa hiểu nhiều về OCW3 lắm thì chưa thấy nó quan trọng.Thực ra đối với bài tập thì nó khá quan trọng. Chúng ta chỉ nên quan tâm đến các bit1 và bit2. Các bit còn lại có thể cho bằng 0, trừ bit 3 luôn bằng 1.

Sở dĩ OCW3 quan trọng là vì OCW3 dùng để đọc trạng thái đầu vào ngắt IRQ hoặc thanh ghi ISR ở xung RD tiếp theo. Tức là thăm dò trạng thái của thanh ghi IRQ hoặc thanh ghi ISR, để từ đó gọi chương trình con phục vụ ngắt.

Có lẽ đây chính là vấn đề vướng mắc ở trên. Và cách giải quyết sẽ là:

Trong lúc hoạt động (trong chương trình chính), lập trình đưa OCW3 vào địa chỉ 20h.

OCW3 = 0000 1010b Xác định tất cả các yêu cầu ngắt đang được phục vụ ở xung RD tiếp theo.

Đọc ISR vào AL.

Kiểm tra xem AL so với 1000 0000b  (giả sử ở đây có yêu cầu ngắt duy nhất của IR7 nên nếu yêu cầu ngắt đó đang được phục vụ thì thanh ghi ISR = 1000 0000).

Nếu bằng nhau thì gọi chương trình con phục vụ ngắt.

Nếu không thì thôi.

#### 6.2: Các chế độ hoạt động

##### 6.2.1: Chế độ hoạt động đầy đủ (Fully Nested Mode)

8259A hoạt động trong chế độ này ngay sau khi thực hiện quá trình khởi tạo mà không cần đến các từ điều khiển hoạt động OCW. Trong chế độ này ,các yêu cầu ngắt được sắp xếp theo các mức ưu tiên từ 0 đến 7 .Khi một yêu cầu ngắt được chấp nhận ,yêu cầu ngắt có mức ưu tiên cao nhất được thực hiện và vector địa chỉ của nó được truyền lên bus dữ liệu.

Ngoài ra,một bit của thanh ghi phục vụ ngắt được đặt bằng 1 . Bit này giữ nguyên giá trị cho đến khi 8088 phát lệnh EOI ngay trước khi trở về từ chu trình phục vụ . Trong khi bit của thanh ghi ISR bằng 1 ,tất cả các ngắt có mức ưu tiên thấp hơn (những ngắt này chỉ được chấp nhận nếu được 8088 chấp nhận thông qua điều khiển bằng phần mềm) bị loại bỏ.

Sau khi thực hiện quá trình khởi tạo , tín hiệu yêu cầu ngắt vào IR0 có mức ưu tiên cao nhất và vào IR7 sẽ có mức ưu tiên thấp nhất . Thứ tự ưu tiên có thể thay đổi trong chế độ hoán đổi thứ tự ưu tiên được đề cập sau đây.

##### 6.2.2: Chế độ hoán đổi thứ tự ưu tiên: (Rotating Priority Mode)

8259A hoạt động trong chế độ này khi trong hệ thống có các thiết bị có các yêu cầu ngắt có mức ưu tiên tương đương nhau như các kênh truyền thông ...Có hai chế độ hoán đổi mức ưu tiên là chế độ hoán đổi tự động và chế độ hoán đổi đặc biệt.

##### 6.2.3: Chế độ tự động (Auto Mode)

Trong chế độ này ,thiết bị sau khi được phục vụ ,được gán cho mức ưu tiên thấp nhất , vì vậy một thiết bị yêu cầu ngắt phải đợi thậm chí có thể phải đợi cho đến khi 7 thiết bị khác được phục vụ xong.

##### 6.2.4: Chế độ không tự động (Specific Mode)

Trong chế độ này người lập trình viên có thể thay đổi thứ tự ưu tiên ngắt bằng cách lập trình mức ngắt có ưu tiên thấp nhất và bằng cách này xác lập mức ngắt có ưu tiên cao nhất ví dụ nếu IR5 được lập trình có mức ưu tiên thấp nhất thì IR6 sẽ có mức ưu tiên cao nhất. Lệnh điều khiển được xác định trong OCW2 , trong đó R =1 , SEOI =1 , các bit L2,L1,L0 xác định mức ưu tiên ( tính theo hệ thập phân ) của thiết bị có mức ưu tiên thấp nhất.

Cần chú ý chế độ này hoạt động độc lập với lệnh EOI và quá trình hoán đổi mức ưu tiên có thể thực hiện trong khi thực hiện lệnh EOI.

-- EOI ( End Of Interupt ) và SEOI ( Specific EOI)

Một lệnh EOI luôn phải được đưa tới 8259A trước khi kết thúc chương trình ngắt để khởi tạo bit tương ứng trong thanh ghi ISR . EOI và SEOI là hai dạng của lệnh EOI là non - specific ( không xác định ) và specific (xác định) .Khi 8259A trong chế độ hoạt động đầy đủ ( Fully Neste Mode) nó có thể xác định bit nào trong thanh ghi ISR cần khởi tạo bằng lệnh EOI . Khi nhận được một lệnh non- specific EOI ,8259A sẽ tự động khởi tạo bit cao nhất trong số các bit đó được xác lập . Tuy nhiên ,khi một chế độ được xác lập nó sẽ gây ảnh hưởng đến chế độ hoạt động đầy đủ như trong chế độ hoán đổi thứ tự ưu tiên (Rotating Priority Mode ),8259A sẽ xác định mức ngắt cuối cùng được ghi nhận. Trong trường hợp này một lệnh một lệnh EOI xác định được gửi đến 8259A trong đó bao gồm cả các bit cần khởi tạo trong thanh ghi IS . Lệnh EOI được thực hiện khi thực hiện khi EOI = "1" trong từ điều khiển OCW2 . Lưu ý rằng mặc dù lệnh hoán đổi có thể thực hiện trong suốt quá trình EOI=1 nhưng nó không cần thiết phải làm như vậy.

##### 6.2.5: Chế độ che đặc biệt (Special Mask Mode - SMM)

Chế độ này được sử dụng khi có một số bit được xác lập (che - mask) bởi thanh ghi mặt nạ ( Interrupt Mask Register ) bằng từ lệnh OCW1. Trong chế độ này các mức ngắt ưu tiên thấp hơn được cho phép hoạt động cho đến khi chế độ hoạt động được khởi tạo lại. Các mức ưu tiên cao hơn không có tác dụng. Chế độ này được xác lập bằng từ điều khiển OSW3 trong đó ESMM=1 ,SMM=1 và được khởi tạo lại khi ESSM=1 và SMM=0.

##### 6.2.6: Chế độ quay vòng (Polled Mode)

Trong chế độ này ,8088 cấm đường vào INT của nó . Các phục vụ dành cho thiết bị được thực hiện bằng lệnh Poll.

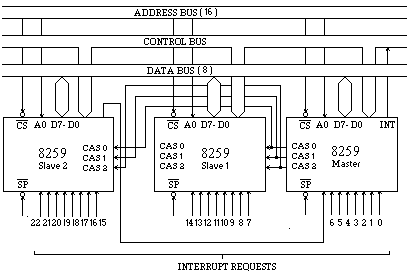
Lệnh Poll được thực hiện bằng cách đặt bit P ="1" trong từ lệnh OCW3 trong suốt quá trình có xung WR .8259A coi xung RD tiếp theo như tín hiệu xác nhận ngắt , xác lập các mạch lật tương ứng của nó nếu có một yêu cầu ngắt và đọc mức ưu tiên của ngắt.Từ điều khiển trên bus dữ liệu trong quá trình RD là:



Chế độ này có ưu thế khi có một chu trình lệnh thông dụng đối với một vài mức ưu tiên vì thế nên không cần đến tín hiệu INTA . Các ứng dụng khác thường sử dụng chế độ này để mở rộng số lượng các mức ưu tiờn ngắt lớn hơn 64 mức.

##### 6.2.7: Cascading

Trong chế độ này các vi mạch 8259A được nối với một vi mạch 8259A có vai trò master nhằm tăng số mức ưu tiên ngắt lên tới 64 mức như trong hình vẽ sau:



Trong hệ thống này một vi mạch 8259A đóng vai trò master điều khiển các vi mạch slave thông qua các đường tín hiệu CAS0- CAS2 . Các đường tín hiệu ra yêu cầu ngắt được nối với các đầu vào tín hiệu yêu cầu ngắt của vi mạch master. Khi một slave có yêu cầu phục vụ ngắt thì sau khi có tín hiệu chấp nhận ,vi mạch master sẽ phát lệnh CALL trong khoảng byte thứ nhất của INTA và cho phép slave tương ứng đưa ra địa chỉ của chương trình ngắt của thiết bị trong khoảng byte thứ hai và thứ ba của INTA.

Các đường dây cascade thông thường ở mức thấp và sẽ chứa địa chỉ của slave trong khoảng thời gian từ sườn lên của xung INTA đầu tiên cho tới sườn lên của xung INTA thứ ba . Như vậy mỗi vi mạch 8259A trong hệ thống phải hoạt động riêng biệt tuần tự ,và có thể được lập trình hoạt động trong các chế độ khác nhau. Một lệnh EOI phải được phát hai lần ,một lệnh cho master và một cho slave tương ứng . đồng thời từng vi mạch 8259A trong hệ thống này cần phải được giải mã địa chỉ qua tín hiệu CS.

## VII. Lập trình cho vi mạch PIC 8259A

CÁC BƯỚC LẬP TRÌNH:

MOV AL, 00001010B; NẠP OCW3 VÀO AL

MOV DX, 20H

OUT DX, AL; NẠP AL VÀO CỔNG 20H

IN AH, 20H; ĐỌC THANH GHI ISR VÀO AH; ---- ; KIỂM TRA ISR VỚI GIÁ TRỊ 1000 0000B

CMP AL, #10000000B;SO SÁNH

JE PhucvuIR7; nhảy đến nhãn (chương trình con phục vụ IR7)

Giải thích lệnh CMP đích, gốc: dùng để so sánh hai toán hạng đích và gốc, sau khi so sánh thì toán hạng không thay đổi, lệnh này chỉ tạo các cờ, không lưu kết quả

Sau lệnh CMP, sử dụng các lệnh JE nhãn (JUMP IF EQUAL = nhảy đến nhãn nếu bằng).Ngoài ra còn các lệnh JI và JG (JL = JUMP IF LESS THEN = nhảy nếu nhỏ hơn,JG = JUMP IF GREATER THAN = nhảy nếu lớn hơn).

**Địa chỉ các thanh ghi**

**Đây là trường hợp mà địa chỉ cơ sở của 8259A là 20h.**

|  |  |
| --- | --- |
| **Địa chỉ** | **Thanh ghi** |
| **20h** | **ICW1** |
| **OCW2** |
| **OCW3** |
| **21H** | **OCW1** |
| **ICW2** |
| **ICW3** |
| **ICW4** |

Khi lập trình, cứ việc ghi các thanh ghi vào địa chỉ tương ứng, 8259A sẽ tự hiểu.

Ví dụ:

MOV      AL,#17H            ;ICW1, ĐƯA GIÁ TRỊ 17H VÀO AL

MOV      DX,20H              ;ĐƯA GIÁ TRỊ CỔNG 20H VÀO DX (ĐÂY LÀ

BƯỚC TRUNG GIAN)

OUT      DX,AL                ;GHI GIÁ TRỊ 17H Ở TGHI AL VÀO CỔNG 20H

(ĐƯỢC THỰC HIỆN BẰNG LỆNH OUT).

# PHẦN 3: KẾT LUẬN

PIC 8259A là thiết bị vi mạch điều khiển ưu tiên ngắt cho CPU. Thiết bị này giúp xác định ưu tiên ngắt cho CPU , giúp giải quyết bài toán khi có nhiều nhiệm vụ được yêu cầu cung một lúc , giúp CPU có thể hoạt động được với công suất lớn nhất.

Sau khi thực hiện bài tập lớn các thành viên trong nhóm 11 chúng em thu được những kiến thức cơ bản về cấu tạo , chức năng cũng như nguyên tắc hoạt động của PIC 8259A. , thiết bị vi xử lý điều khiển ưu tiên ngắt PIC 8259A (Priority Interrupt Cntroller).Rèn luyện cho các thành viên trong nhóm khả năng làm việc theo nhóm, khả năng tìm và chia sẻ tài liệu.

# TÀI LIỆU THAM KHẢO

**1.Kiến trúc máy tính – Thầy Vương Quốc Dũng**

**2.Cấu trúc máy vi tính – Trần Quang Vinh.**

**3.Tài liệu lập trình hệ thống-Phạm Hùng Kim Khánh**