



Herramientas de desarrollo (EDA)

ISE - Nexys

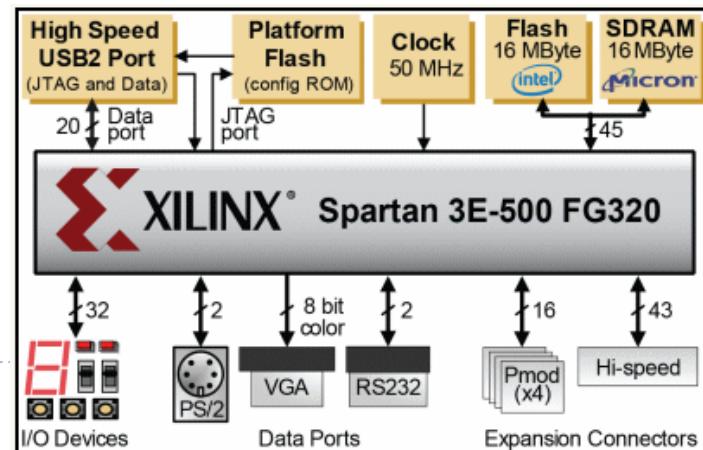
Herramientas EDA

► Tarjeta de Desarrollo Nexys 2

- ▶ FPGA Spartan 3e 500 (Xilinx).
- ▶ USB. Configuración y transferencia de información.
- ▶ Memoria de datos:
 - ▶ 128 MBits de memoria RAM.
 - ▶ 128 MBits de memoria Flash.
- ▶ Memoria Flash para configuración.
- ▶ Reloj de 50 MHz.

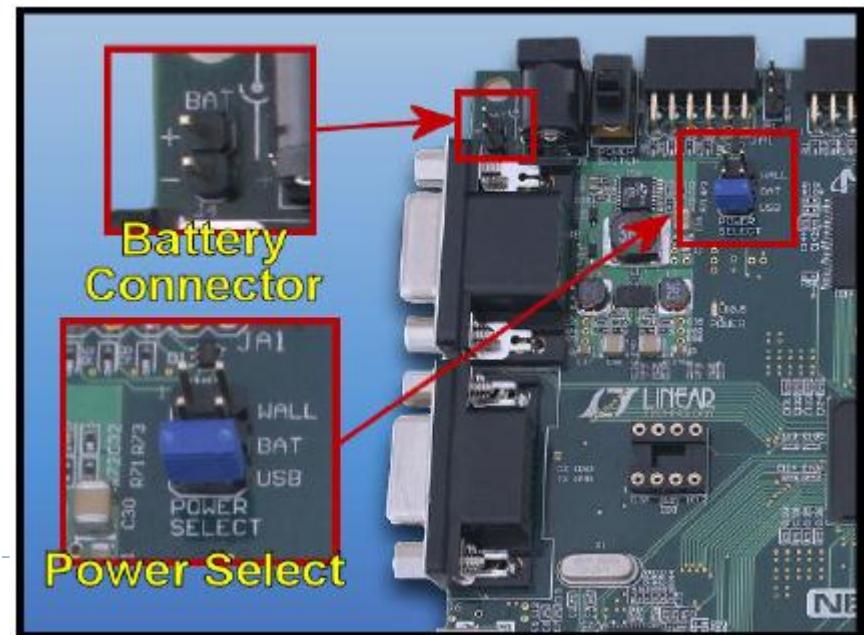
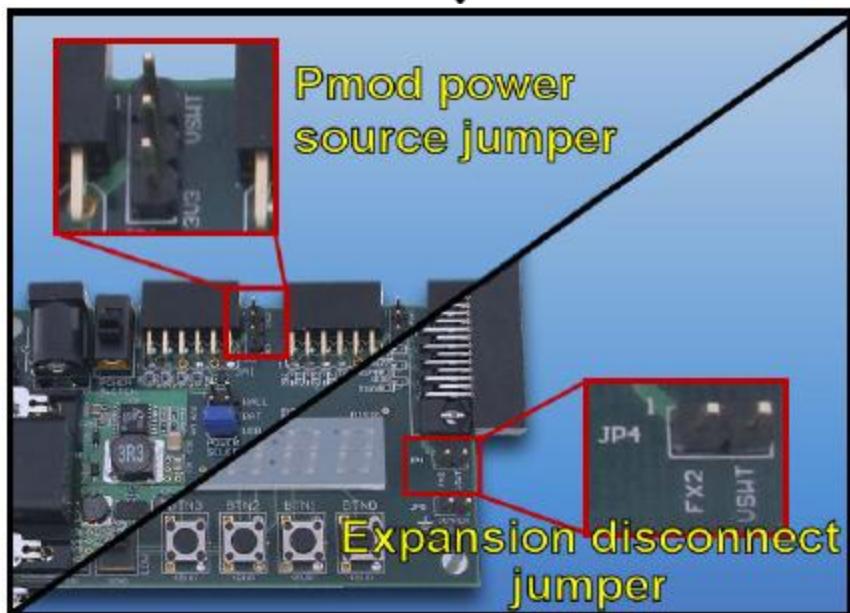
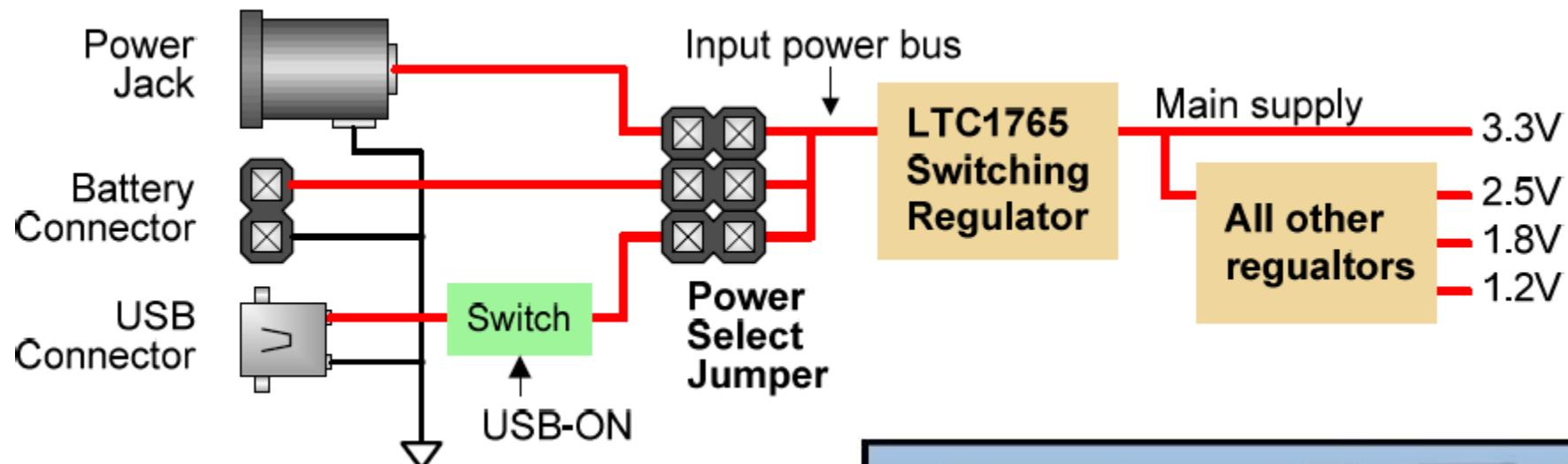


- ▶ Conectores de expansión:
 - ▶ 1 FX2
 - ▶ 4 Pmod
 - ▶ 1 VGA
 - ▶ 1 RS232
 - ▶ 1 PS2
- ▶ Perifericos básicos:
 - ▶ 8 leds
 - ▶ 4 display de 7 segmentos
 - ▶ 4 push-buttons
 - ▶ 8 interruptores



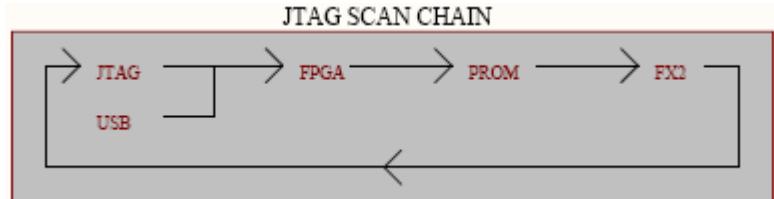
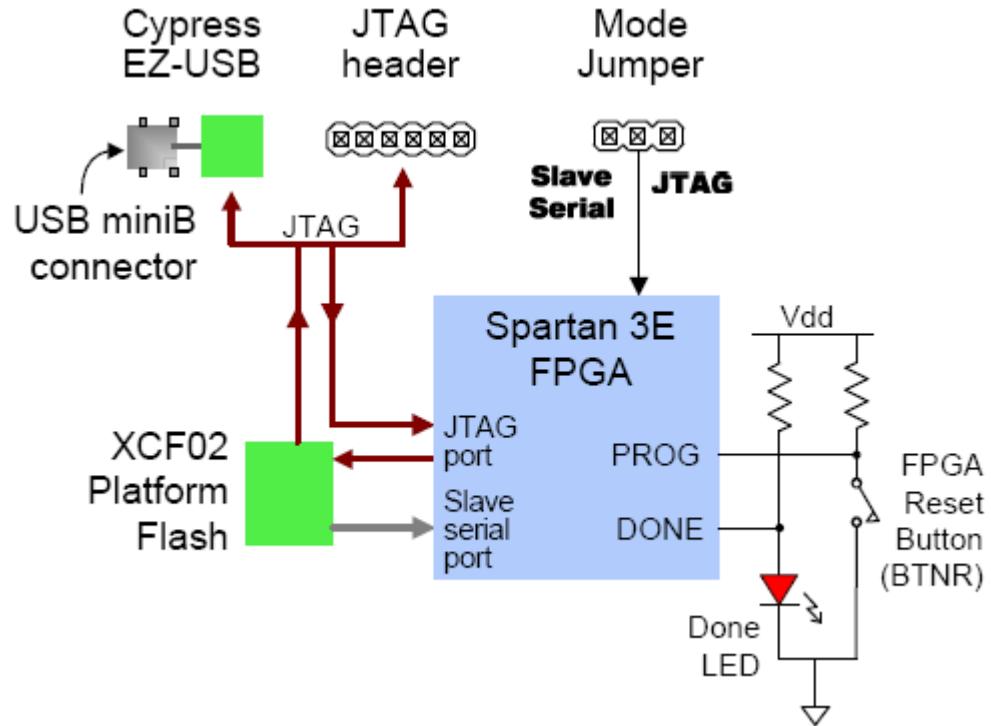
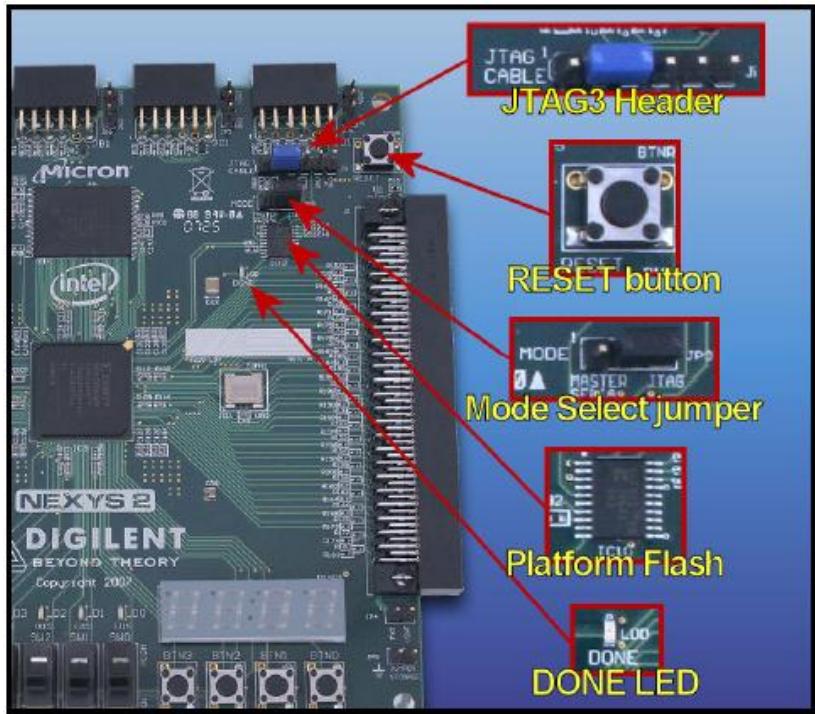
Herramientas EDA

▶ Fuente de alimentación.



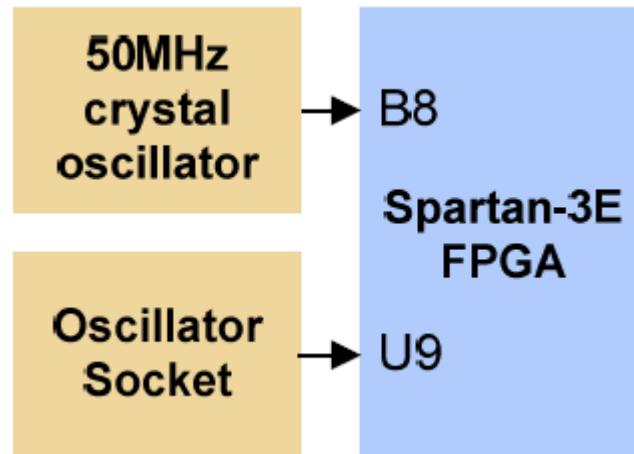
Herramientas EDA

▶ Configuración del FPGA.



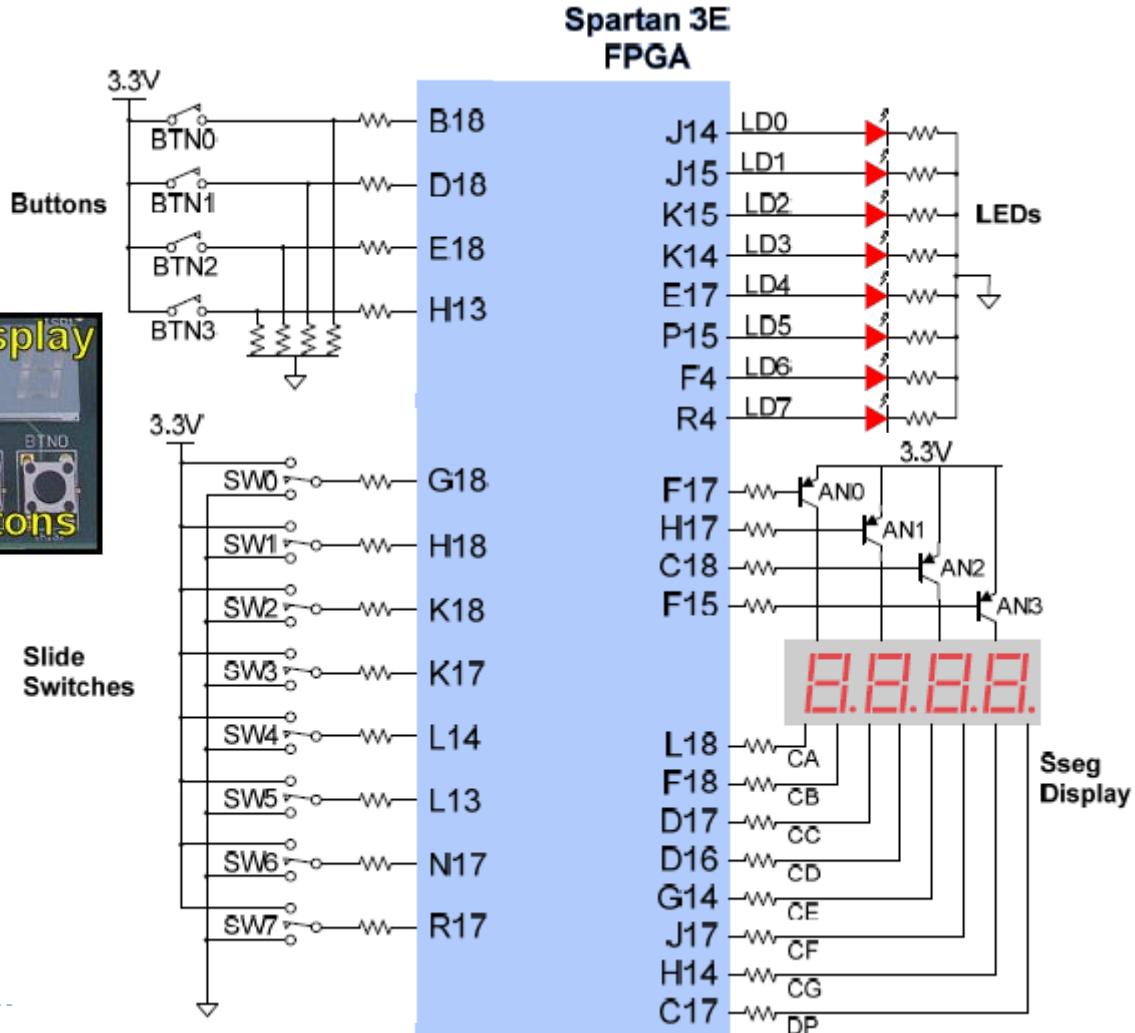
Herramientas EDA

- ▶ Señal de Reloj.



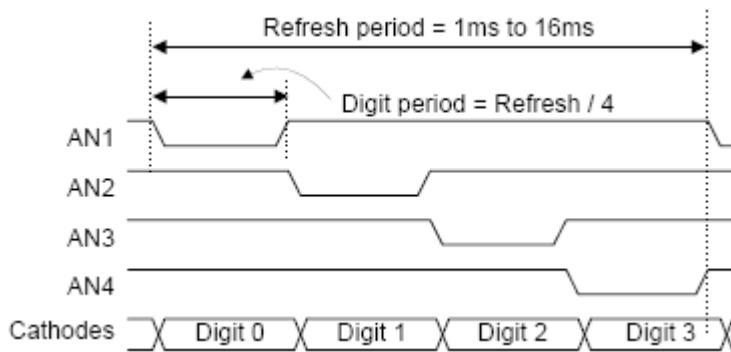
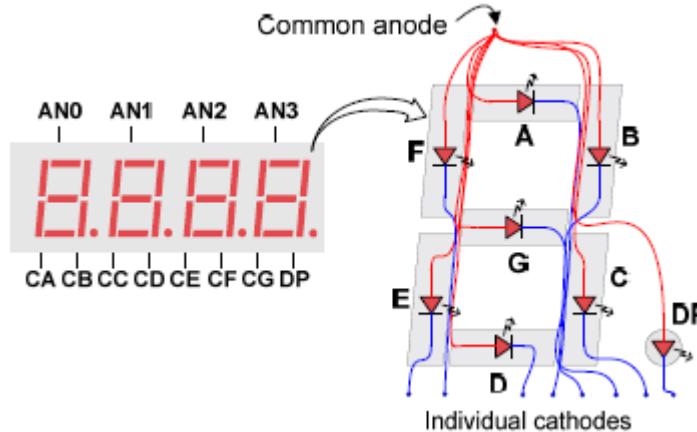
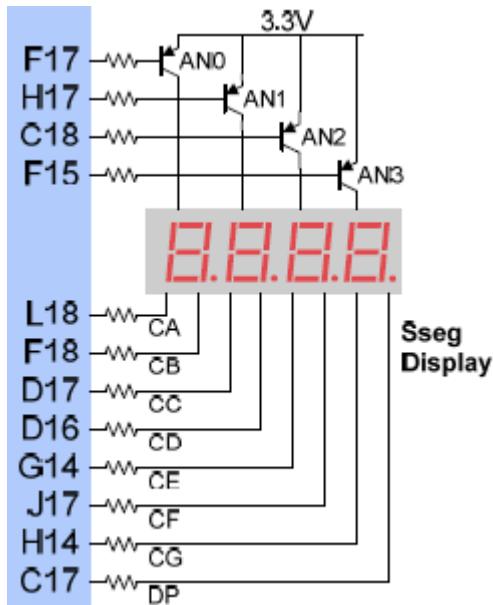
Herramientas EDA

▶ Periféricos básicos.



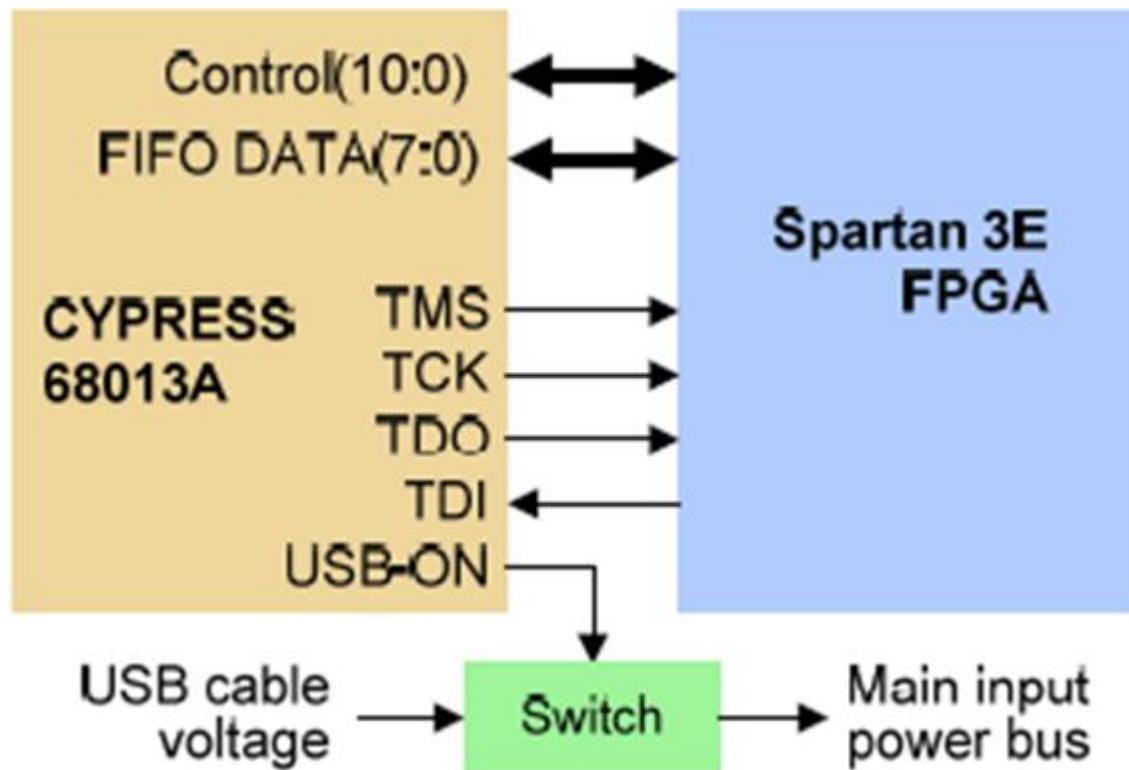
Herramientas EDA

- ▶ Display de 7 segmentos.



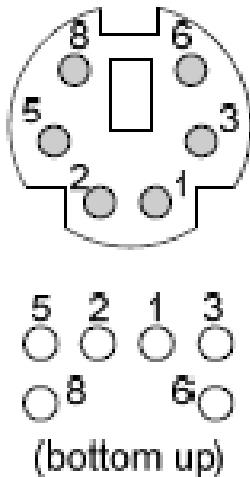
Herramientas EDA

- ▶ Puerto USB.

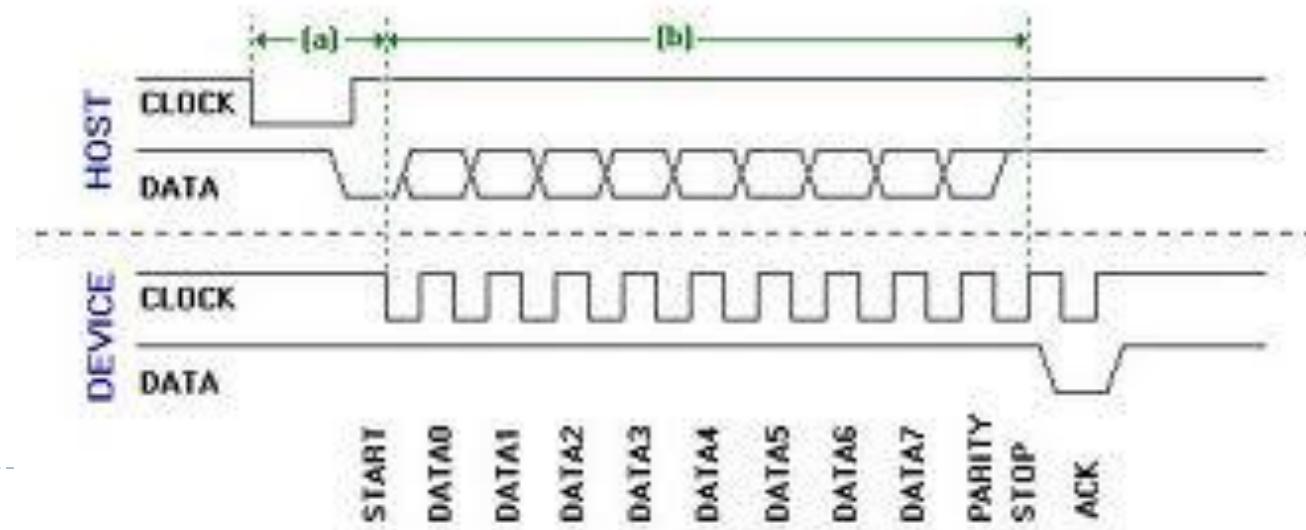
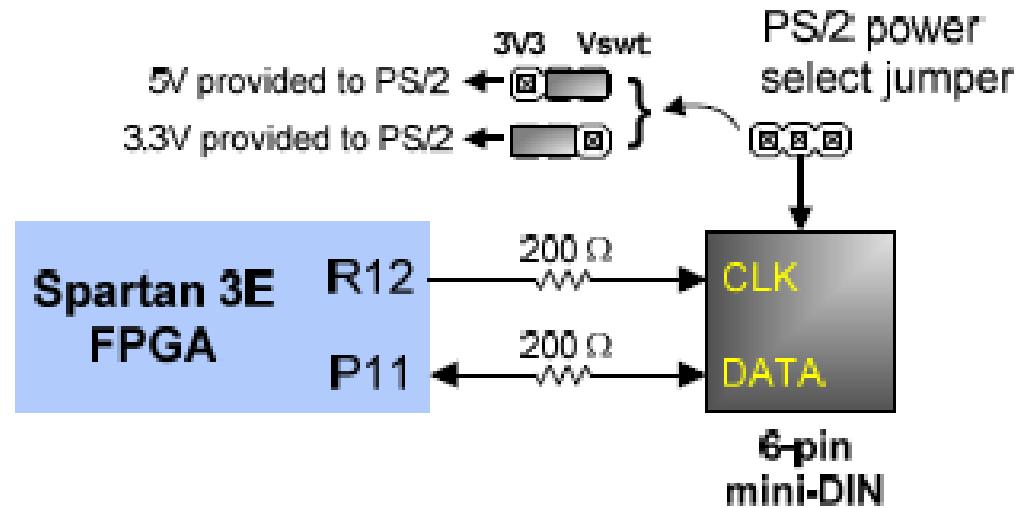


Herramientas EDA

▶ Conector PS/2.

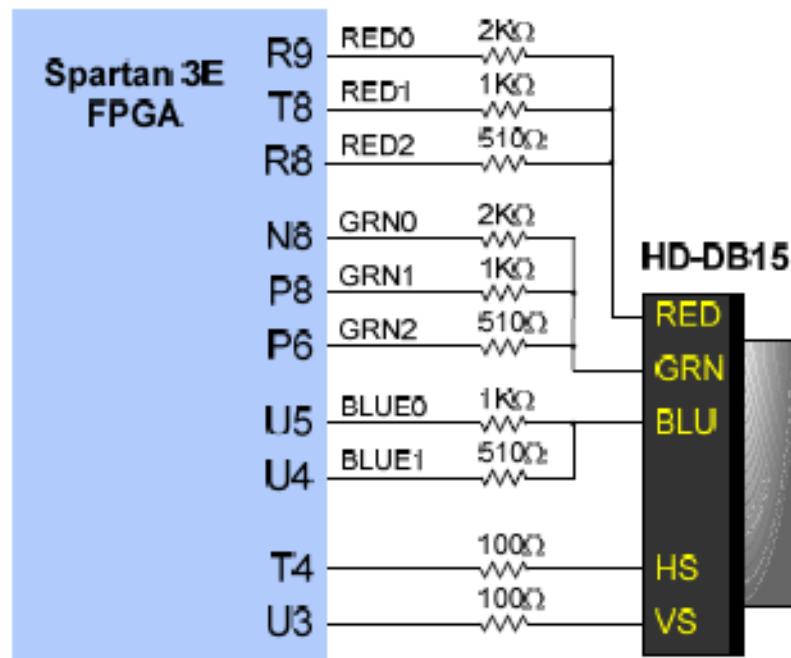
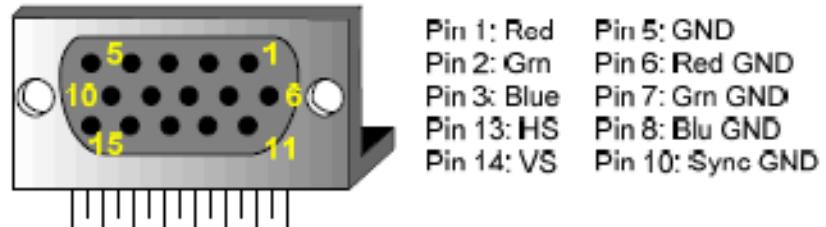
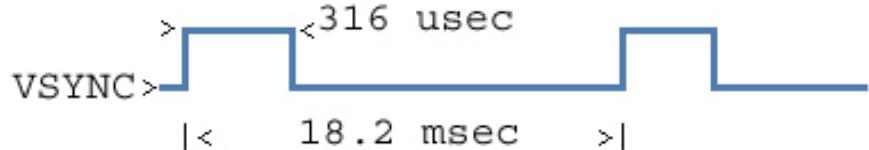
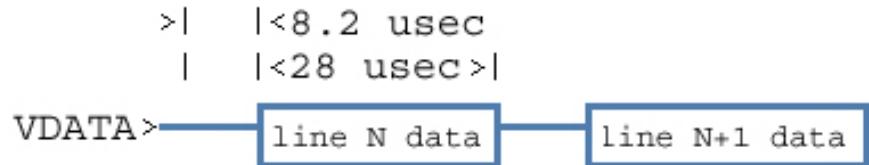


Pin1: Data
Pin2: Data
Pin3: GND
Pin5: Vdd
Pin6: Clock
Pin8: Clock



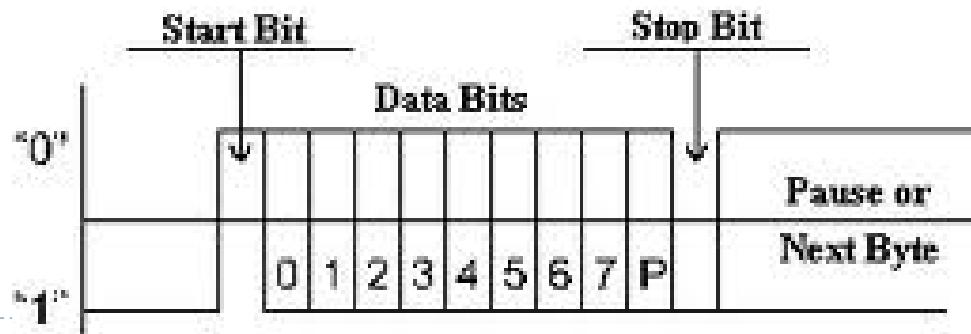
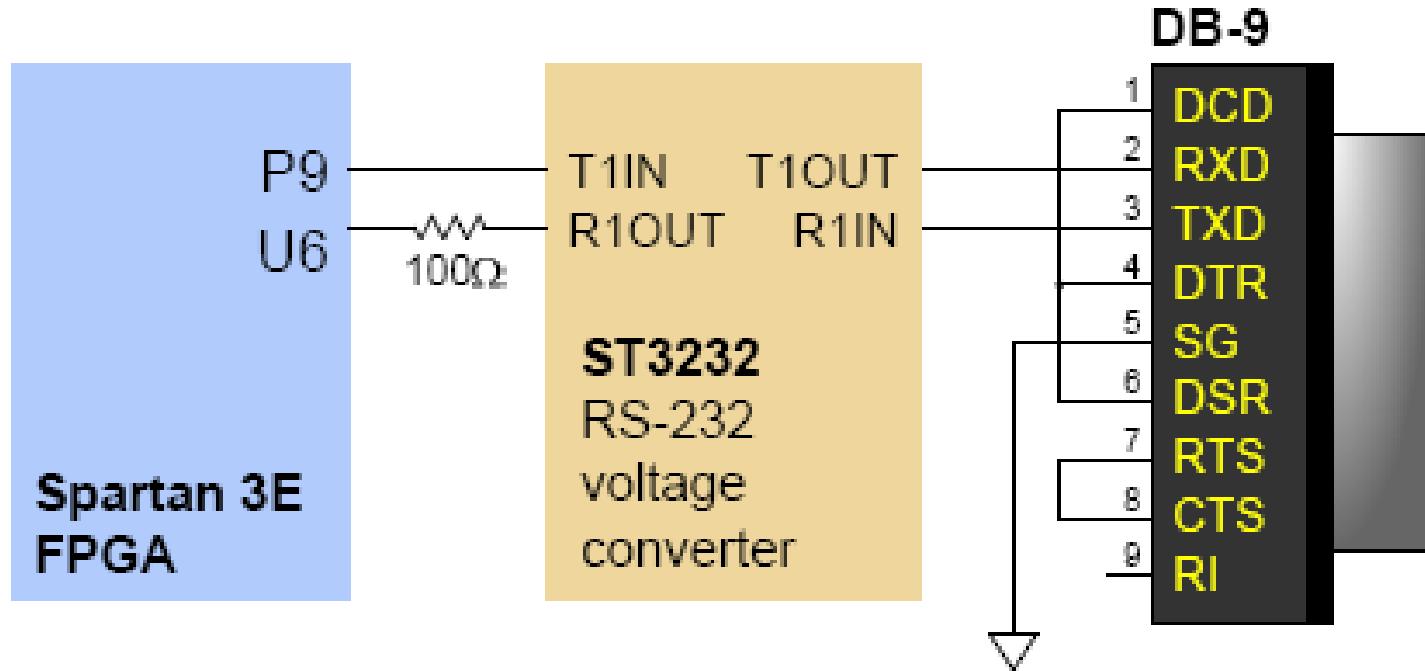
Herramientas EDA

▶ Conector VGA.



Herramientas EDA

▶ Puerto serie.



Herramientas EDA

- ▶ Memoria de datos.
 - ▶ 16 Mbytes de DRAM pseudo-estática (128Mbit Micron M45W8MW16).
 - ▶ 16 Mbytes de Flash (128Mbit Intel TE28F128J3D75-110 StrataFlash).

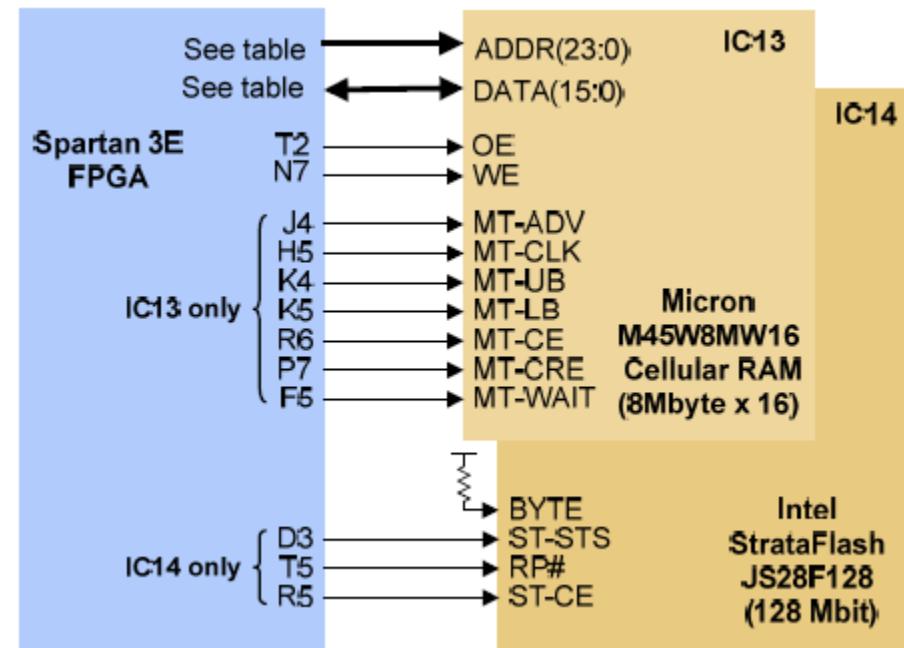


Table 2: Memory Address and Data Bus Pin Assignments				
Address signals			Data signals	
ADDR0: NA	ADDR8: H6	ADDR16: M5	DATA0: L1	DATA8: L3
ADDR1: J1	ADDR9: F1	ADDR17: E2	DATA1: L4	DATA9: L5
ADDR2: J2	ADDR10: G3	ADDR18: C2	DATA2: L6	DATA10: M3
ADDR3: H4	ADDR11: G6	ADDR19: C1	DATA3: M4	DATA11: M6
ADDR4: H1	ADDR12: G5	ADDR20: D2	DATA4: N5	DATA12: L2
ADDR5: H2	ADDR13: G4	ADDR21: K3	DATA5: P1	DATA13: N4
ADDR6: J5	ADDR14: F2	ADDR22: D1	DATA6: P2	DATA14: R3
ADDR7: H3	ADDR15: E1	ADDR23: K6	DATA7: R2	DATA15: T1

Herramientas EDA

▶ Conectores de expansión.

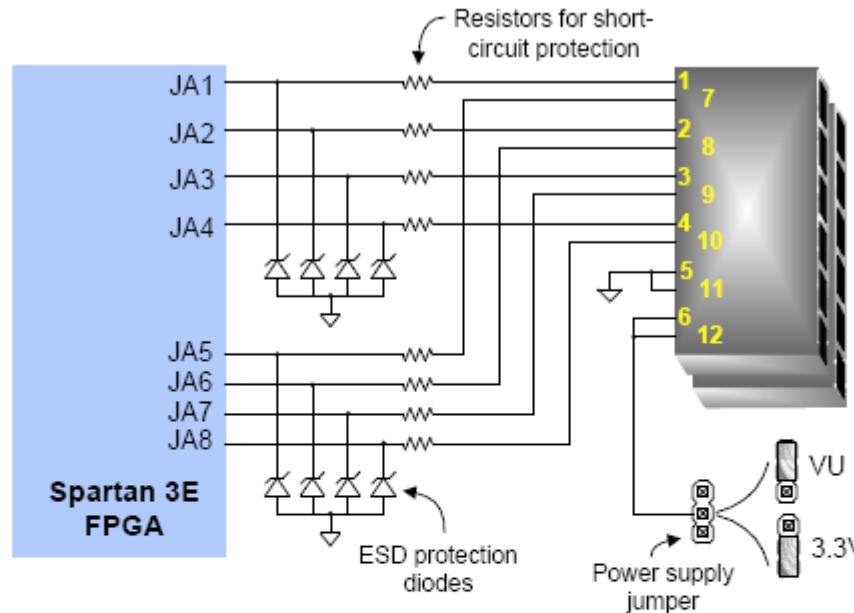


Table 3: Nexys2 Pmod Connector Pin Assignments

Pmod JA		Pmod JB		Pmod JC		Pmod JD	
JA1: L15	JA7: K13	JB1: M13	JB7: P17	JC1: G15	JC7: H15	JD1: J13	JD7: K14 ¹
JA2: K12	JA8: L16	JB2: R18	JB8: R16	JC2: J16	JC8: F14	JD2: M18	JD8: K15 ²
JA3: L17	JA9: M14	JB3: R15	JB9: T18	JC3: G13	JC9: G16	JD3: N18	JD9: J15 ³
JA4: M15	JA10: M16	JB4: T17	JB10: U18	JC4: H16	JC10: J12	JD4: P18	JD10: J14 ⁴

Notes:

¹ shared with LD3

² shared with LD3

³ shared with LD3

⁴ shared with LD3

Herramientas EDA

- ▶ ISE Foundation.
- ▶ Model-Sim

<http://www.xilinx.com/support/download/index.htm>



ModelSim



- ▶ Digilent ADEPT Suite.

<http://www.digilentinc.com/Software/Adept.cfm>



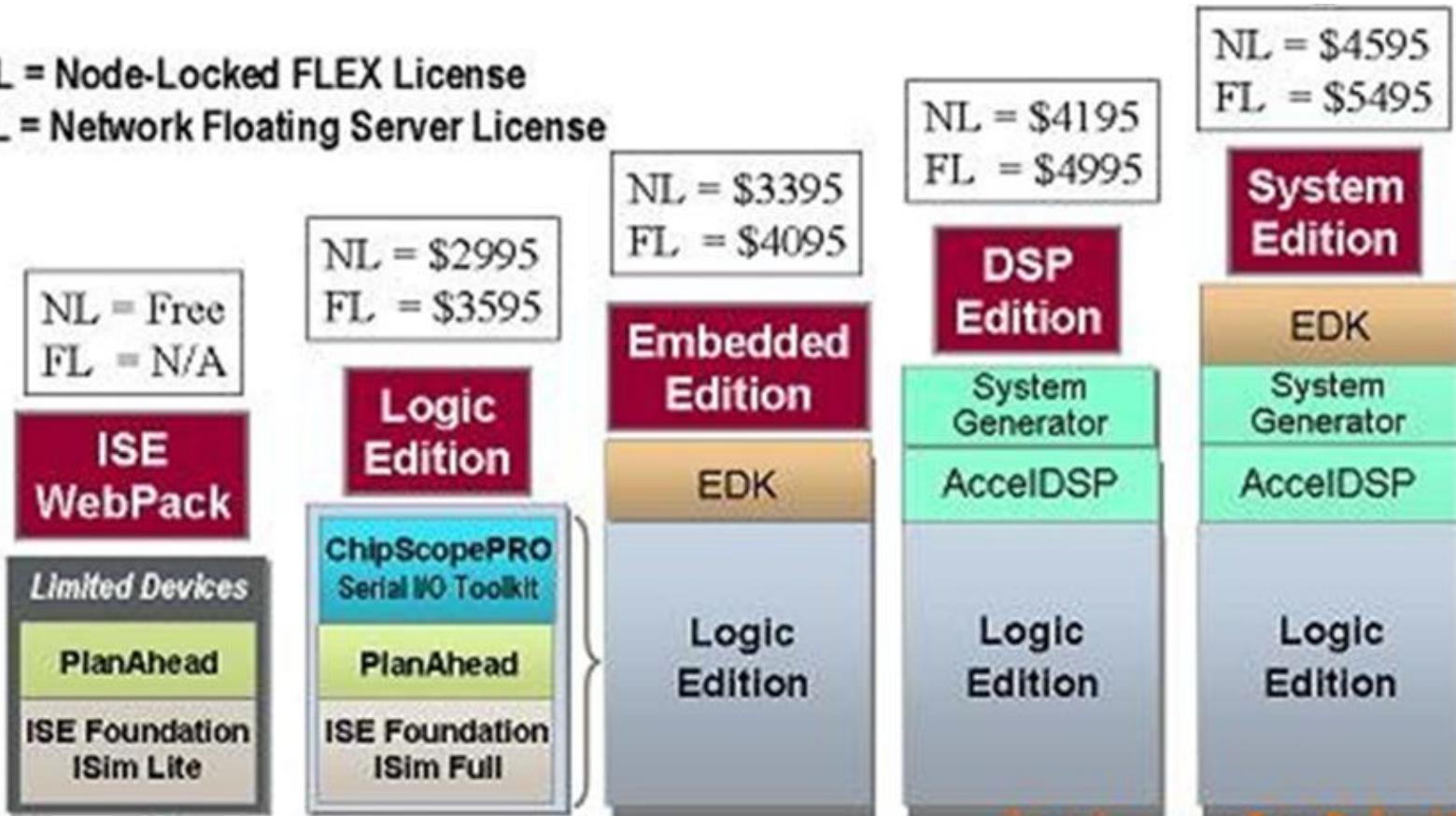
Herramientas EDA

▶ Versiones disponibles



NL = Node-Locked FLEX License

FL = Network Floating Server License



Spartan™-3 Generation

The World's Lowest-Cost FPGAs.



► MAKE IT YOUR ASIC

Conjunto Configurable de Compuertas
(FPGA, Field Programmable Gate Array)

Familia Spartan-3, Xilinx

DR. ENRIQUE GUZMÁN RAMÍREZ

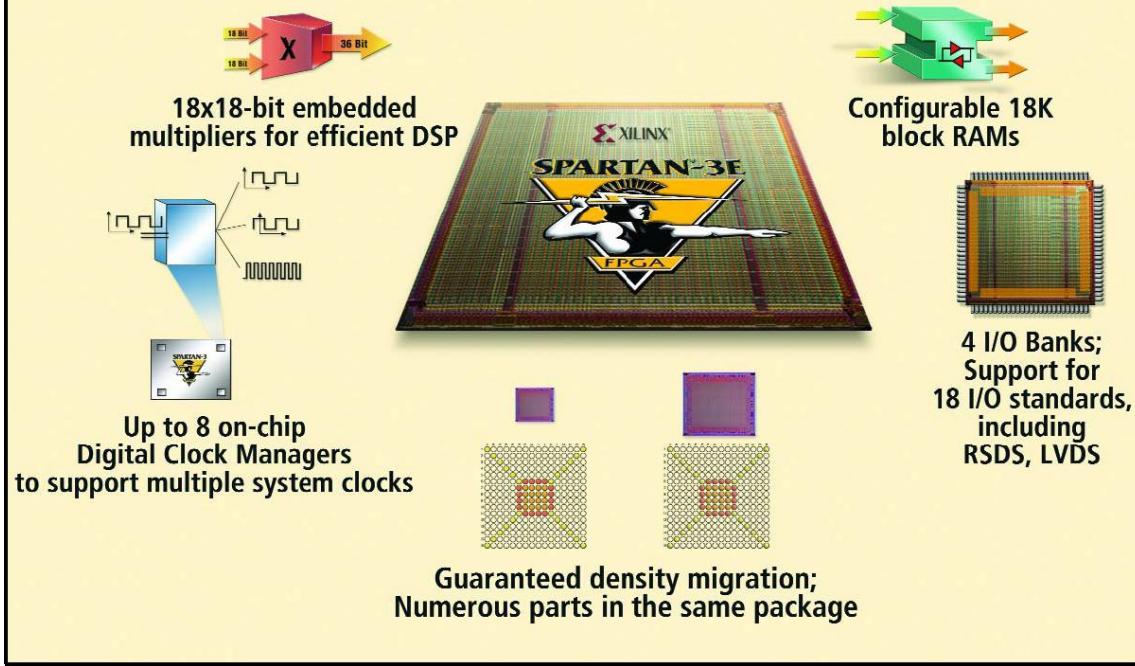
Familia Spartan-3

▶ Familia Spartan-3, Xilinx



Spartan-3E Platform Features

The FPGA for Low-Cost Systems



FPGA Spartan-3e, Xilinx

Arquitectura

Familia Spartan-3e

► Características:

- ▶ FPGA de bajo costo.
- ▶ Pines I/O, hasta 376.
- ▶ Permite manejar niveles de voltaje LVCMOS, LVTTL, HSTL, SSTL.
- ▶ Hasta 3688 CLB (4 Slices por CLB).
 - ▶ Funciones lógicas.
 - ▶ RAM distribuida.
 - ▶ Registros de corrimiento.
- ▶ Carry logic.
- ▶ Hasta 1,600,000 compuertas; 33,192 celdas lógicas.
- ▶ Hasta 36 multiplicadores dedicados de 18x18 bits.
- ▶ Columna(s) de memoria RAM (Bloques RAM), hasta 36.



Familia Spartan-3e

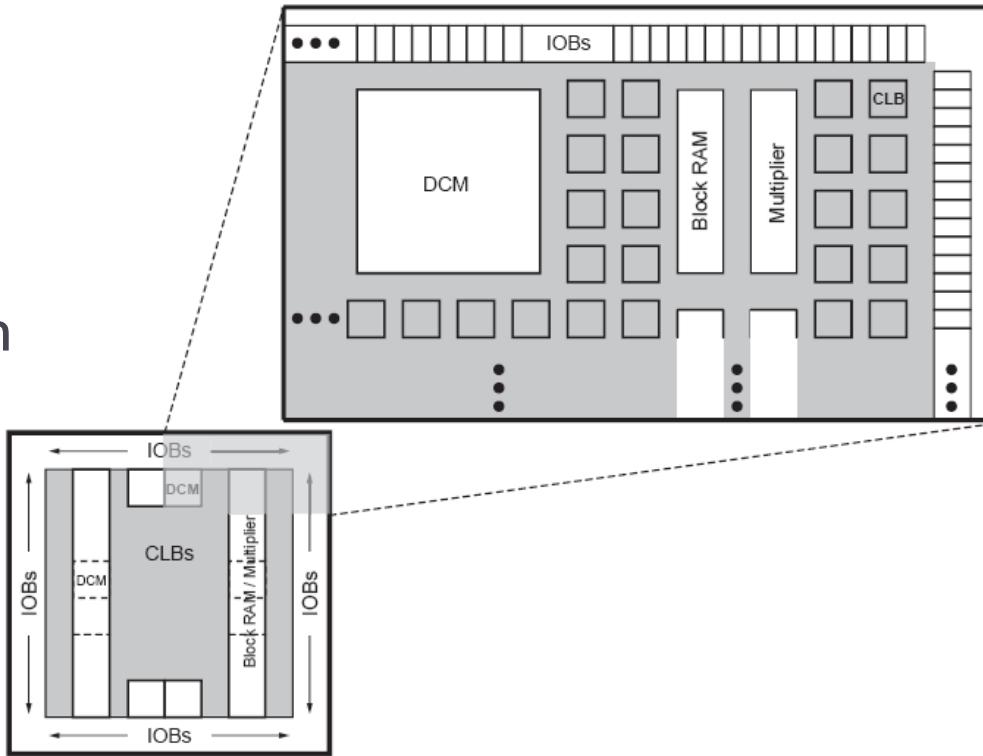
▶ Características:

- ▶ Hasta 8 DCM (Digital Clock Manager)
 - ▶ Eliminación de Skew
 - ▶ Síntesis de frecuencia.
 - ▶ Desfasamiento de CLK.
 - ▶ Corrección del ciclo de trabajo
- ▶ Hasta 8 CLK globales y 8 adicionales.
- ▶ Protocolos estándares para programación
 - ▶ SPI.
 - ▶ Paralelo.
 - ▶ JTAG.
- ▶ Compatible con los Soft-Cores MicroBlaze y PicoBlaze.

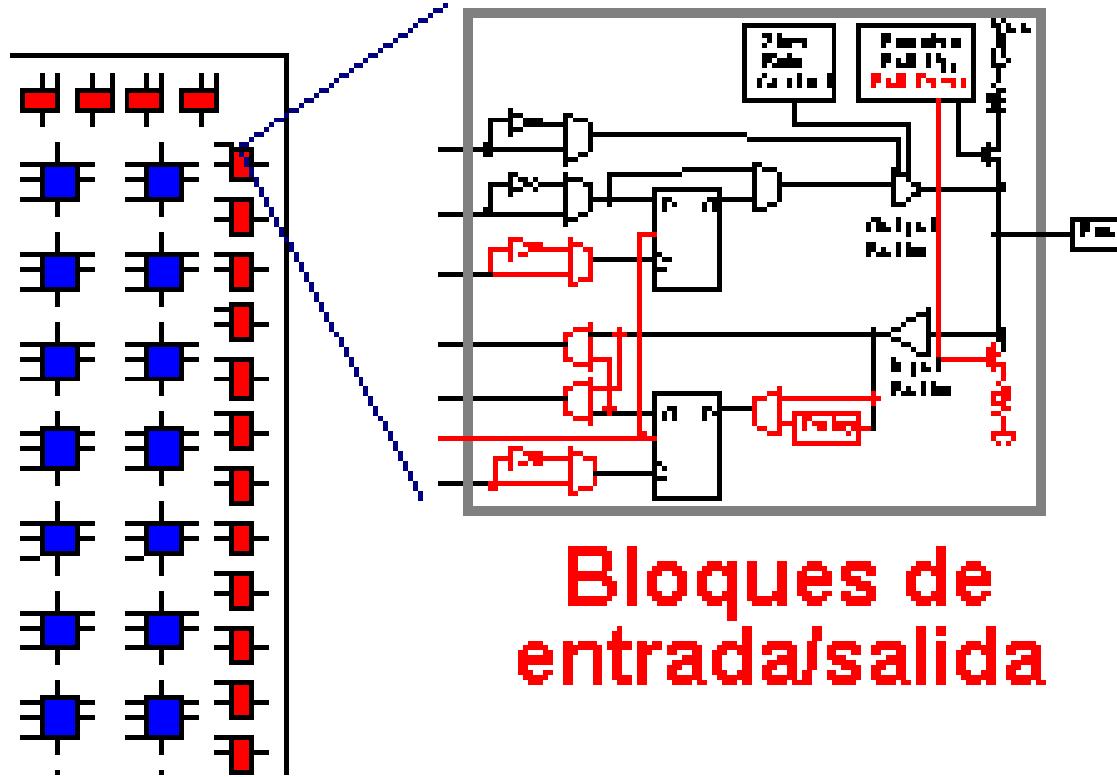


Familia Spartan-3e

- ▶ Arquitectura
 - ▶ CLB's
 - ▶ IOB's
 - ▶ Recursos de interconexión
 - ▶ DCM's
 - ▶ Bloques RAM
 - ▶ Multiplicadores



Device	System Gates	Equivalent Logic Cells	CLB Array (One CLB = Four Slices)				Distributed RAM bits ⁽¹⁾	Block RAM bits ⁽¹⁾	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs	Total Slices						
XC3S100E	100K	2,160	22	16	240	960	15K	72K	4	2	108	40
XC3S250E	250K	5,508	34	26	612	2,448	38K	216K	12	4	172	68
XC3S500E	500K	10,476	46	34	1,164	4,656	73K	360K	20	4	232	92
XC3S1200E	1200K	19,512	60	46	2,168	8,672	136K	504K	28	8	304	124
XC3S1600E	1600K	33,192	76	58	3,688	14,752	231K	648K	36	8	376	156



FPGA Spartan-3e, Xilinx

Bloques de Entrada/Salida

Familia Spartan-3e, Bloques I/O

- ▶ Definición.
 - ▶ Los Bloques de Entrada/salida son elementos que permiten la interacción de la función implementada en el FPGA con el exterior.
 - ▶ Contiene elementos que le brindan alta capacidad de interconexión, como buffers, latch-registros, soporte de diversos estándares de voltaje, etc.



Familia Spartan-3e, Bloques I/O

- ▶ El FPGA Spartan-3E tiene 3 fuentes de alimentación:
 - ▶ VCCO. Es el que determina el voltaje soportado y recibido por los drivers del banco correspondiente. Depende del estándar a manejar.
 - ▶ VCCINT. Es la fuente principal de voltaje de la lógica interna del FPGA, es de 1.2V.
 - ▶ VCCAUX. Fuente de voltaje auxiliar, es de 2.5V y se emplea para optimizar el desempeño de algunas funciones del FPGA.
- ▶ En la tarjeta Nexys 2:
 - ▶ VCCO = 3.3V.
 - ▶ VCCINT = 1.2V.
 - ▶ VCCAUX = 2.5V.

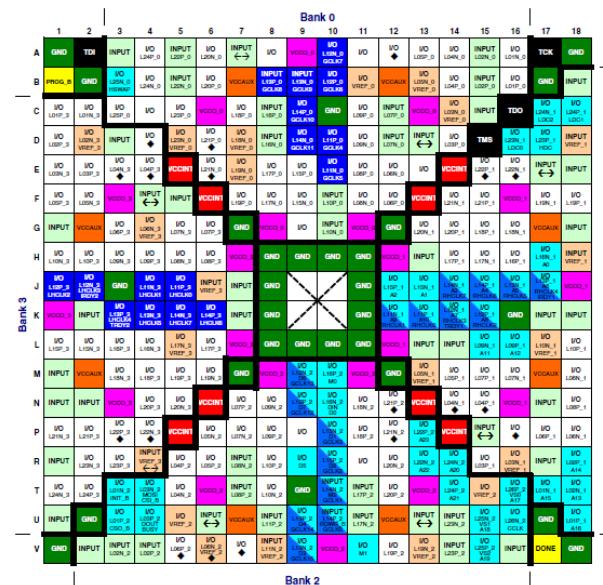


Familia Spartan-3e, Bloques I/O

- ▶ En el Spartan-3E, los bloques I/O están organizados en 4 bancos
- ▶ Cada banco tiene su propio Vcco y Vref.

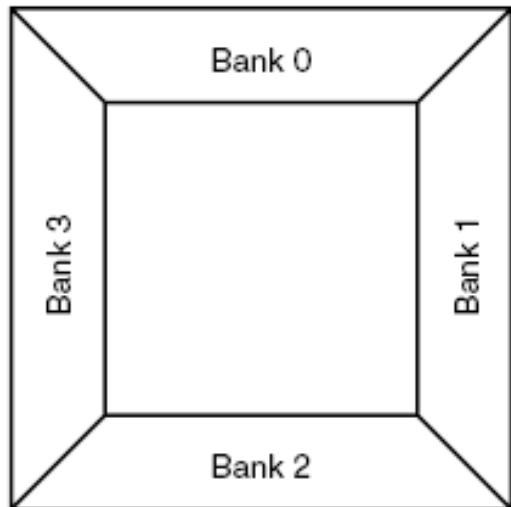
- ▶ Reglas para Vcco:
 - ▶ Todos los Vcco deben de conectarse.
 - ▶ Vcco de un mismo banco deben tener el mismo voltaje.
 - ▶ Los niveles de Vcco deben ser acordes al estándar usado por el banco.

- ▶ Reglas para Vref:
 - ▶ Todos los Vref del banco deben de conectarse.
 - ▶ Vref de un mismo banco deben tener el mismo voltaje.
 - ▶ Los niveles de Vref deben ser acordes al estándar usado por el banco.

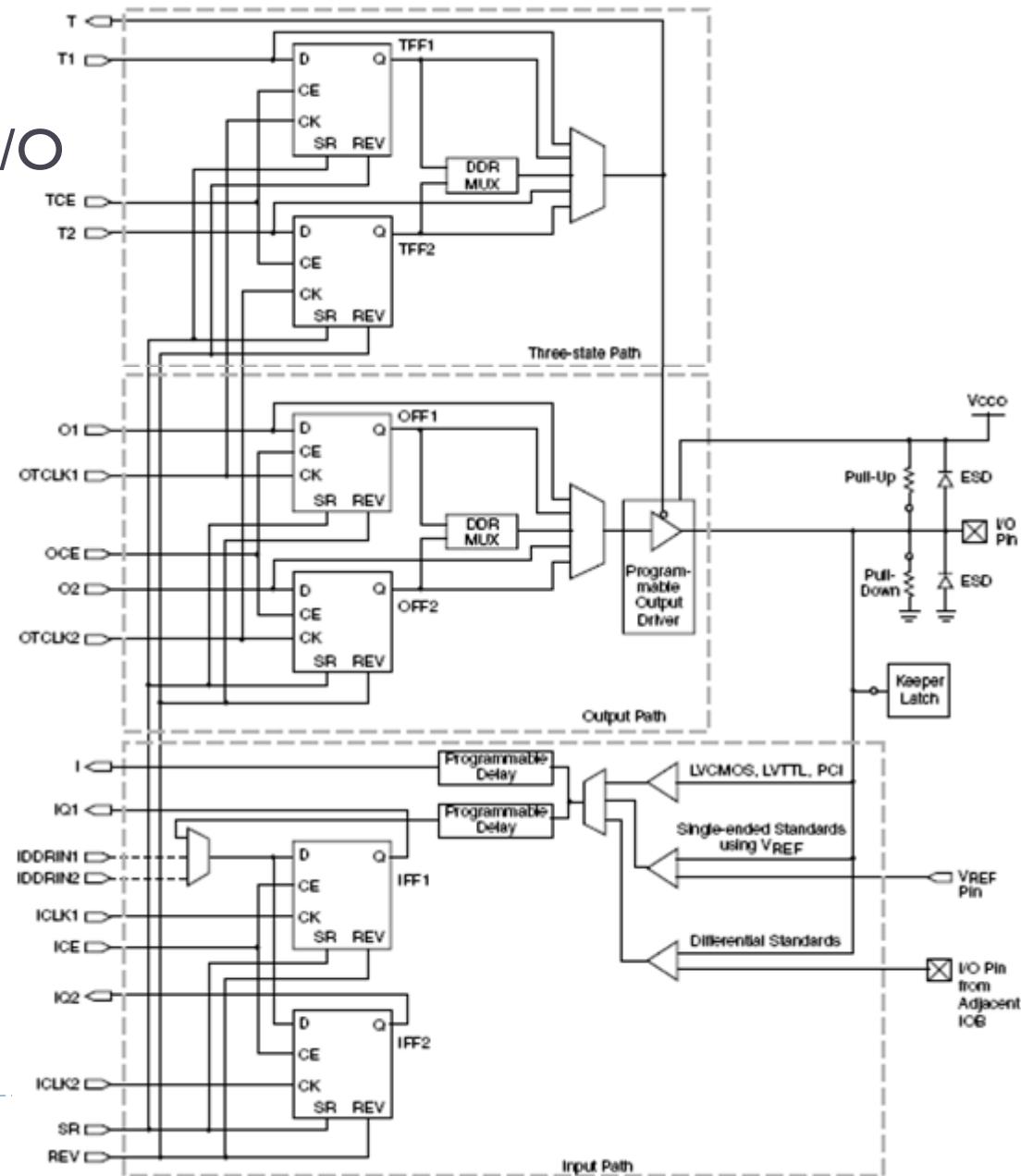


Familia Spartan-3e, Bloques I/O

- ▶ Bancos I/O
 - ▶ Formados por Bloques I/O

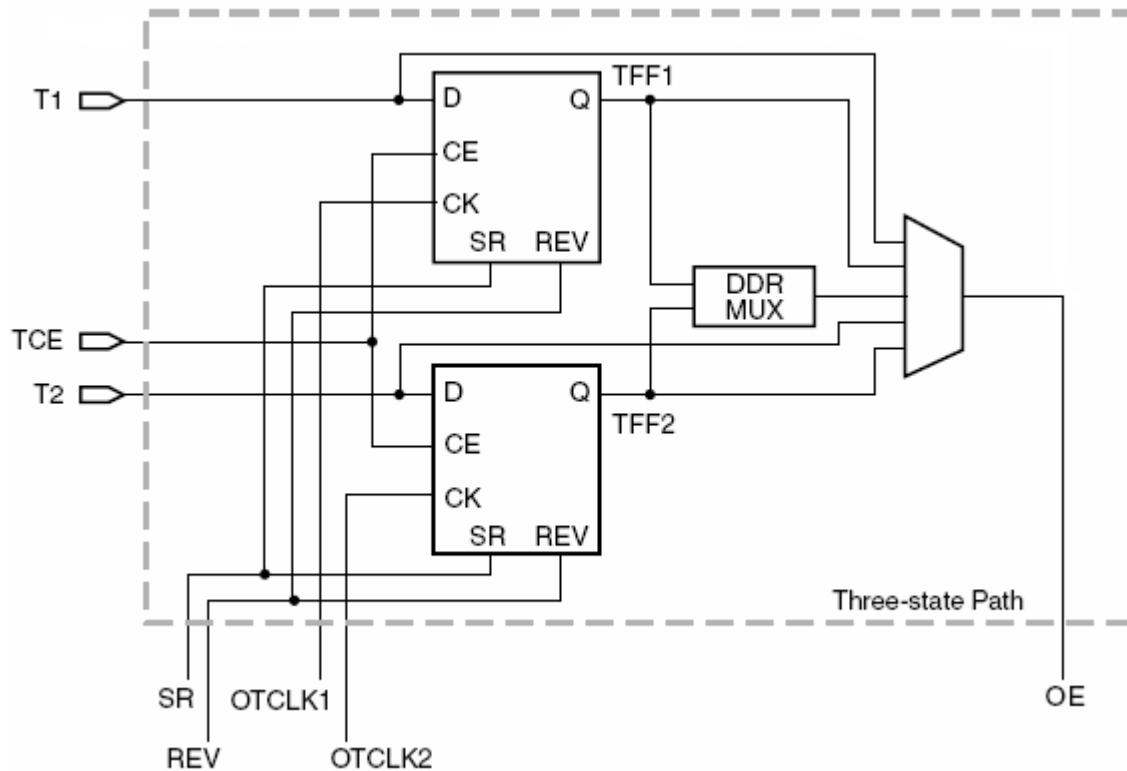


- ▶ Cada Bloque I/O está integrado por:
 - ▶ Sección de entrada.
 - ▶ Sección de salida.
 - ▶ Sección de control.



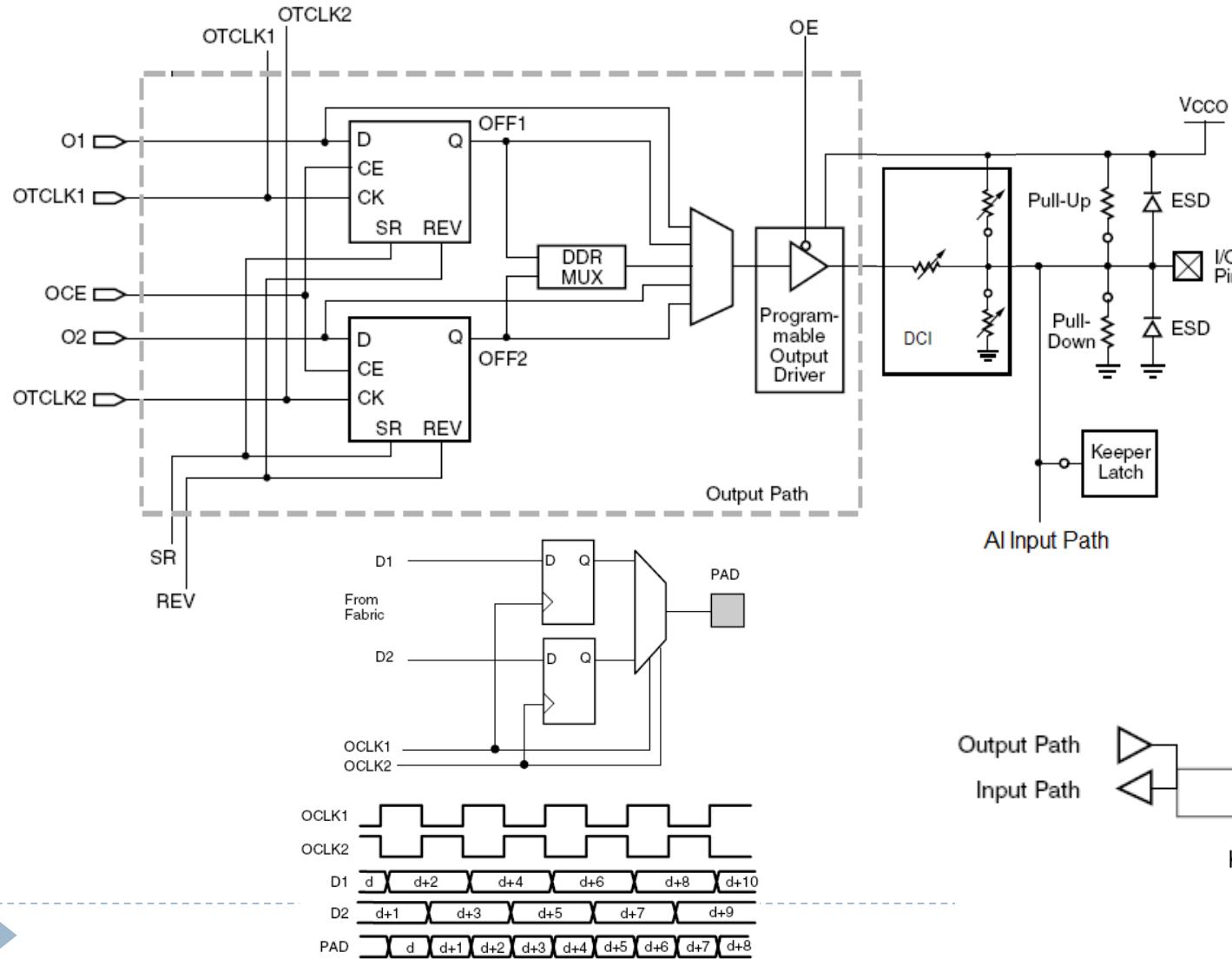
Familia Spartan-3e, Bloques I/O

▶ Sección de control.



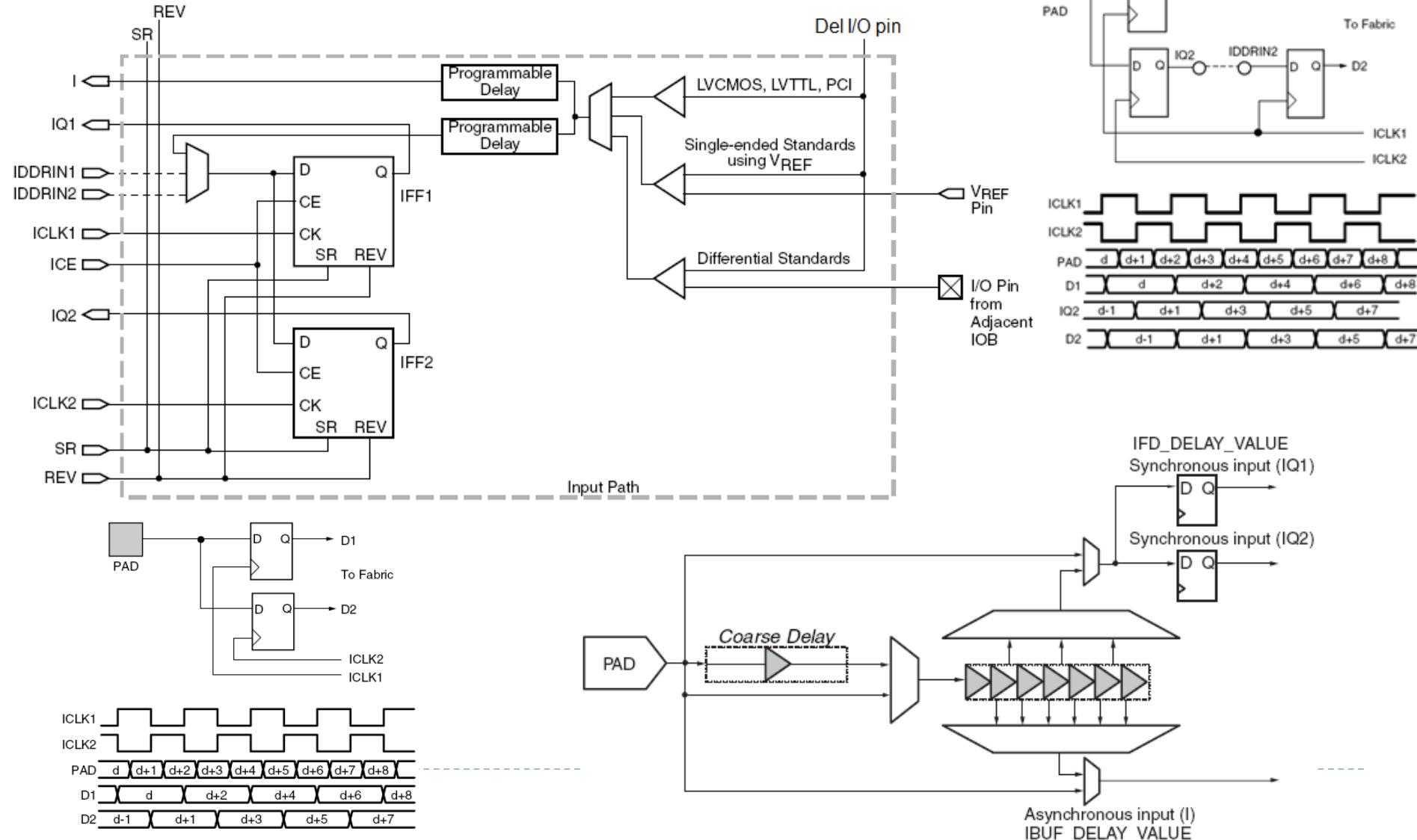
Familia Spartan-3e, Bloques I/O

▶ Sección de salida.



Familia Spartan-3e, Bloques I/O

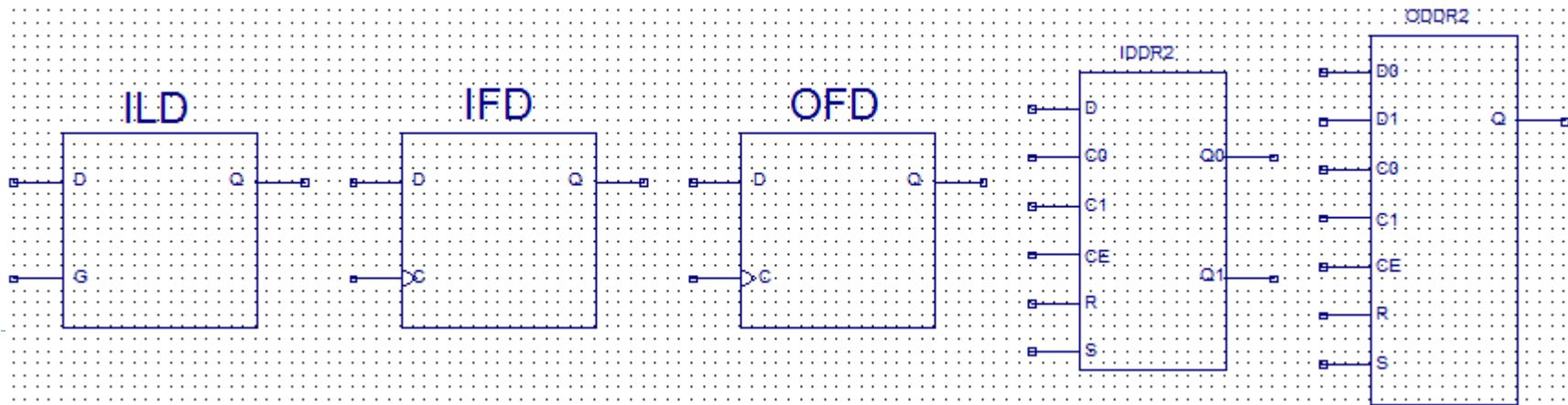
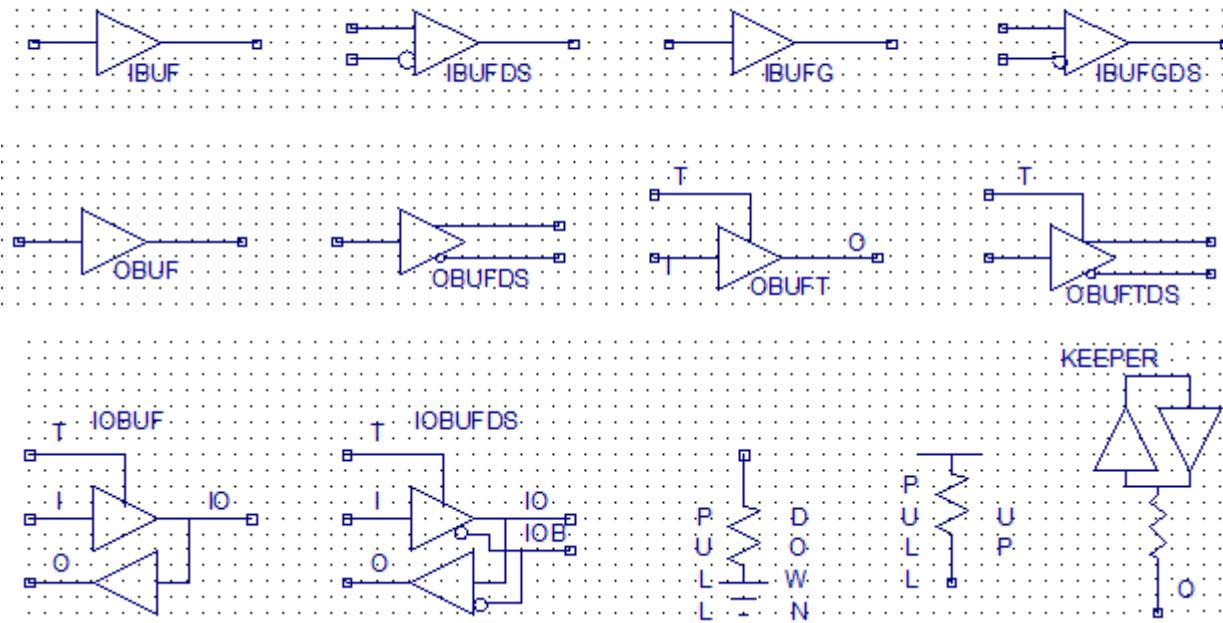
▶ Sección de entrada.



Familia Spartan-3e, Bloques I/O

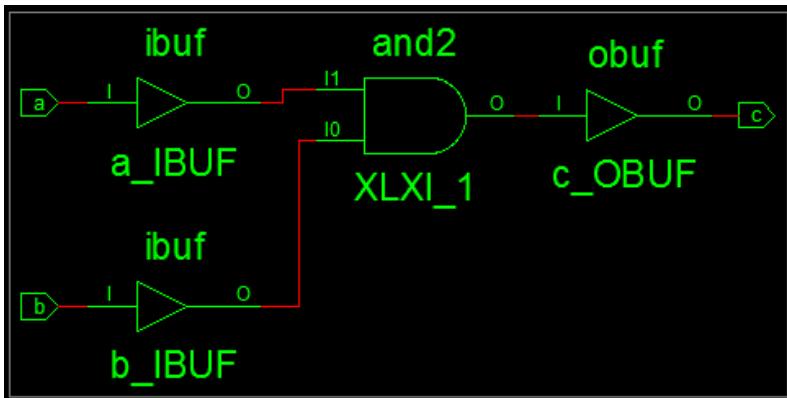
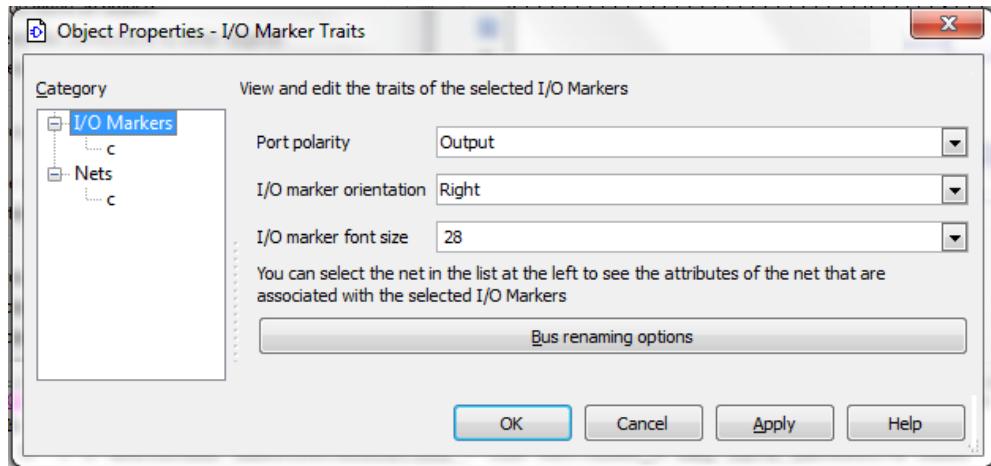
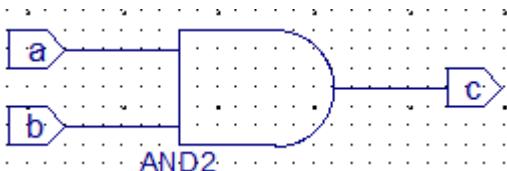
▶ Componentes I/O del Spantan-3E

	Input	Output	Three-State	Differential
IBUF	Y	N	N	N
IBUFG	Y	N	N	N
IBUFDS	Y	N	N	Y
IBUFGDS	Y	N	N	Y
OBUF	N	Y	N	N
OBUFDS	N	Y	N	Y
OBUFT	N	Y	Y	N
OBUFTDS	N	Y	Y	Y
IOBUF	Y	Y	Y	N
IOBUFDS	Y	Y	Y	Y
IDDR2	Y	N	N	Y
ODDR2	N	Y	N	Y
PULLUP	Y	Y	-	-
PULLDOWN	Y	Y	-	-
KEEPER	Y	Y	-	-



Familia Spartan-3e, Bloques I/O

► Ejemplos de uso.



Parámetros por default.

OUTPUT:

IOSTANDARD – LVCMOS25

Slew rate – SLOW

Output drive – 12 mA

INPUT:

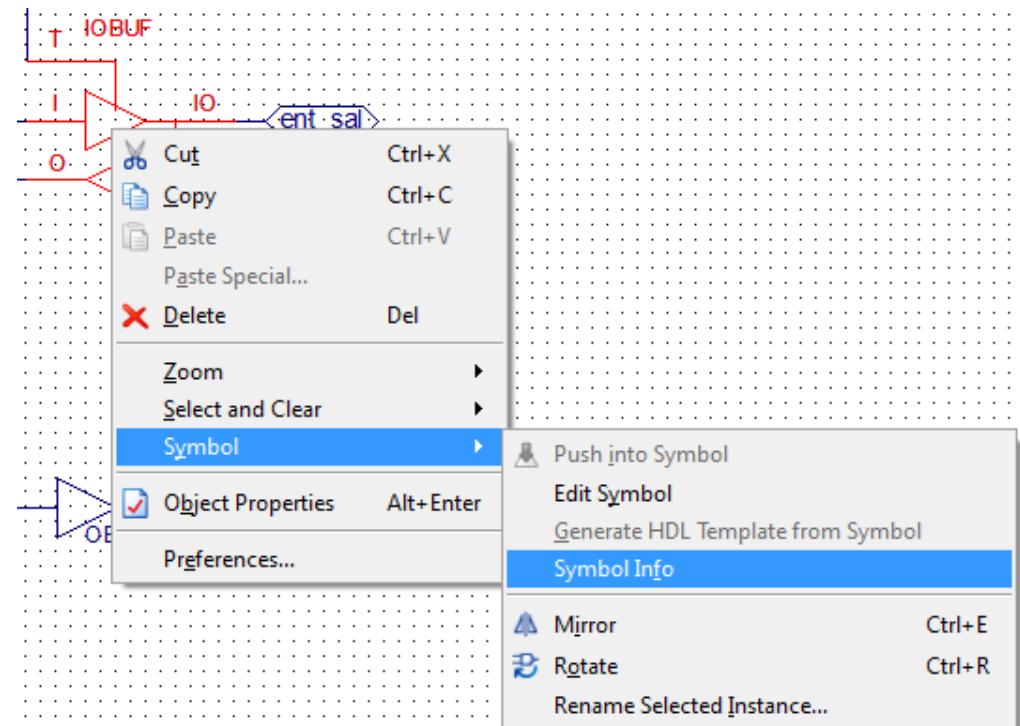
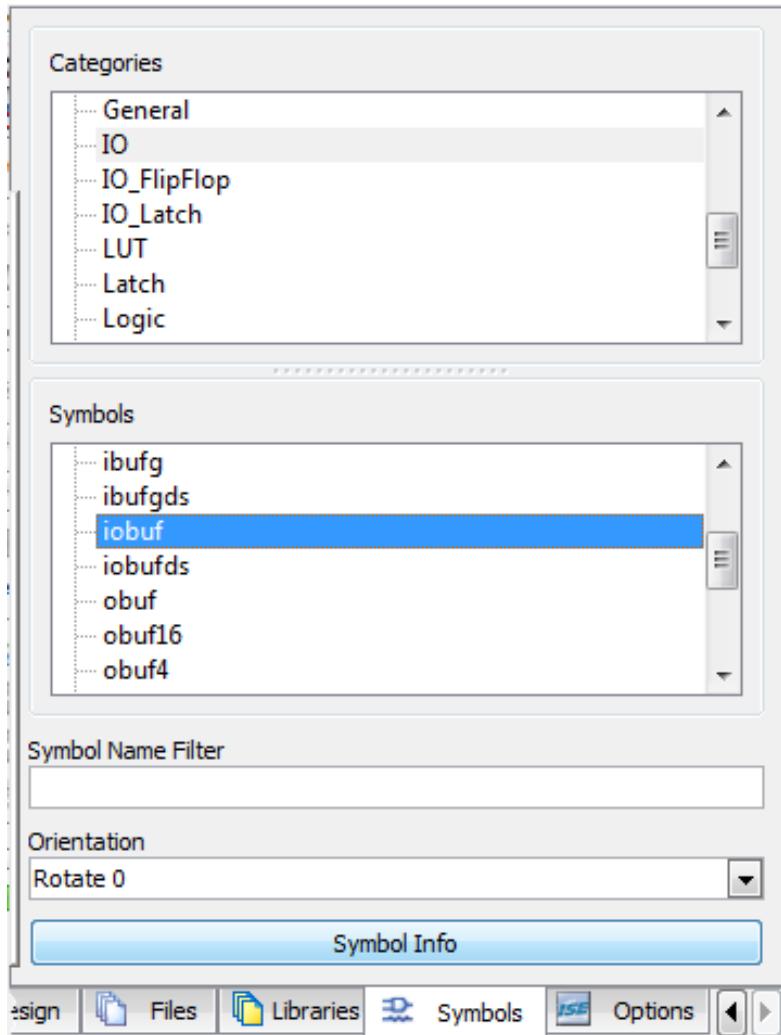
IOSTANDARD – LVCMOS25

IBUF_Delay_Value – 0

IFD_Delay_Value – AUTO

Familia Spartan-3e, Bloques I/O

▶ Valores validos en los parámetros



Familia Spartan-3e, Bloques I/O

▶ Valores validos en los parámetros

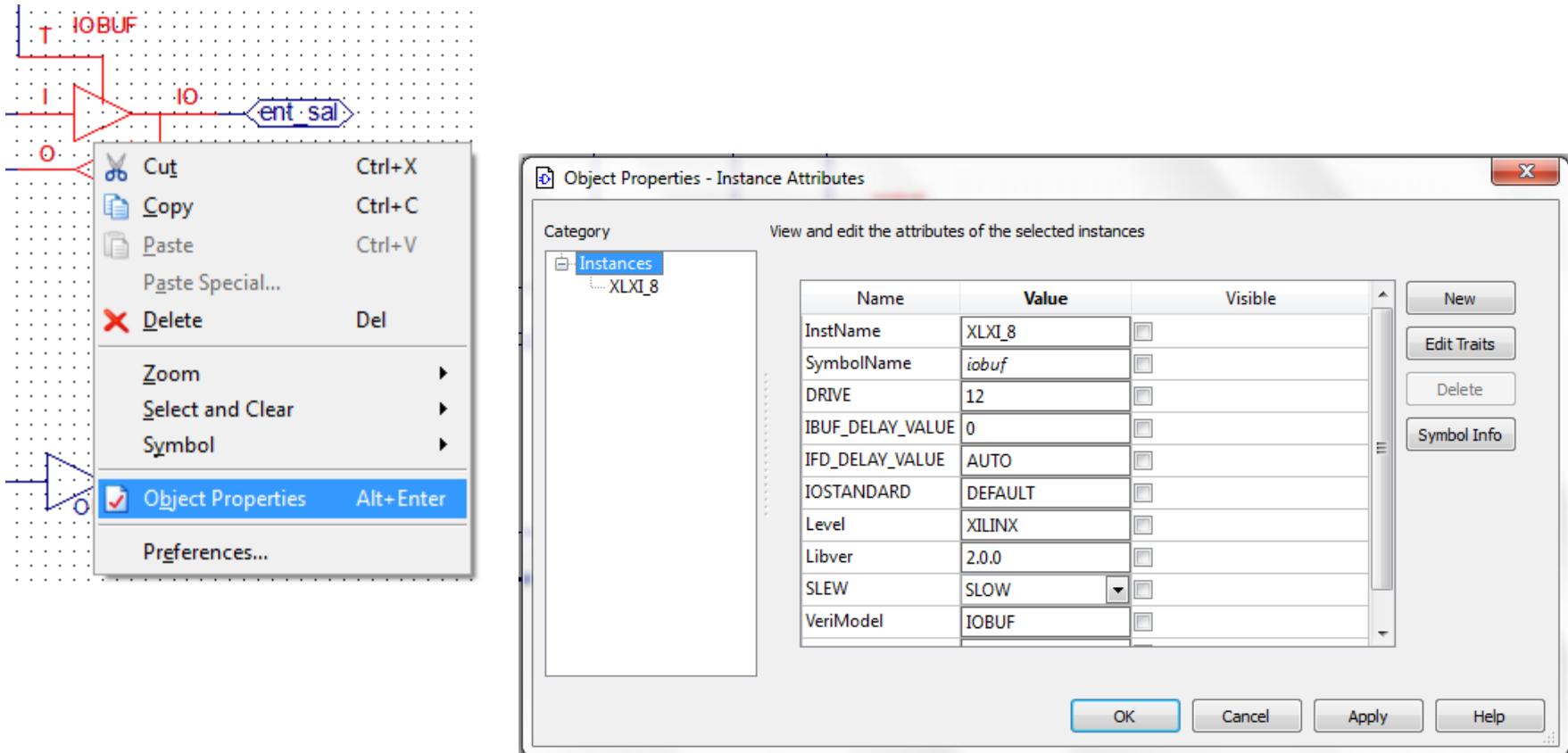
IOSTANDARD	Programmable Output Drive Current					
	2	4	6	8	12	16
LVTTL	✓	✓	✓	✓	✓	✓
LVCMOS33	✓	✓	✓	✓	✓	✓
LVCMOS25	✓	✓	✓	✓	✓	-
LVCMOS18	✓	✓	✓	✓	-	-
LVCMOS15	✓	✓	✓	-	-	-
LVCMOS12	✓	-	-	-	-	-

Single-Ended IOSTANDARD
LVTTL
LVCMOS33
LVCMOS25
LVCMOS18
LVCMOS15
LVCMOS12
PCI33_3
PCI66_3

Attribute	Type	Allowed Values	Default	Description
DRIVE	Integer	2, 4, 6, 8, 12, 16, 24	12	Selects output drive strength (mA) for the SelectIO™ buffers that use the LVTTL, LVCMOS12, LVCMOS15, LVCMOS18, LVCMOS25, or LVCMOS33 interface I/O standard.
IBUF_DELAY_VALUE	String	"0" through "12"	"0"	Specifies the amount of additional delay to add to the non-registered path out of the IOB
IFD_DELAY_VALUE	String	"AUTO", "0" through "6"	"AUTO"	Specifies the amount of additional delay to add to the registered path within the IOB
IOSTANDARD	String	See Data Sheet	"DEFAULT"	Assigns an I/O standard to the element.
SLEW	String	"SLOW", "FAST",	"SLOW"	Sets the output rise and fall time. See the Data Sheet for recommendations of the best setting for this attribute.

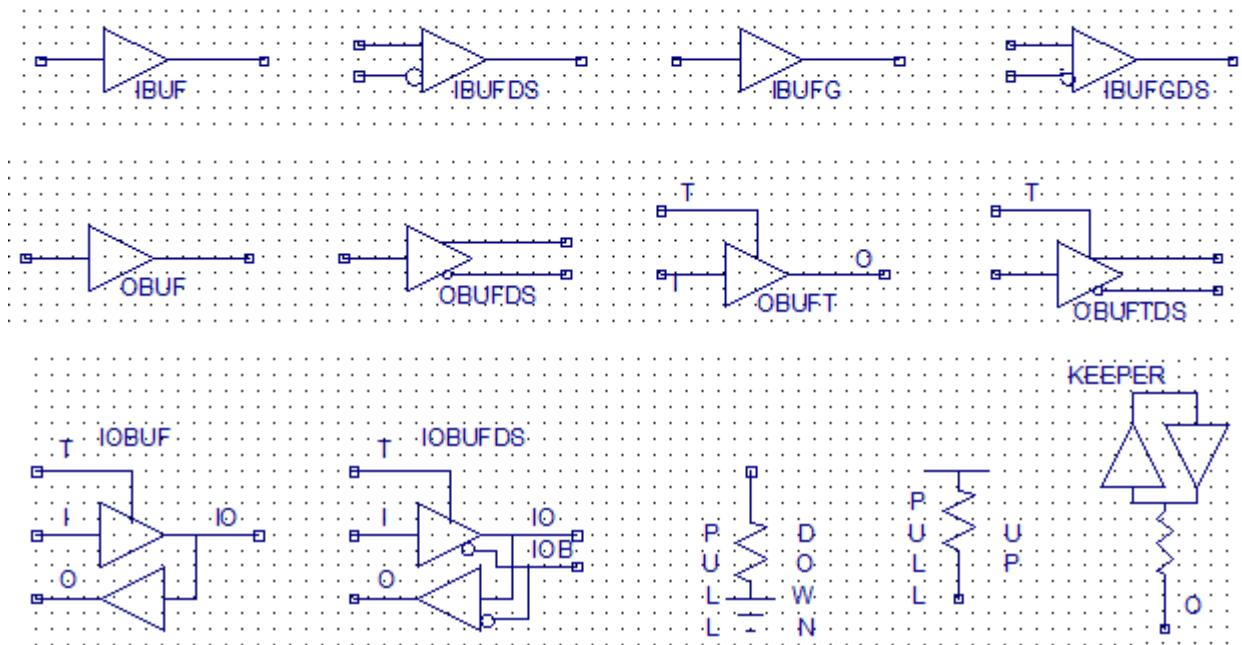
Familia Spartan-3e, Bloques I/O

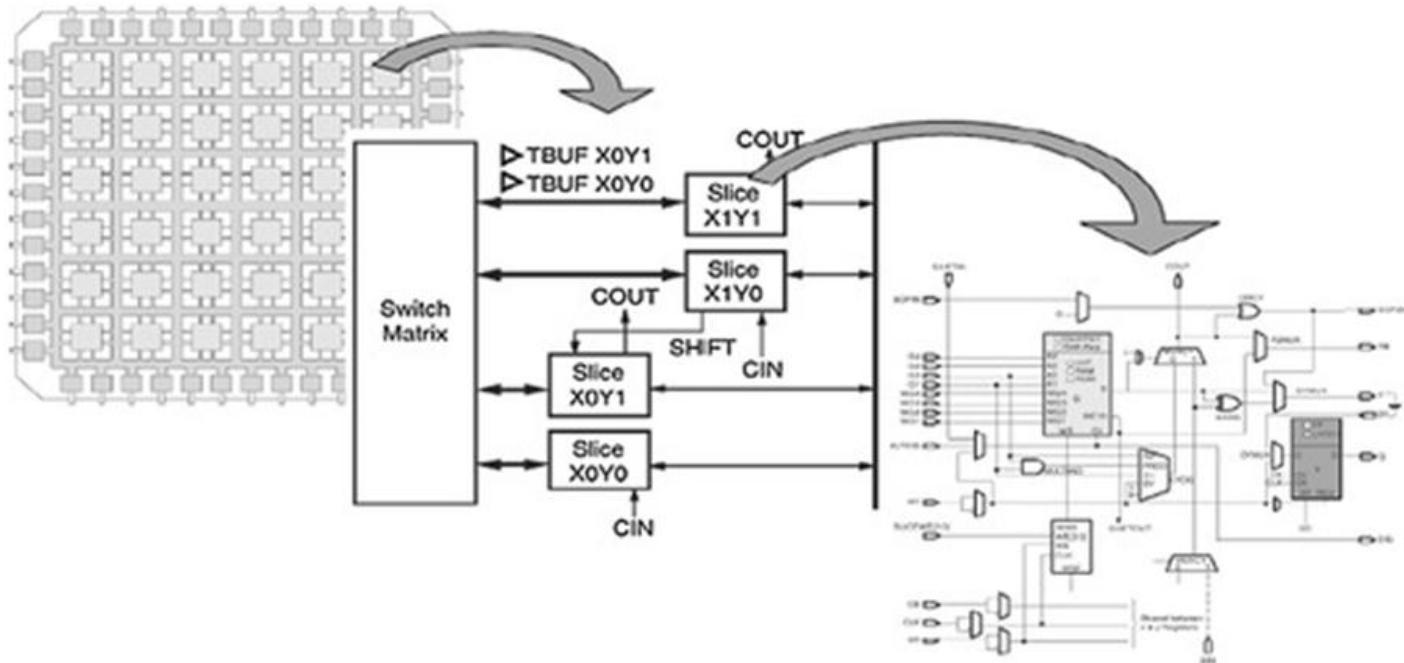
▶ Modificando los parámetros



Familia Spartan-3e, CLB – RAM-D

- ▶ Uso de la característica “carry logic” desde una herramienta de modelado:
 - ▶ Instanciar primitivas.





FPGA Spartan-3e, Xilinx

Bloque Lógico Configurable

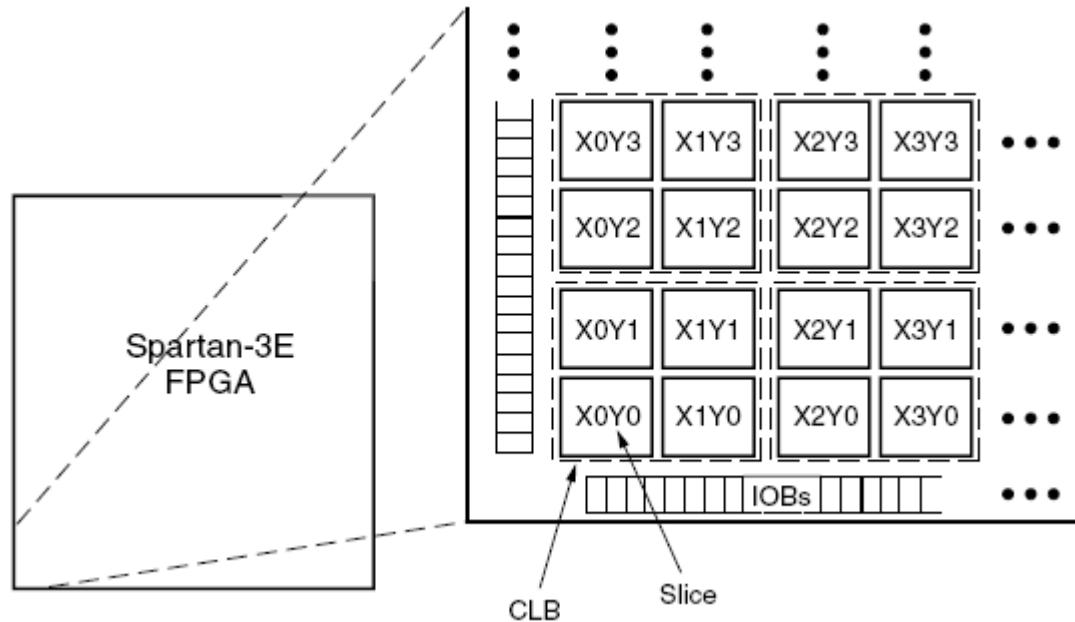
Familia Spartan-3e, CLB

- ▶ Definición.
 - ▶ Los Bloques Lógicos Configurables constituyen los recursos destinados a la implementación de funciones lógicas (combinacionales o secuenciales).
 - ▶ El paradigma principal utilizado para implementar funciones lógicas es las tablas de búsqueda (FPGA de granulidad gruesa).
 - ▶ Estos elementos son combinados con biestables y elementos de control para brindar funcionalidad adicional al CLB.



Familia Spartan-3e, CLB

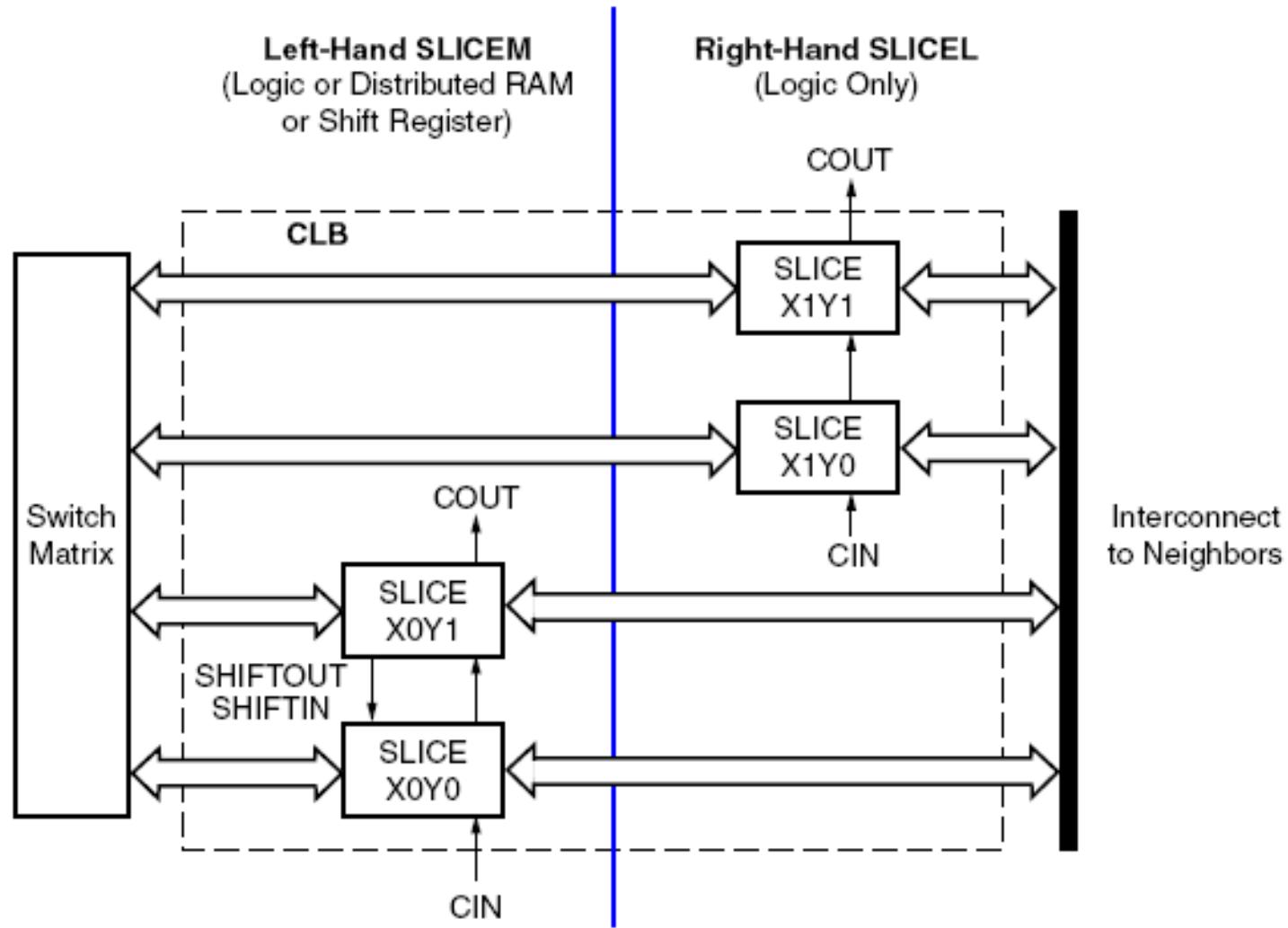
▶ Bloque lógico configurable (CLB, *Configurable Logic Block*)



Device	CLB Rows	CLB Columns	CLB Total ⁽¹⁾	Slices	LUTs / Flip-Flops	Equivalent Logic Cells	RAM16 / SRL16	Distributed RAM Bits
XC3S100E	22	16	240	960	1,920	2,160	960	15,360
XC3S250E	34	26	612	2,448	4,896	5,508	2,448	39,168
XC3S500E	46	34	1,164	4,656	9,312	10,476	4,656	74,496
XC3S1200E	60	46	2,168	8,672	17,344	19,512	8,672	138,752
XC3S1600E	76	58	3,688	14,752	29,504	33,192	14,752	236,032

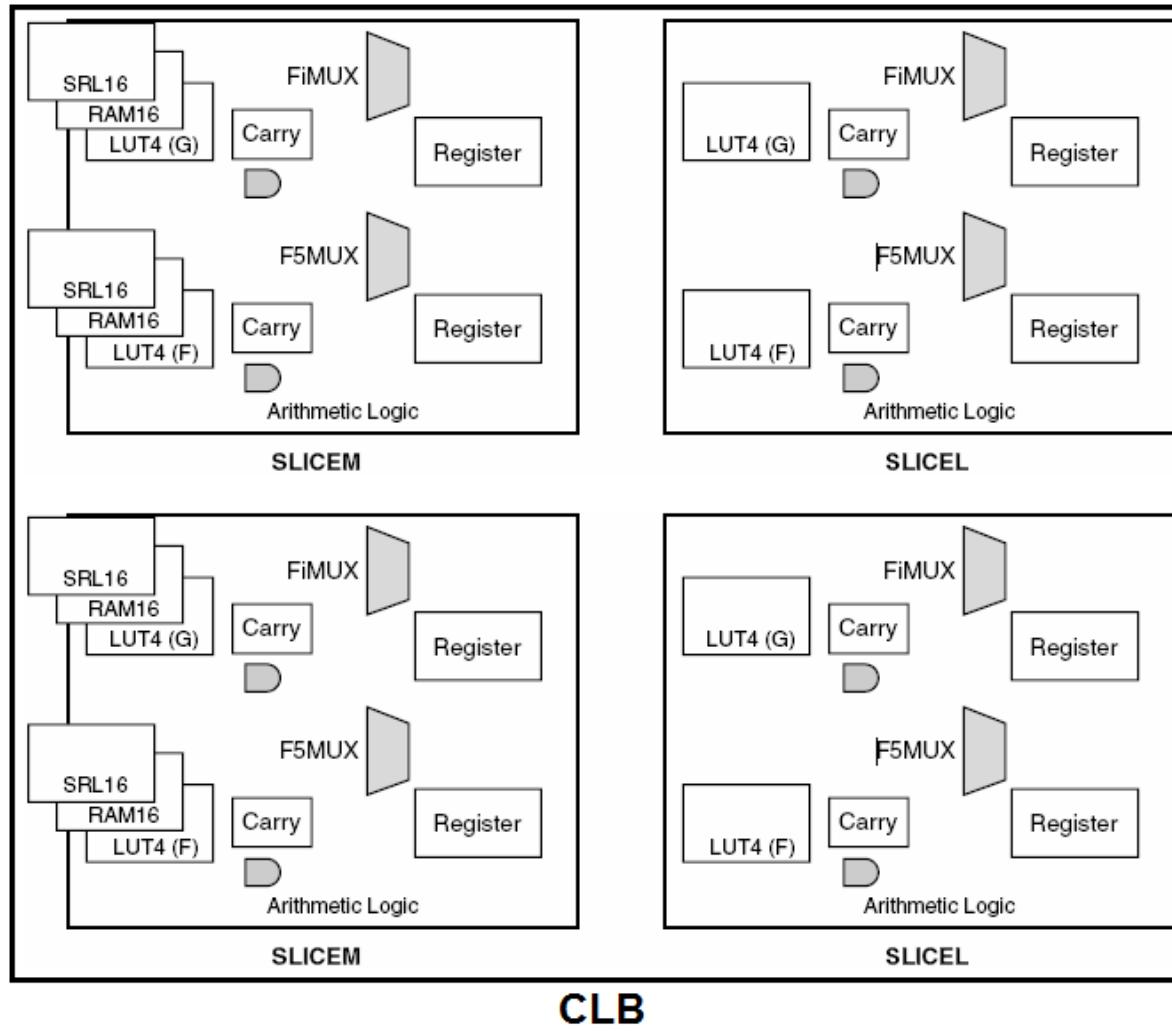
Familia Spartan-3e, CLB

► Estructura CLB's.



Familia Spartan-3e, CLB

▶ Recursos en un Slice.

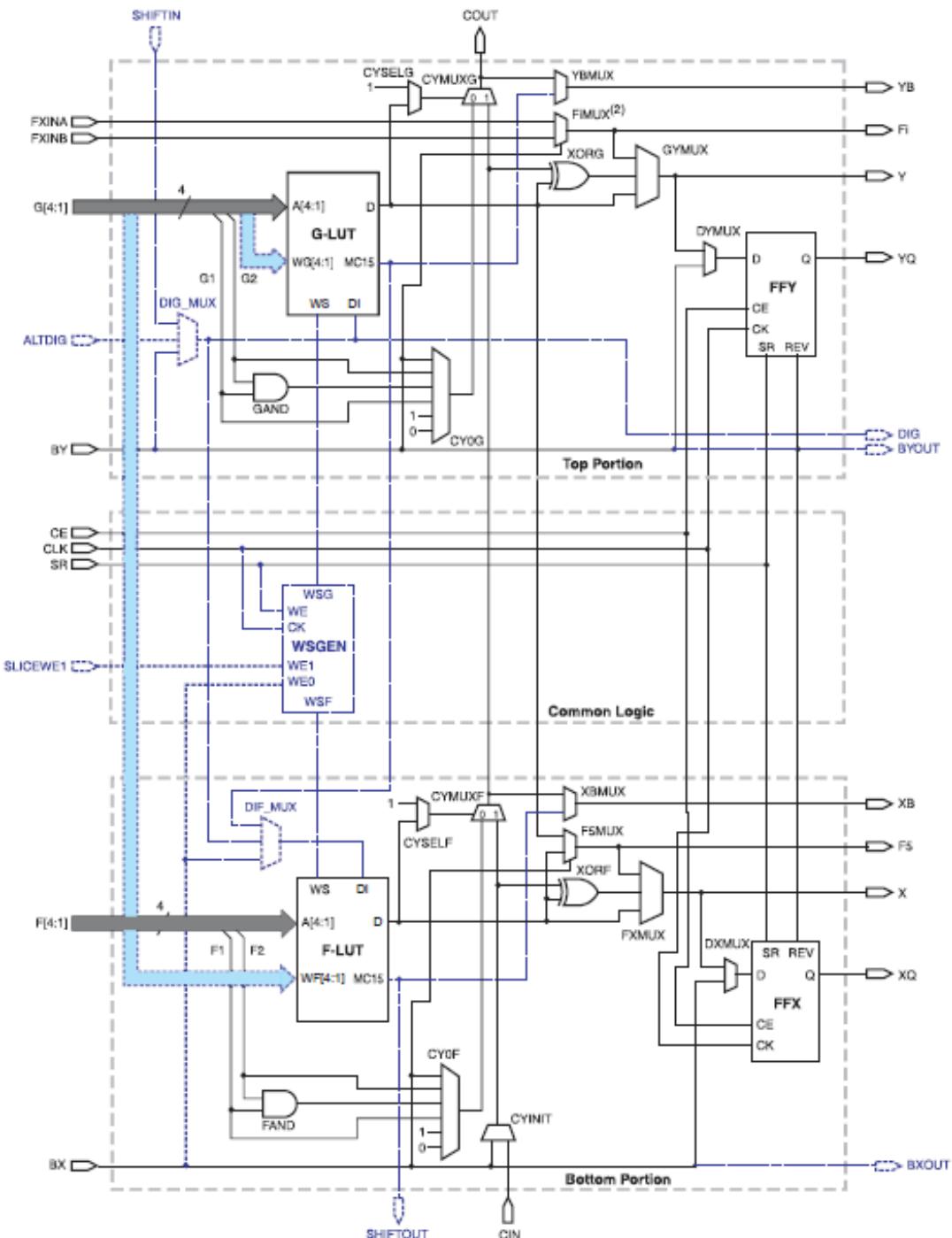


Familia Spartar

► Recursos en un Slice.

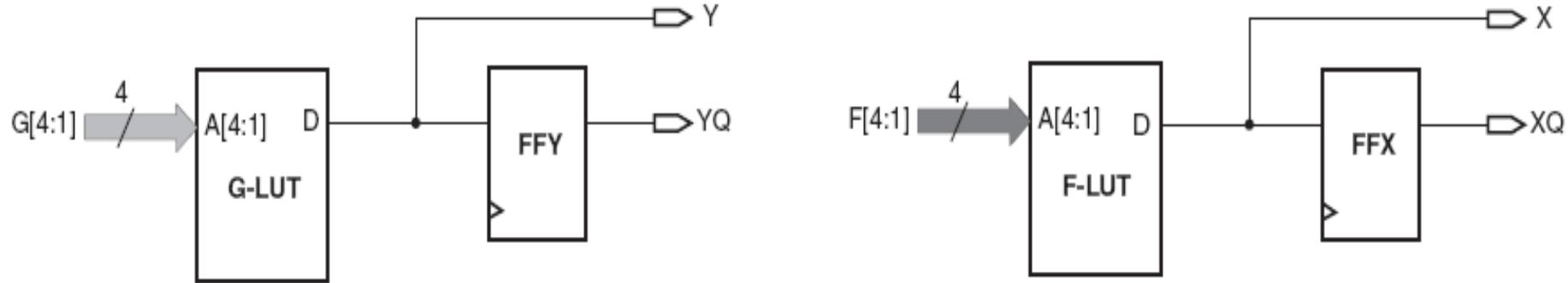
- Elementos para funciones específicas (RAM-D y SRL16), solo SLICEM

- El resto, lógica para funciones

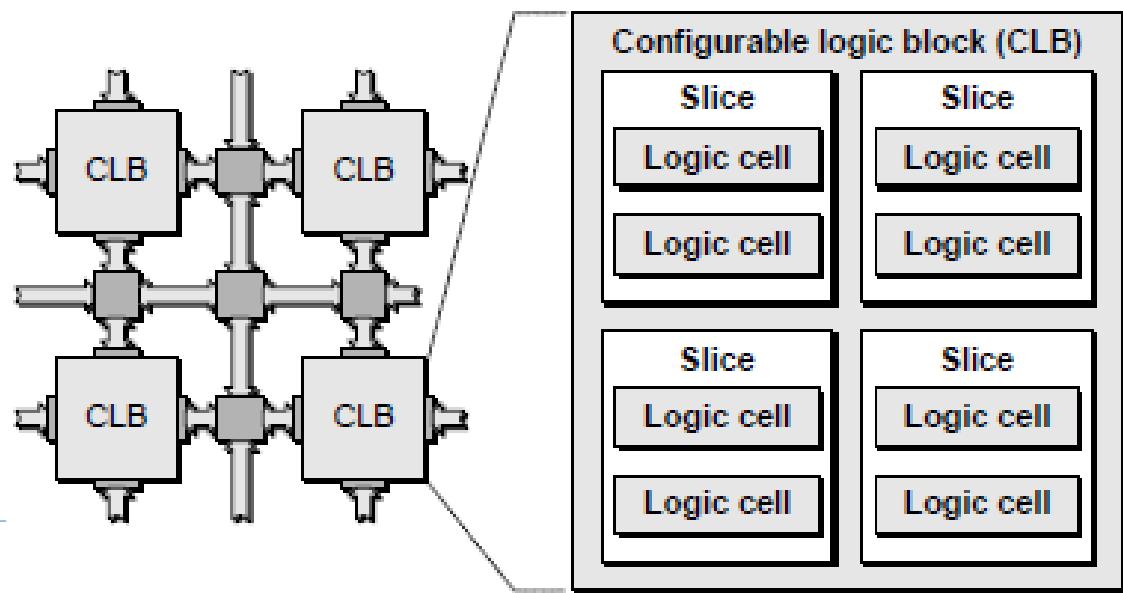


Familia Spartan-3e, CLB

- ▶ Celda lógica.
 - ▶ Se denomina celda lógica al conjunto de una LUT y un elemento de almacenamiento



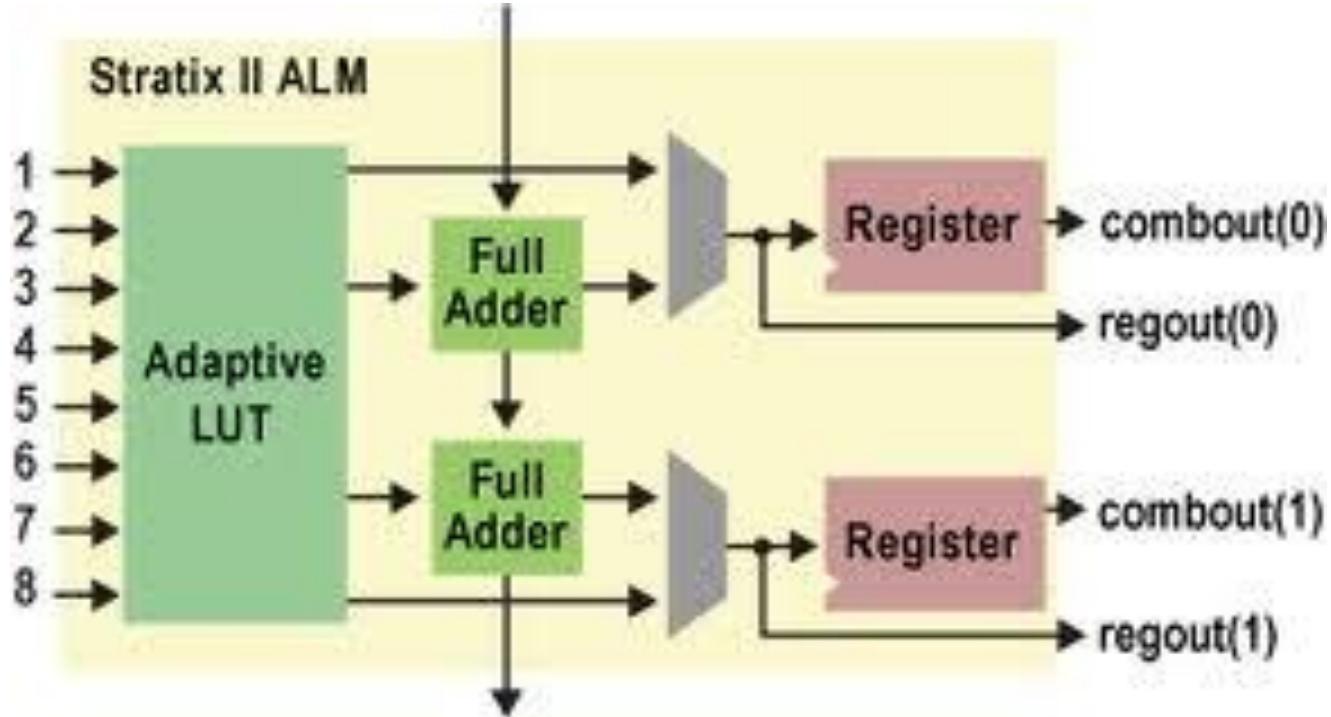
- ▶ Resumiendo, la estructura de un CLB queda definida



Familia Spartan-3e, CLB

- ▶ Un CLB tiene elementos para acelerar operaciones, ahorrar recursos y que le permiten llevar a cabo funciones específicas.
 - ▶ Carry logic.
 - ▶ RAM distribuida.
 - ▶ Registros de corrimiento.





FPGA Spartan-3e, Xilinx

CLB - Carry Logic

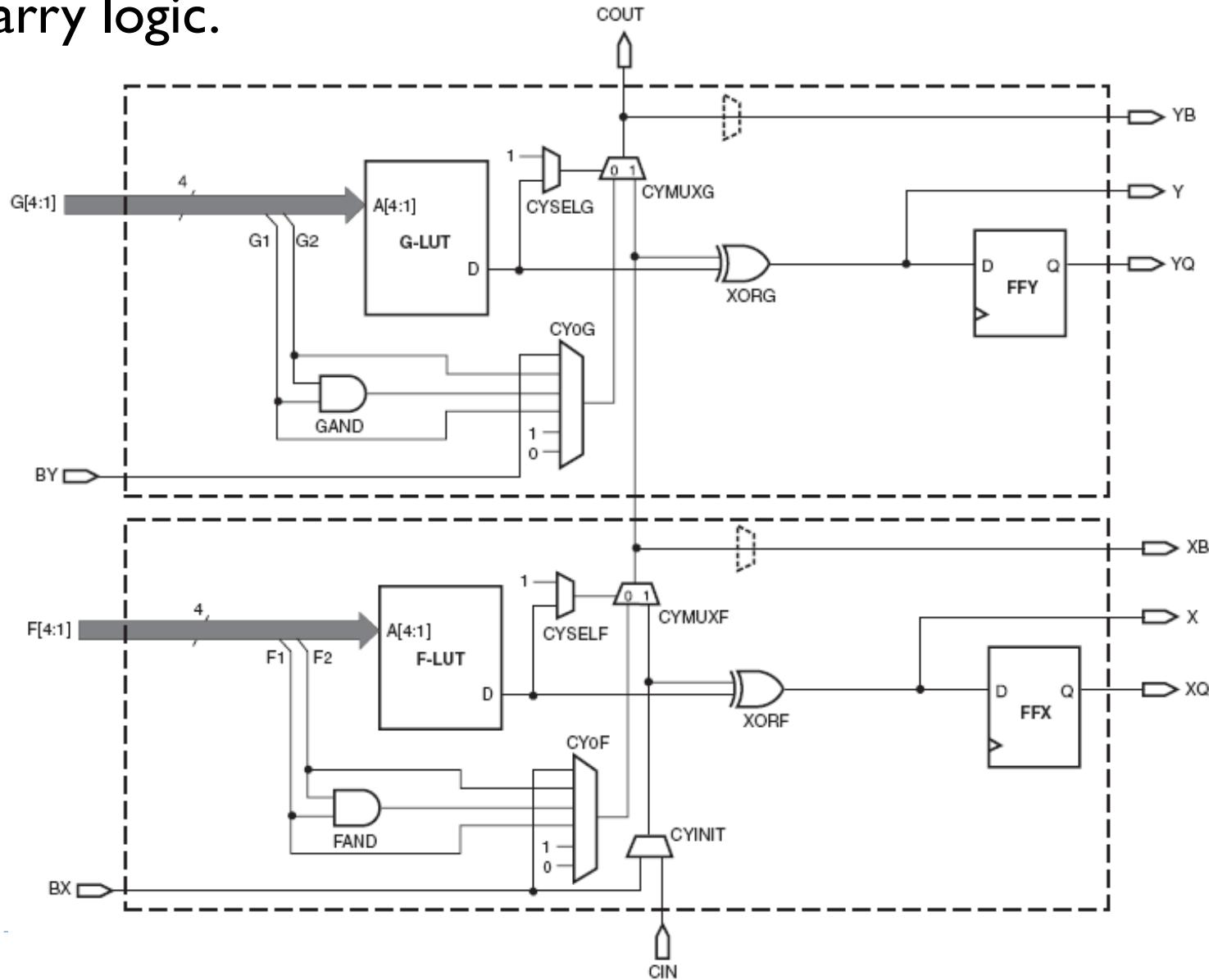
Familia Spartan-3e, CLB – Carry logic

- ▶ Definición de Carry logic.
 - ▶ Es un conjunto de recursos, elementos lógicos y de ruteo independientes a los de propósito general, dedicados a mejorar el desempeño de implementaciones de operaciones aritméticas (sumadores, multiplicadores), contadores y comparadores.
 - ▶ La mayoría de los componentes y códigos HDL aritméticos automáticamente usan la característica Carry logic.



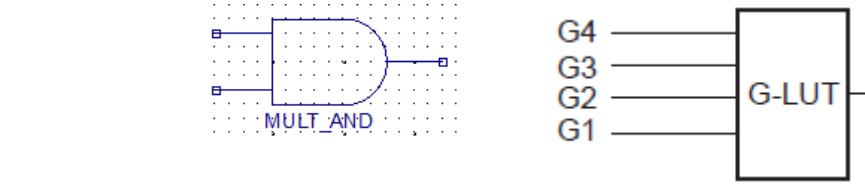
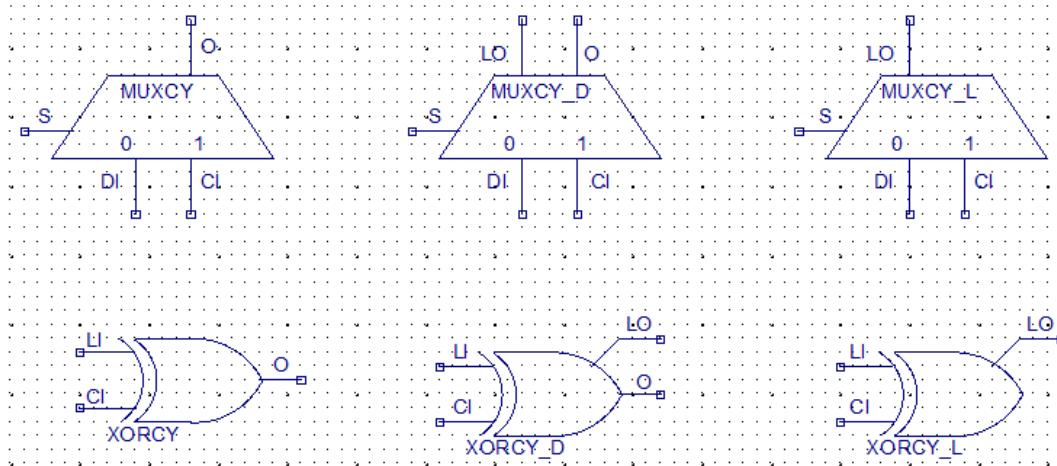
Familia Spartan-3e, CLB – Carry logic

▶ Carry logic.



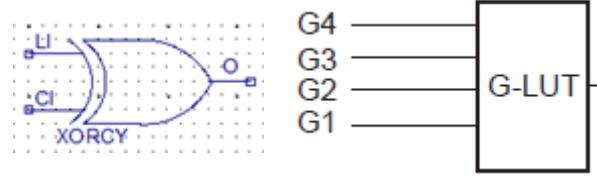
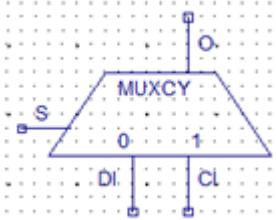
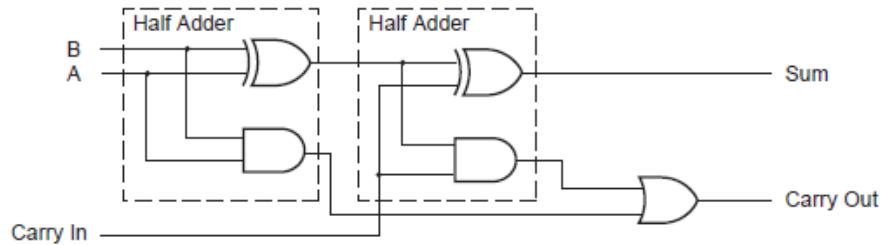
Familia Spartan-3e, CLB – Carry logic

▶ Primitivas Carry logic.



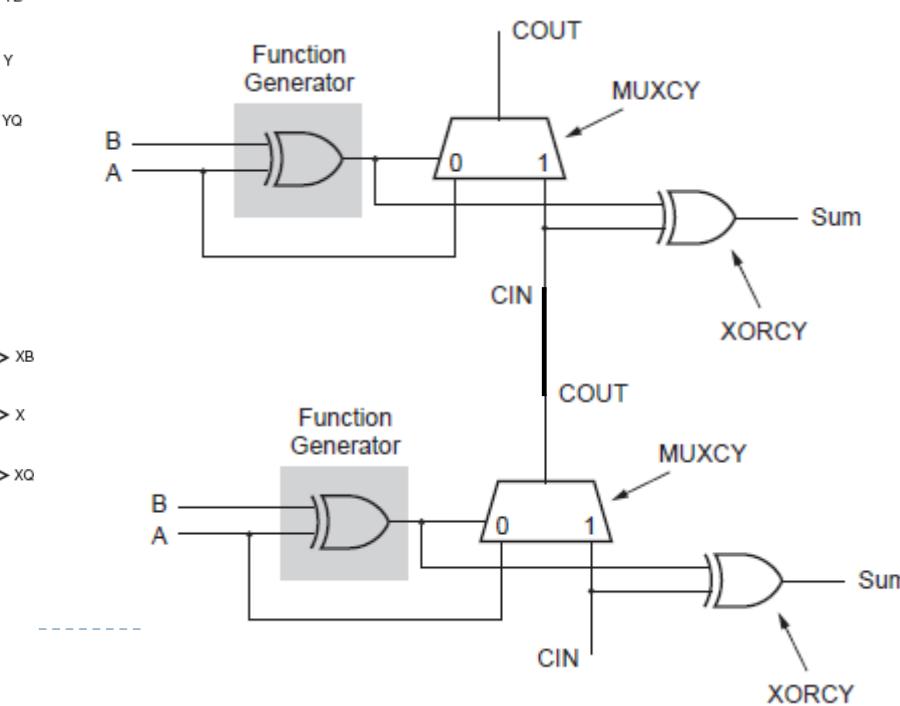
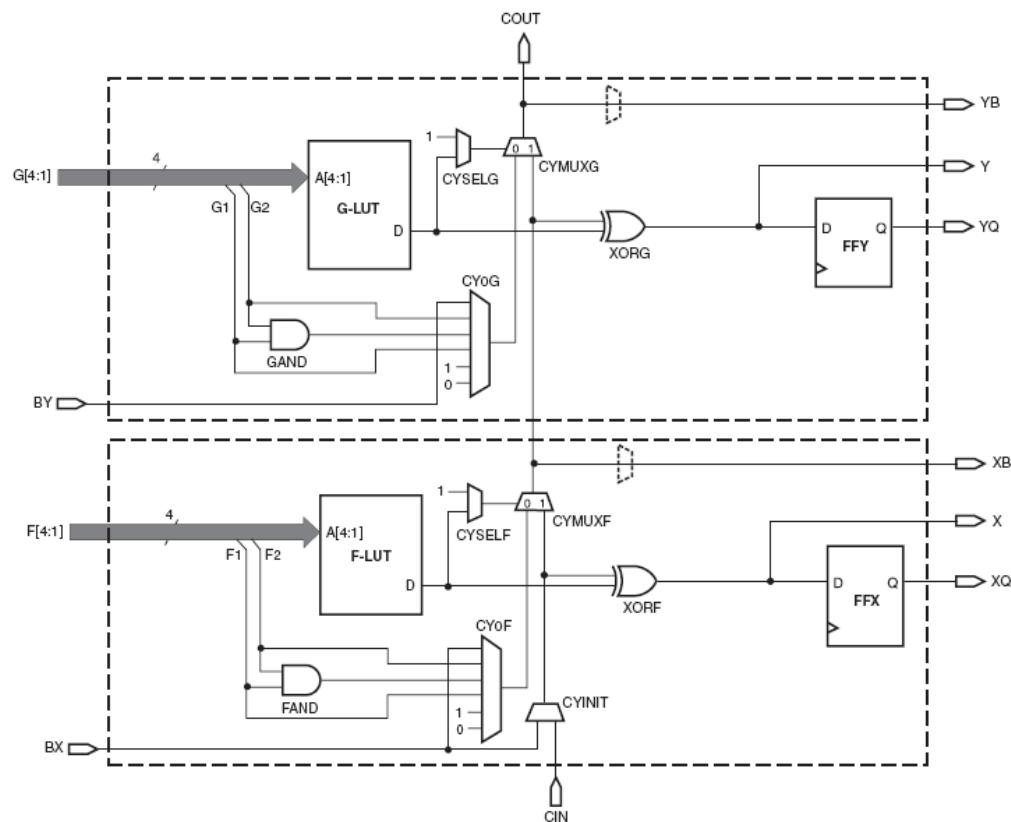
Familia Spartan-3e, CLB – Carry logic

▶ Carry logic para suma.



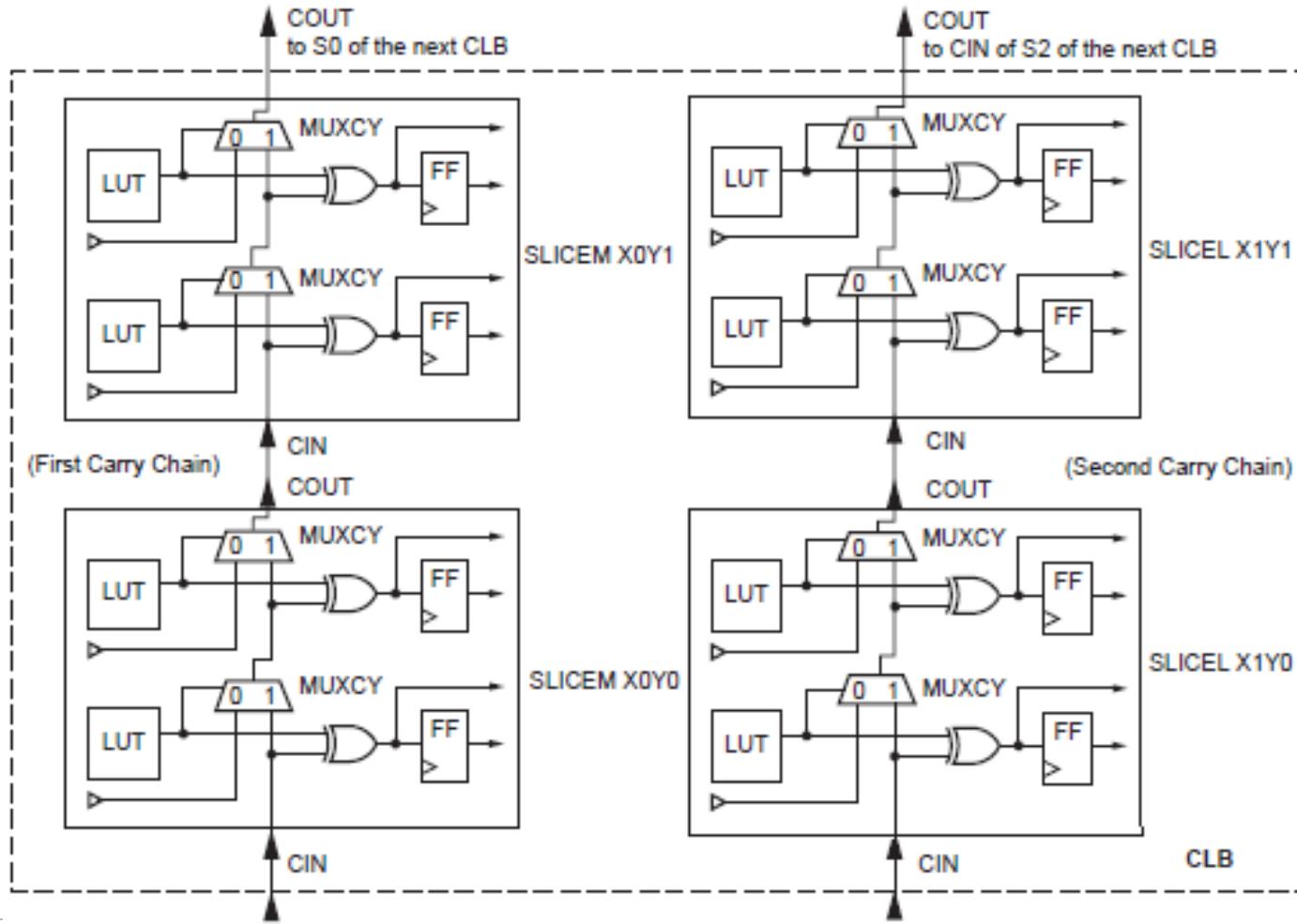
$$S = A \oplus B \oplus C_i; \quad C_o = AB + (A \oplus B)C_i$$

$$C_o = \overline{(A \oplus B)A} + (A \oplus B)C_i$$



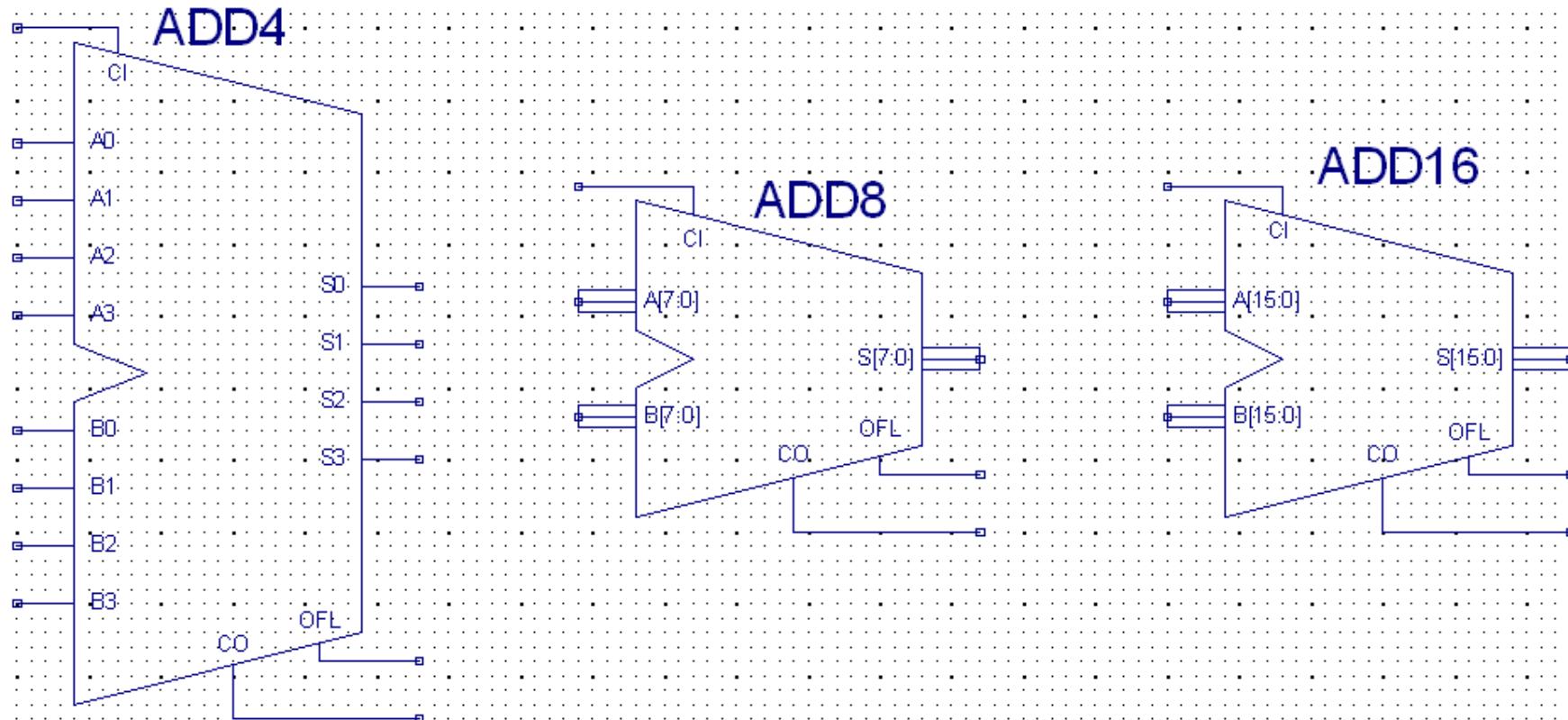
Familia Spartan-3e, CLB – Carry logic

- ▶ Carry logic para suma (en un CLB).



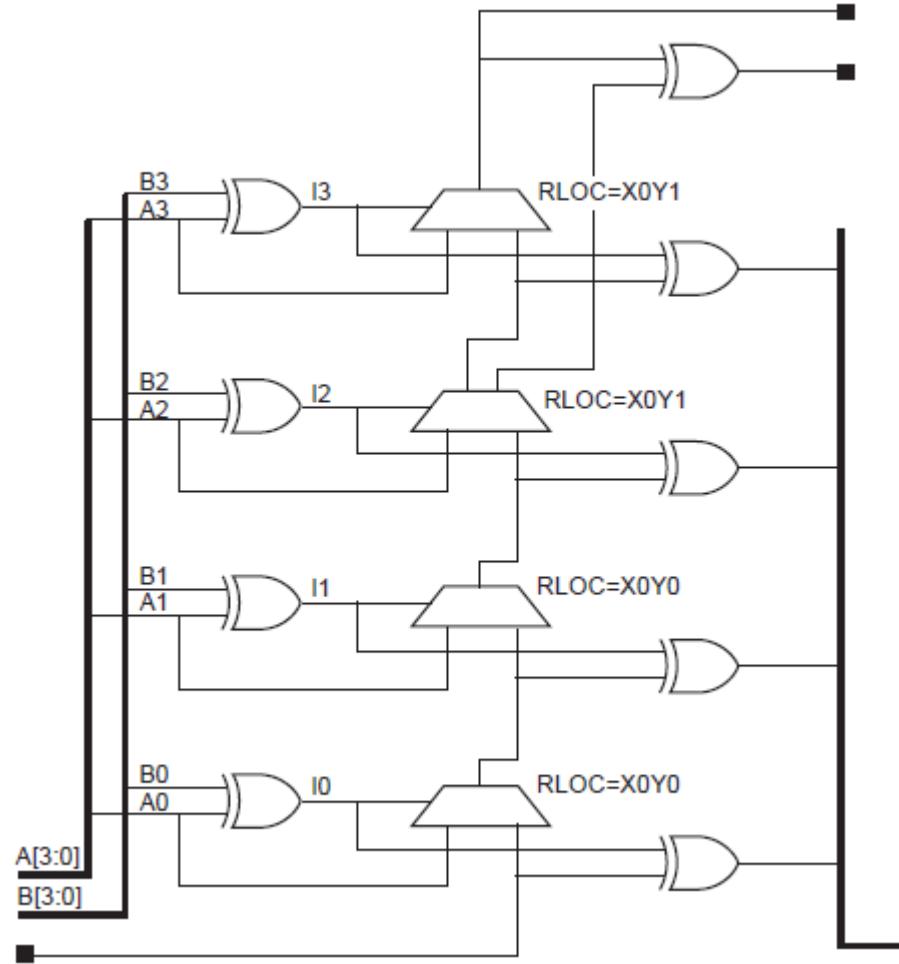
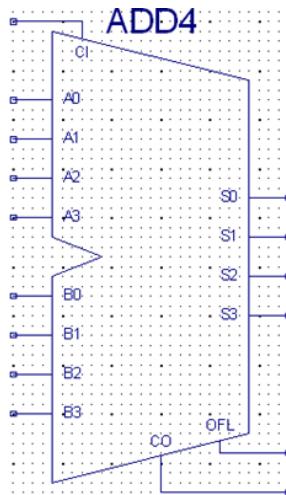
Familia Spartan-3e, CLB – Carry logic

- ▶ Componentes que usan Carry-Logic.



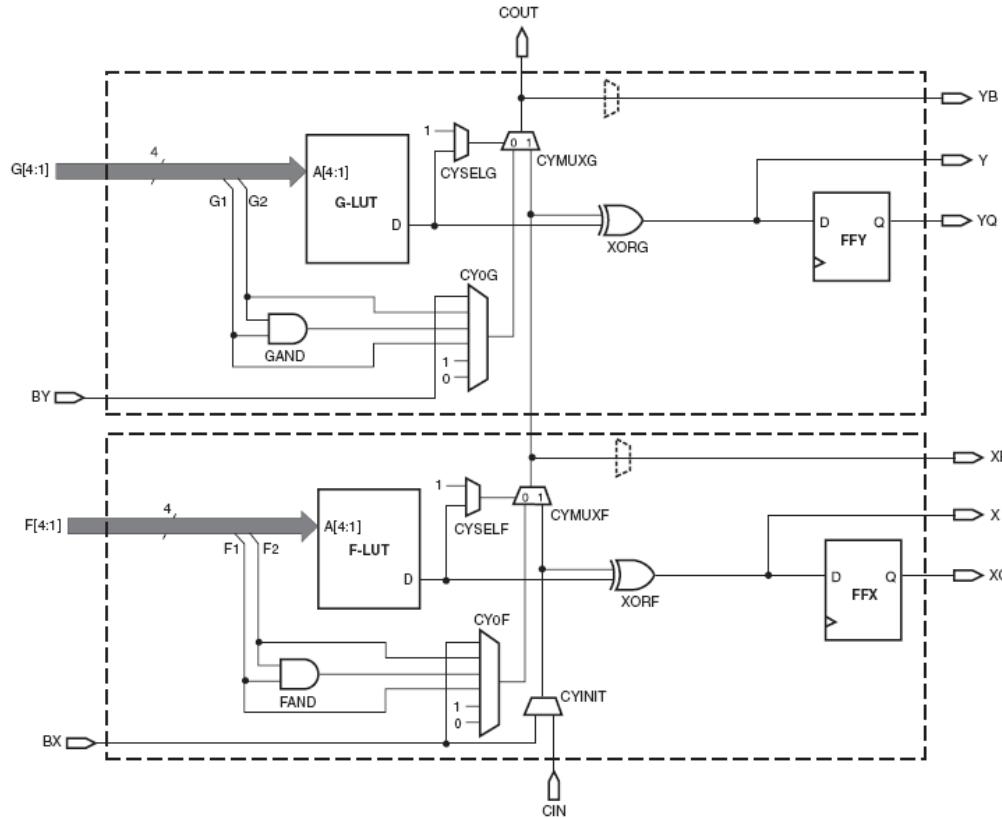
Familia Spartan-3e, CLB – Carry logic

▶ Implementación de ADD4

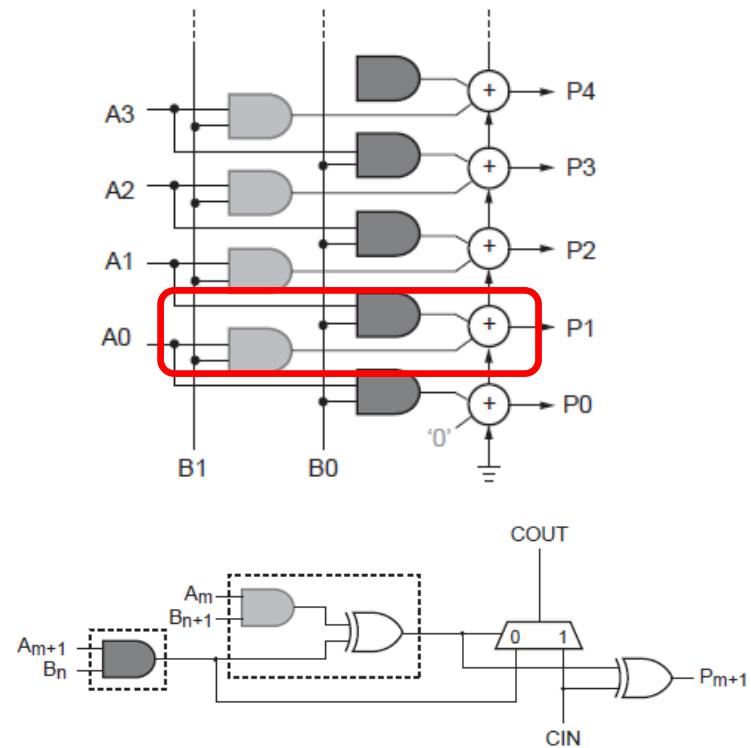


Familia Spartan-3e, CLB – Carry logic

▶ Carry logic para multiplicación.

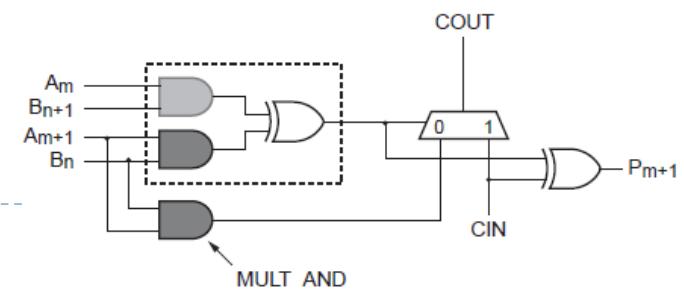
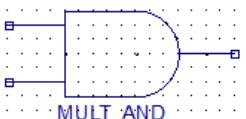


Multiplicación por productos parciales



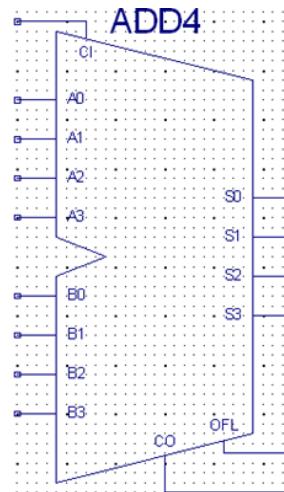
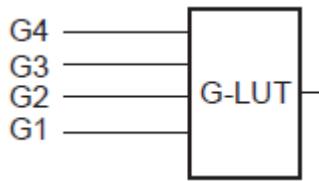
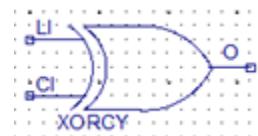
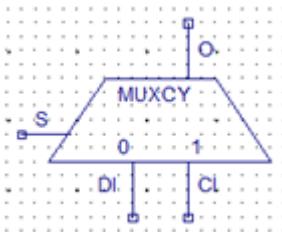
Binary Multiplication

A	B	Product (A AND B)
0	0	0
0	1	0
1	0	0
1	1	1

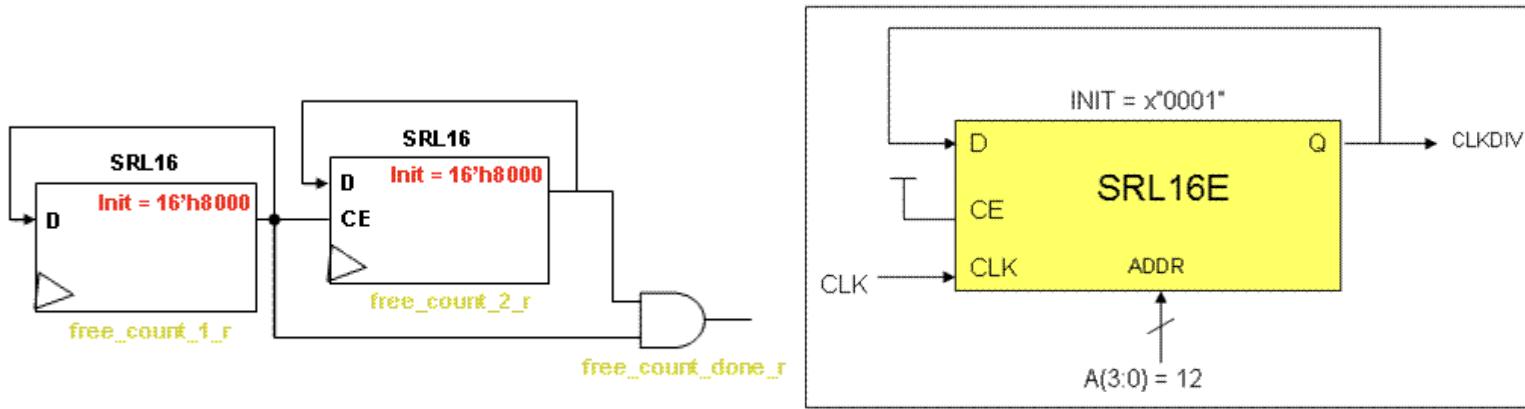


Familia Spartan-3e, CLB – RAM-D

- ▶ Uso de la característica “carry logic” desde una herramienta de modelado:
 - ▶ Instanciar primitivas.
 - ▶ Instanciar componentes.
 - ▶ Core generator (Distributed Memory Generator V 2.1)
 - ▶ Inferir.



LogiCORE
Adder Subtractor 11.0



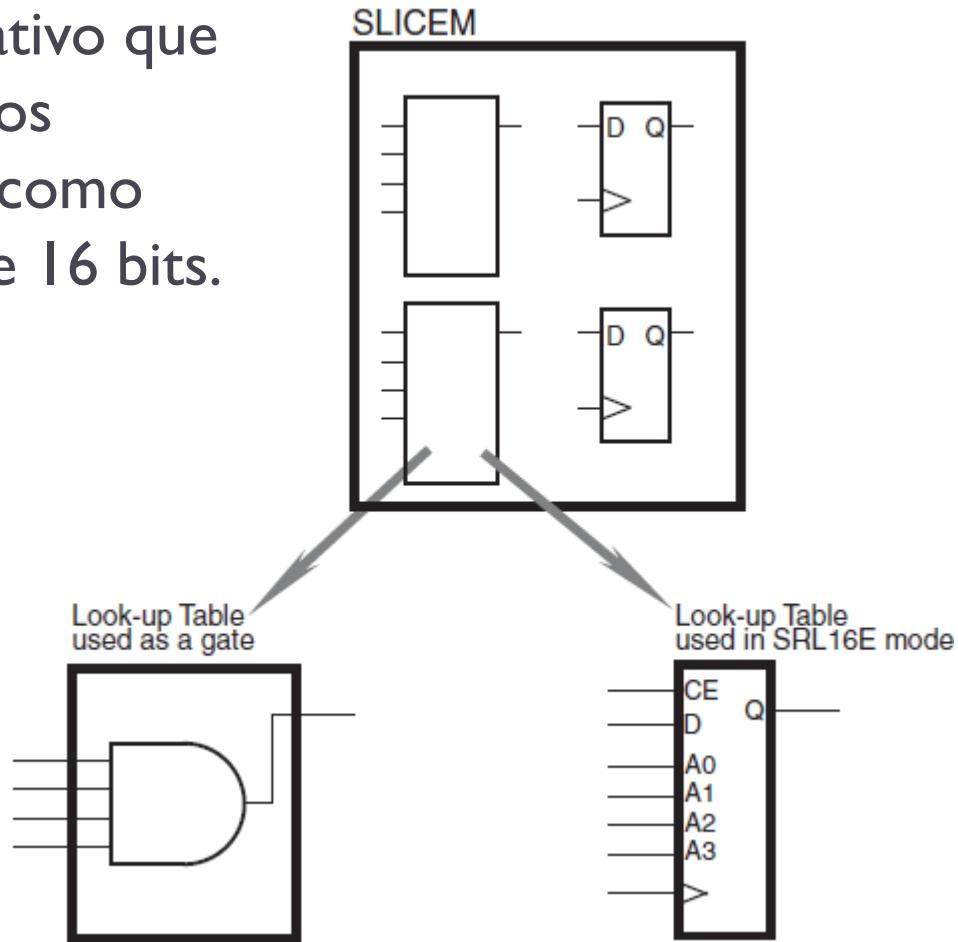
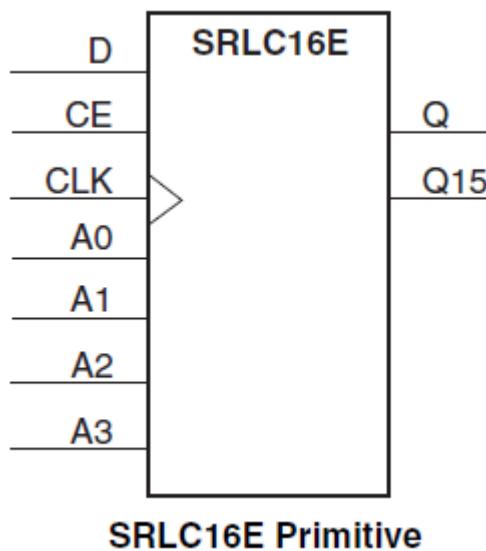
FPGA Spartan-3e, Xilinx

CLB – Registro de corrimiento (SRL16)

Familia Spartan-3e, CLB – SRL16

▶ Definición SRL16

- ▶ El SRL16 (*Shift Register LUT*) es un modo de operación alternativo que permite que las LUT's de los SLICEM seán configuradas como registros de corrimiento de 16 bits.



Familia Spartan-3e, CLB – SRL16

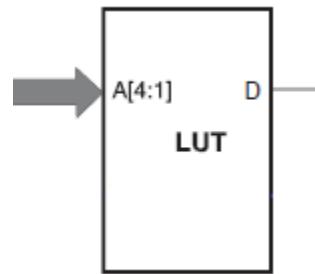
- ▶ Los FPGAs Spartan-3 permiten configurar las LUT's de los SLICEM como un registro de corrimiento sin usar sus biestables.
- ▶ Las operaciones de corrimiento son sincronas y su longitud puede ser dinámicamente seleccionable.
- ▶ Se pueden obtener registros de corrimiento de mayor tamaño conectando varias LUTs en cascada.
- ▶ Así, un CLB puede ser utilizado para generar un registro de corrimiento de 64 bits.



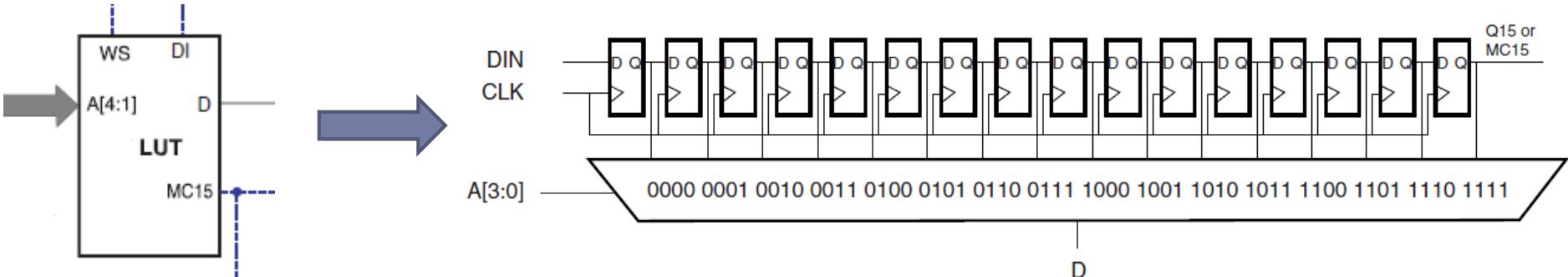
Familia Spartan-3e, CLB – SRL16

► Arquitectura del SRL16.

- Una LUT es una memoria 16×1 , con la cual se puede implementar una función lógica de hasta 4 variables

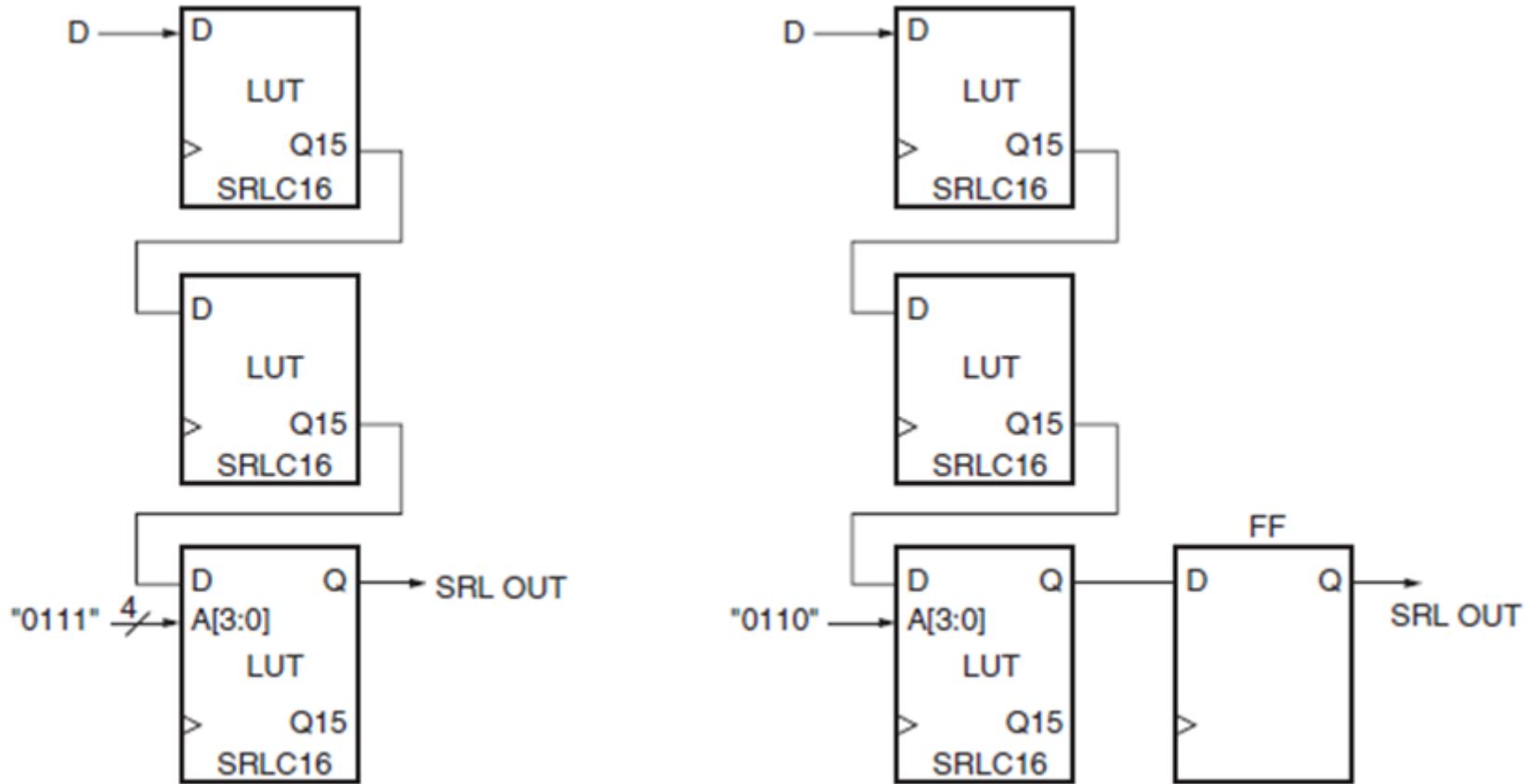


- Si se aumentan señales de control y datos, y sus localidades son conectadas en cascada, el SRL16 es implementado,



Familia Spartan-3e, CLB – SRL16

- ▶ La longitud del Registro de Corrimiento puede ser fija o dinámicamente variable.



Familia Spartan-3e, CLB – SRL16

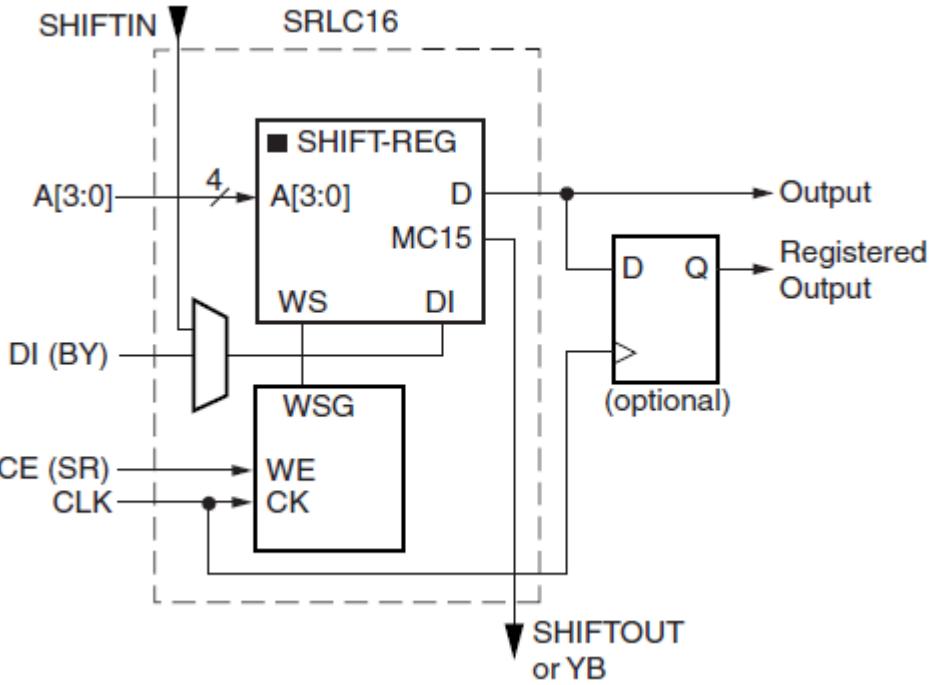
- ▶ Considerando la arquitectura del CLB, se pueden considerar 3 estructuras del SRL16:
 - ▶ Estructura de la Celda Lógica.
 - ▶ Estructura del Slice (SLICEM).
 - ▶ Estructura del CLB.



Familia Spartan-3e, CLB – SRL16

▶ Estructura de la Celda Lógica

- ▶ A[3:0] determina el tamaño del SRL16 (define cuál localidad se conecta a D).
- ▶ RSL16 es síncrono (CLK), CE.
- ▶ SHIFTIN o DI es la entrada y SHIFTOUT o D es la salida del RSL16.
- ▶ Cualquier SRLC16 puede ser inicio (DI).
- ▶ Salida asíncrona o síncrona (biestable opcional).
- ▶ LSB → MSB o MSB → LSB.

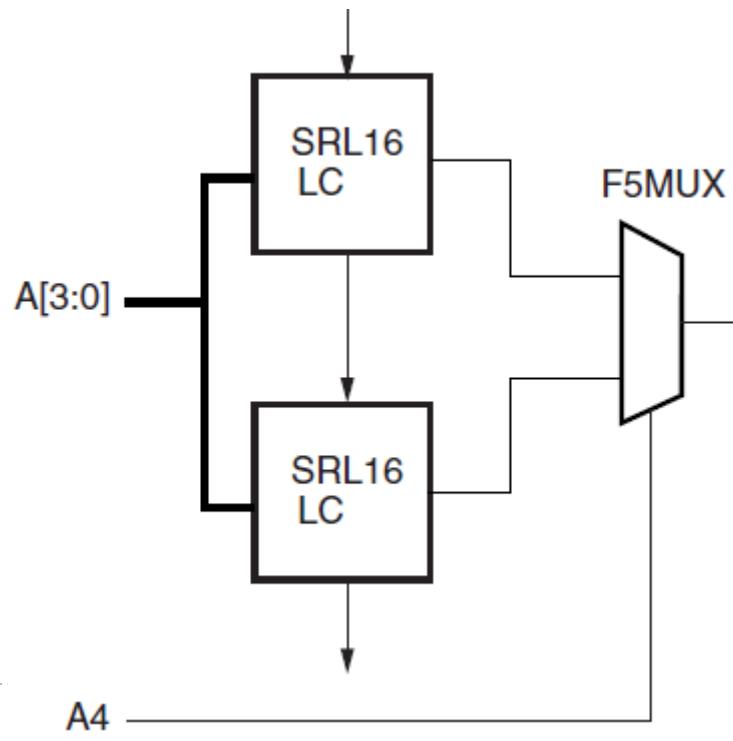
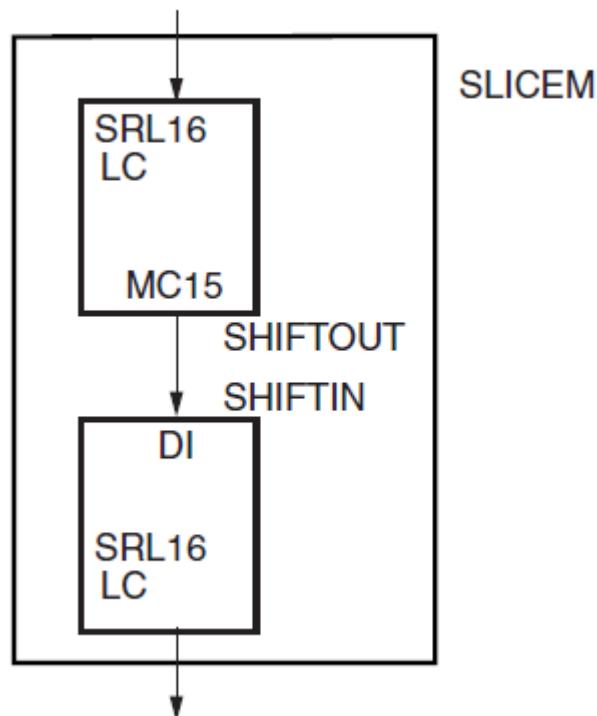


Familia Spartan-3e, CLB – SRL16

▶ Estructura del Slice (SLICEM)

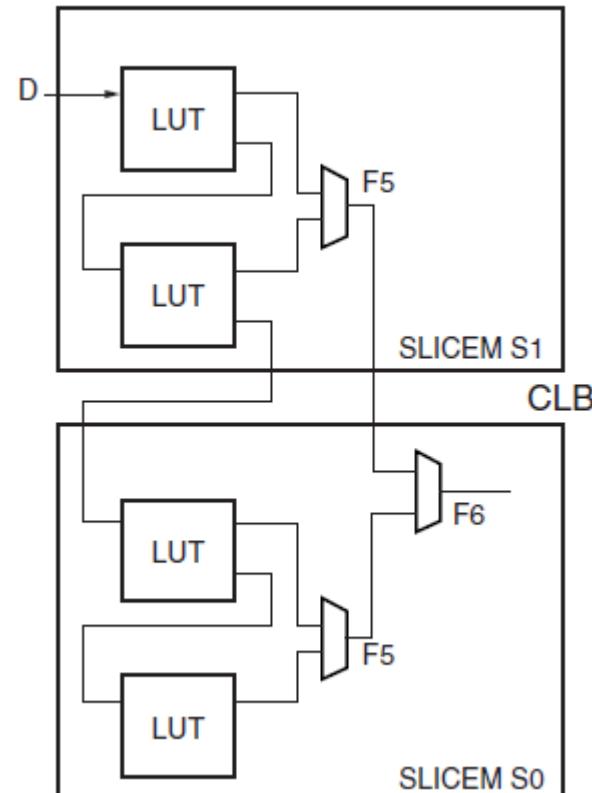
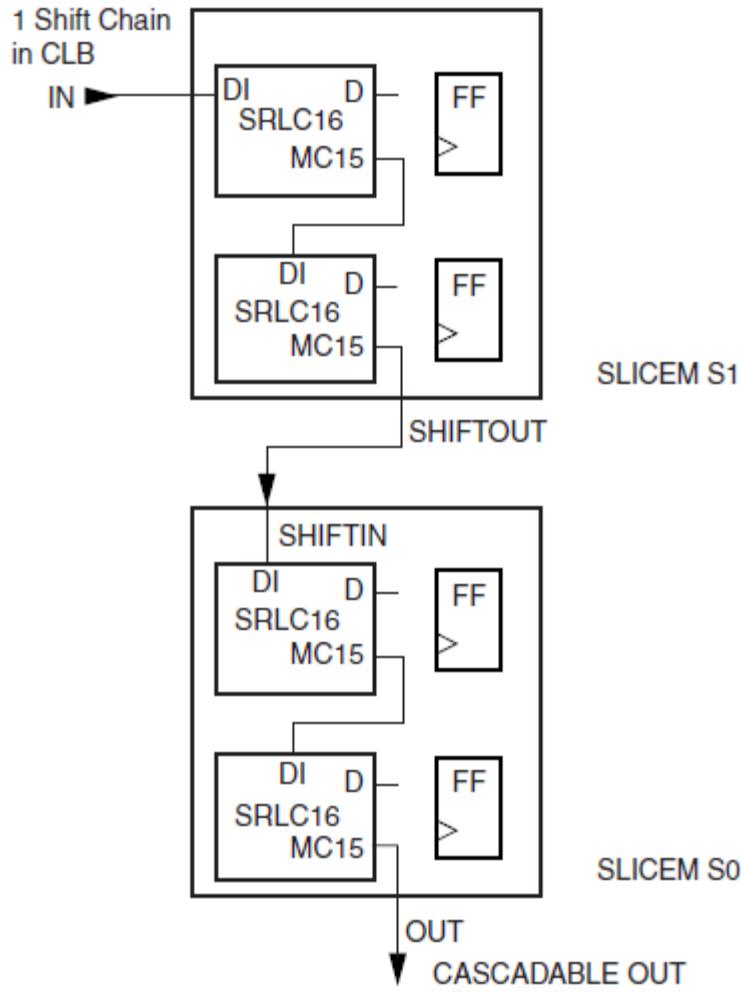
▶ SHIFTOUT y SHIFNTIN permiten conexiones en cascada (SRL – 32 bits por SLICEM).

▶ Cuando se conectan en cascada los SRL16 del Slice, el F5MUX es utilizado para ajustar el tamaño dinámicamente.



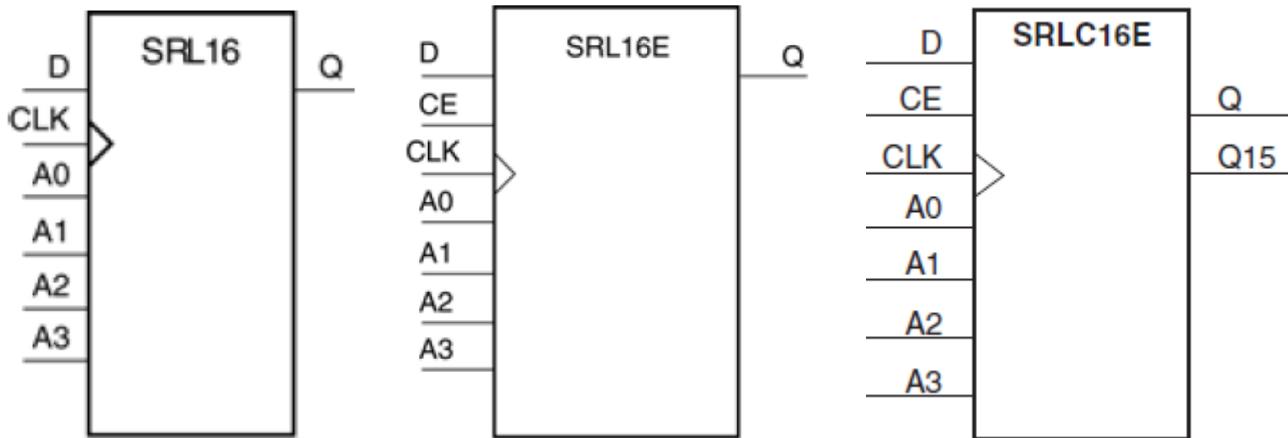
Familia Spartan-3e, CLB – SRL16

► Estructura del CLB



Familia Spartan-3e, CLB – SRL16

▶ Primitivas



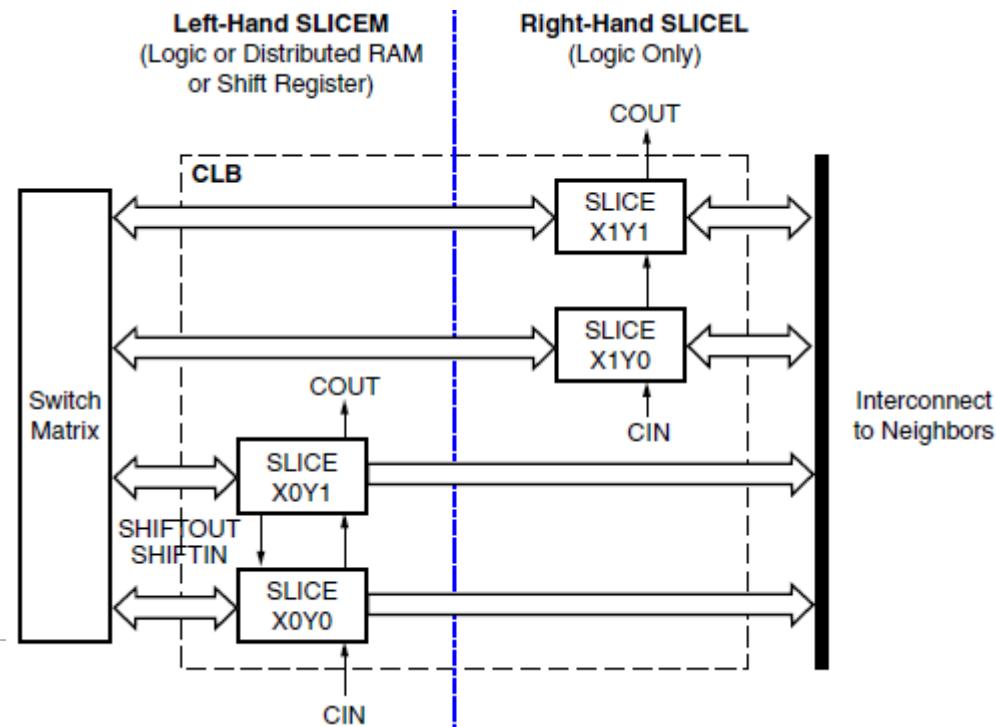
Primitive	Length	Control	Address Inputs	Output
SRL16	16 bits	CLK	A3, A2, A1, A0	Q
SRL16E	16 bits	CLK, CE	A3, A2, A1, A0	Q
SRL16_1	16 bits	CLK	A3, A2, A1, A0	Q
SRL16E_1	16 bits	\overline{CLK} , CE	A3, A2, A1, A0	Q
SRLC16	16 bits	CLK	A3, A2, A1, A0	Q, Q15
SRLC16E	16 bits	CLK, CE	A3, A2, A1, A0	Q, Q15
SRLC16_1	16 bits	CLK	A3, A2, A1, A0	Q, Q15
SRLC16E_1	16 bits	\overline{CLK} , CE	A3, A2, A1, A0	Q, Q15

Familia Spartan-3e, CLB – SRL16

▶ Atributos.

- ▶ **INIT** – Este atributo define el contenido inicial del SRL16. Este atributo es un número hexadecimal de 4 dígitos codificado en tipo `bit_vector`.

▶ Atributo **LOC**.



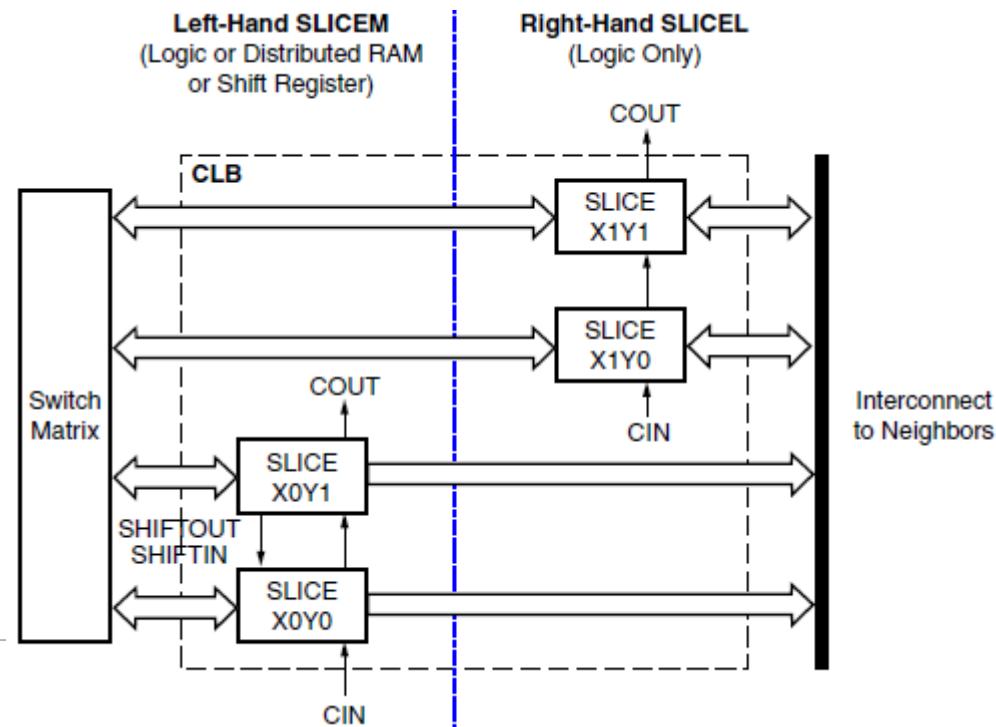
Familia Spartan-3e, CLB – SRL16

- ▶ Acceso a los atributos, mediante HDL
 - ▶ **INIT** – Este atributo define el contenido inicial del SRL16. Este atributo es un número hexadecimal de 4 dígitos codificado en tipo `bit_vector`.

```
generic (
    INIT : bit_vector := X"0000"
);
```

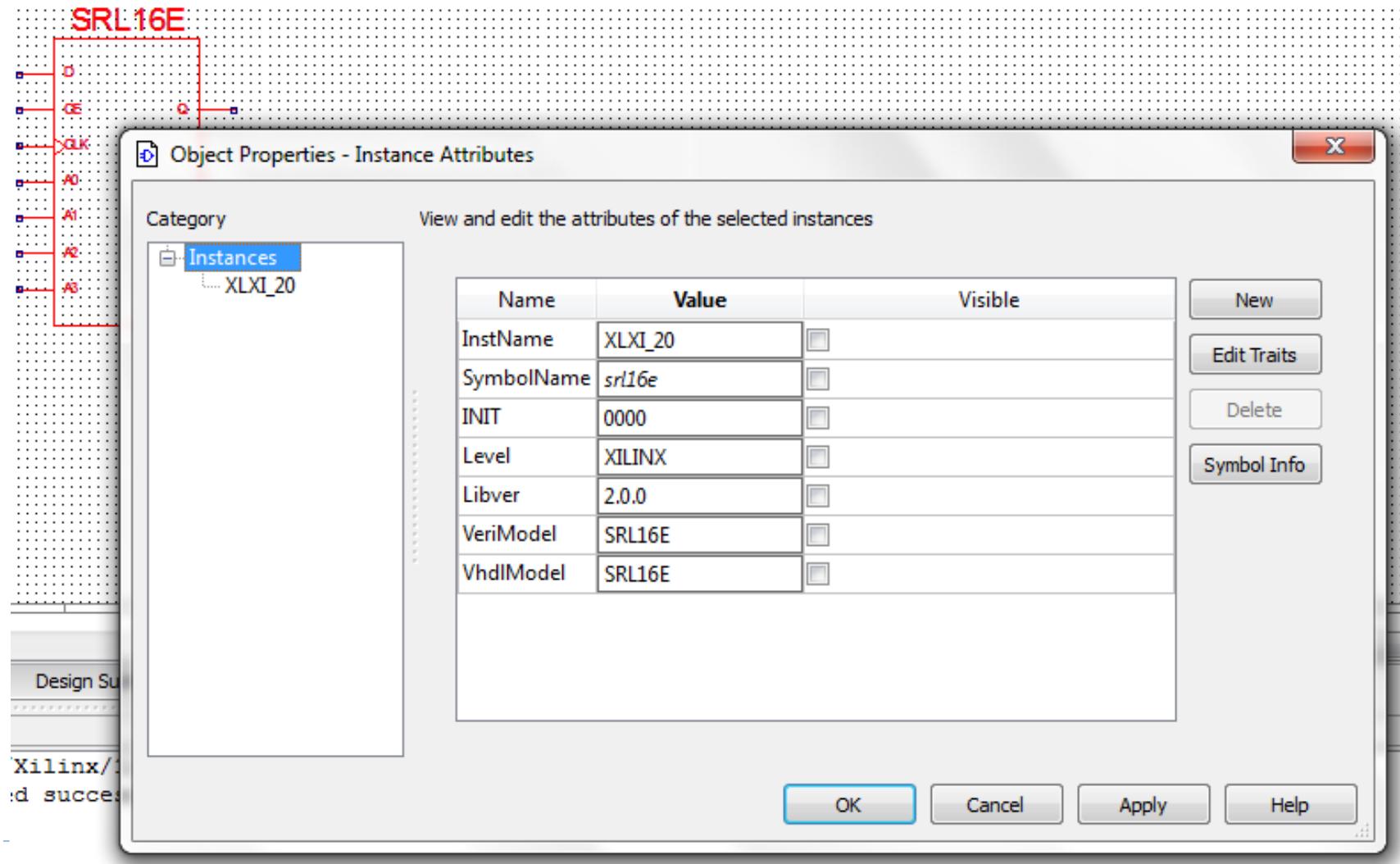
- ▶ Atributo **LOC**.

LOC = SRL16_X#Y#



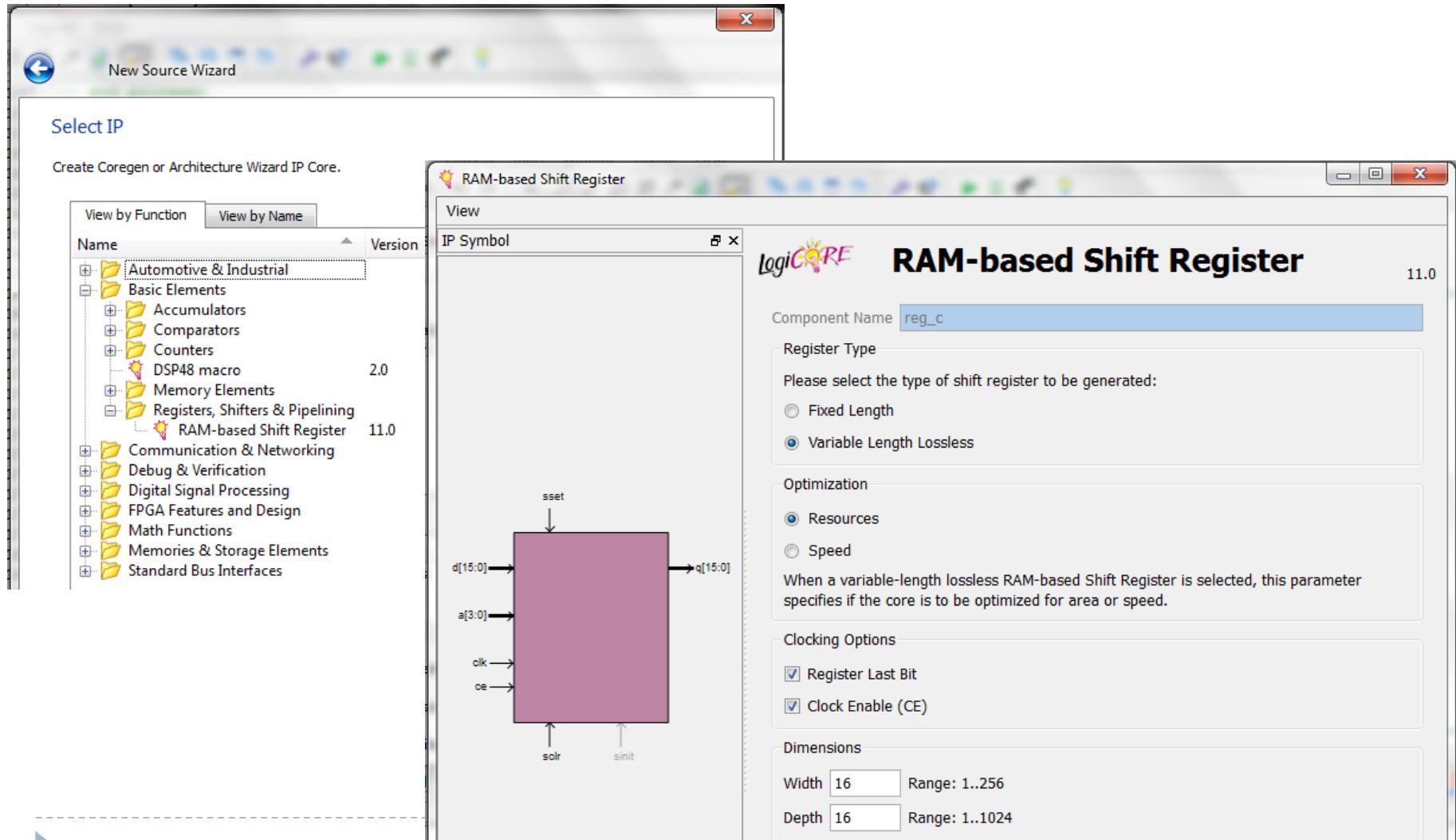
Familia Spartan-3e, CLB – SRL16

▶ Acceso a los atributos, mediante esquemático



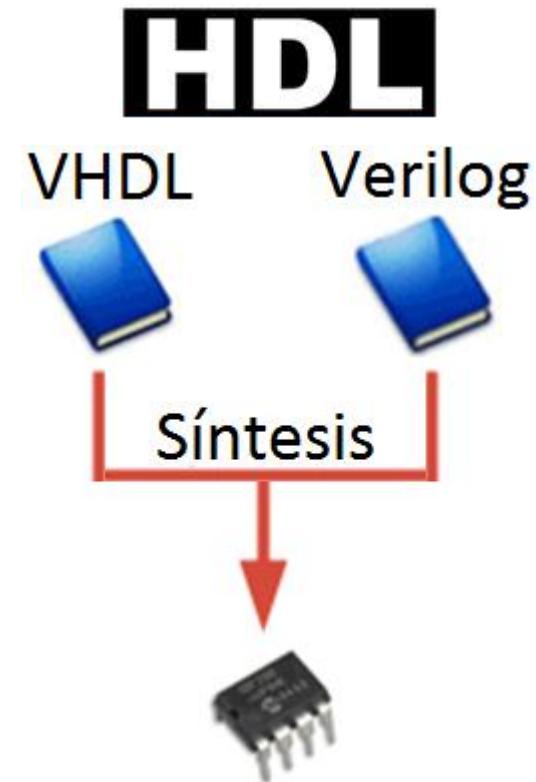
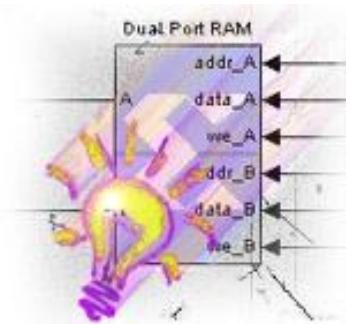
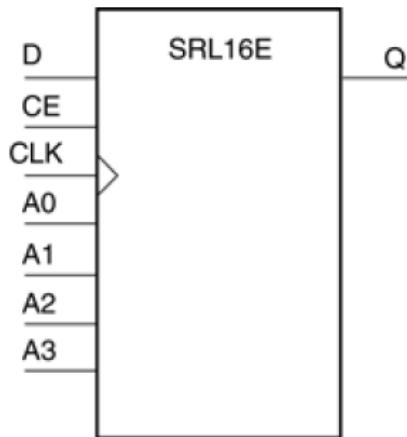
Familia Spartan-3e, CLB – SRL16

▶ Mediante CORE Generator



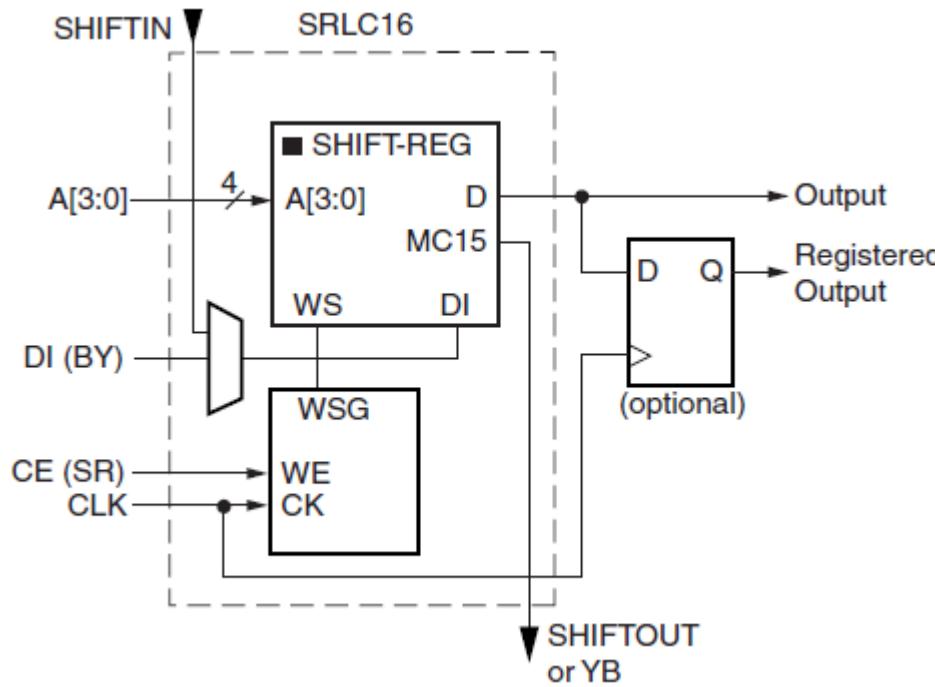
Familia Spartan-3e, CLB – SRL16

- ▶ Uso de SRL16 desde una herramienta de modelado:
 - ▶ Instanciar primitivas.
 - ▶ CORE Generator™ RAMbased Shift Register module.
 - ▶ Inferir.

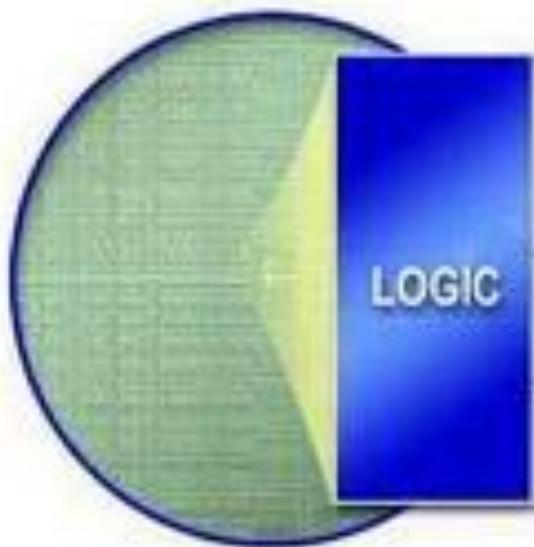


Familia Spartan-3e, CLB – SRL16

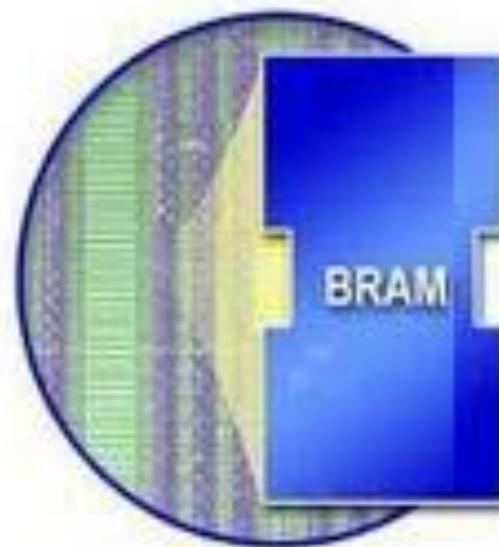
- ▶ Inferir SRL16 desde un HDL.
 - ▶ Restringirse a las características del SRL16.



Distributed RAM



On-chip BRAM



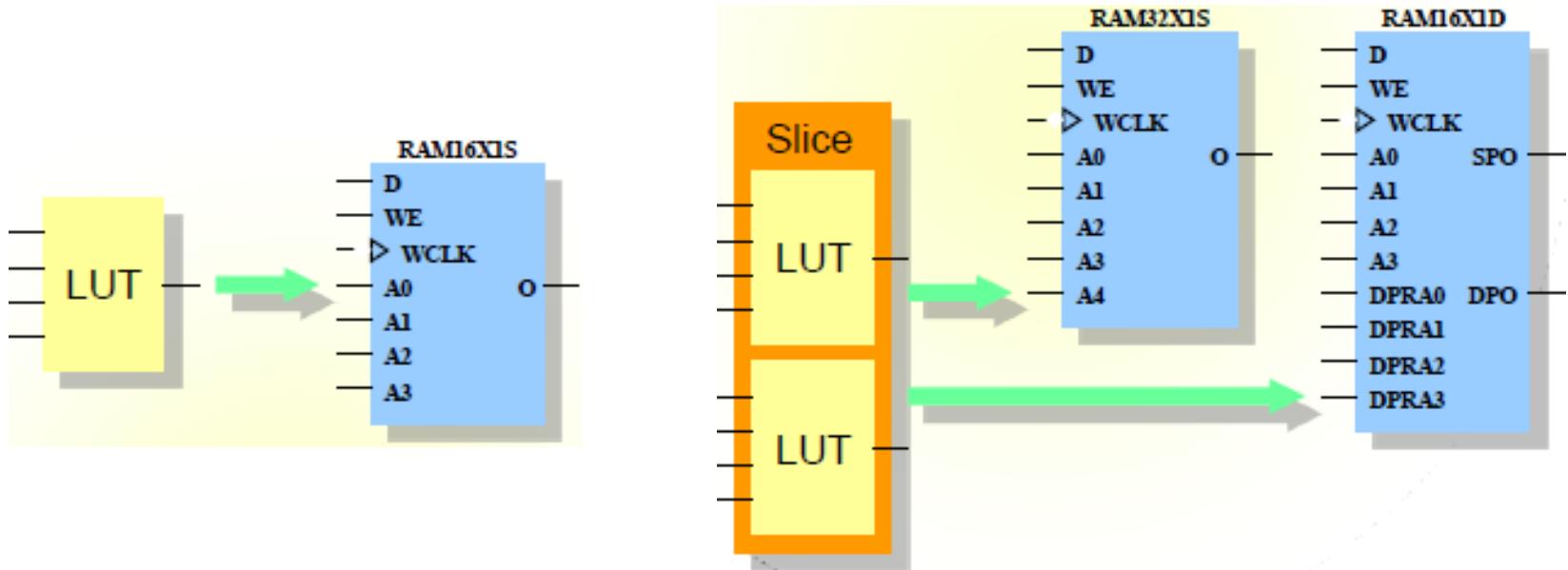
FPGA Spartan-3e, Xilinx

Tipos de Memoria

Familia Spartan-3e

- ▶ Tipos de memoria.
 - ▶ RAM Distribuida.
 - ▶ Bloques RAM (BRAM), RAM Embebida (ERAM).





FPGA Spartan-3e, Xilinx

CLB – RAM Distribuida (RAM-D)

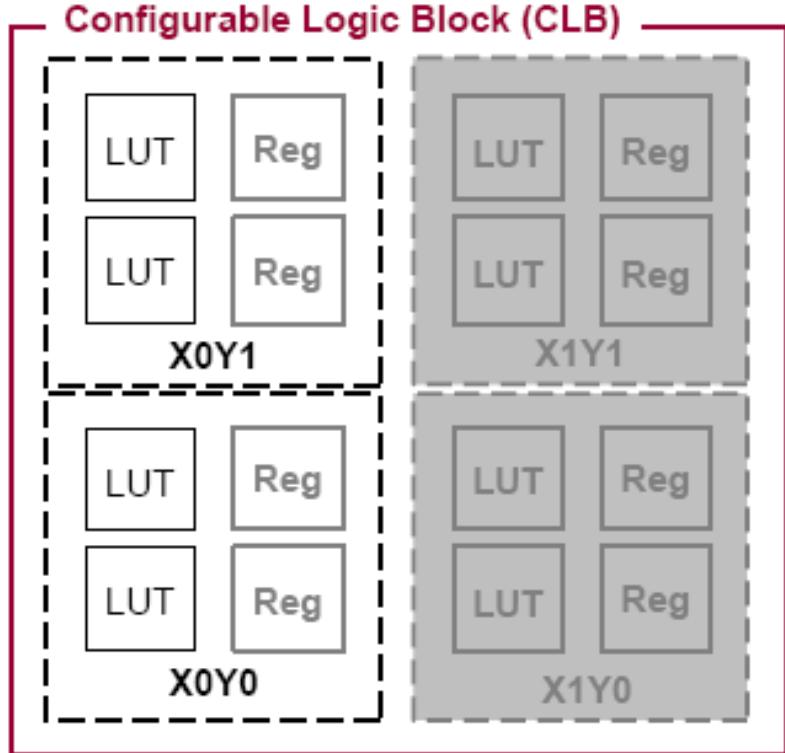
Familia Spartan-3e, CLB – RAM-D

- ▶ Definición de RAM Distribuida.
 - ▶ Cuando una arquitectura basada en LUT se implementa con celdas de SRAM, las celdas, además de LUT's, pueden ser utilizadas como pequeños bloques de memoria RAM, la cual se denomina RAM Distribuida (*Distributed RAM*).
 - ▶ Se pueden agrupar LUT's para conseguir RAM Distribuida de mayor capacidad.



Familia Spartan-3e, CLB – RAM-D

► RAM Distribuida.



SLICEM

Logic/ROM
Distributed RAM
Shift Register

SLICEL

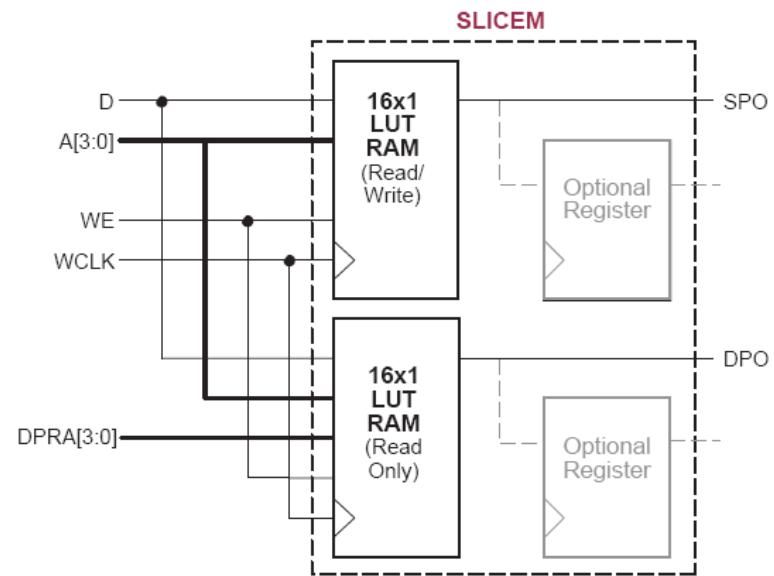
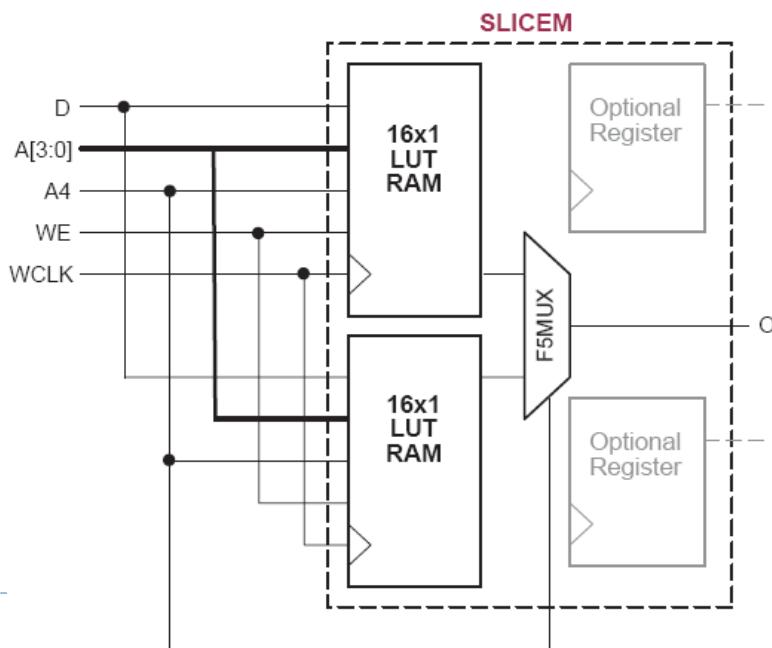
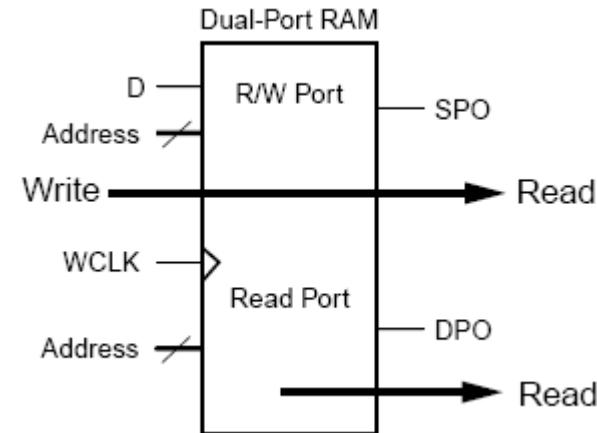
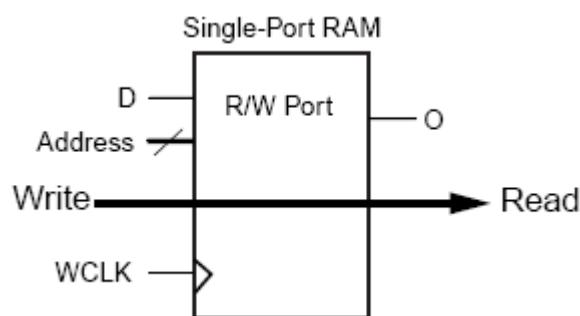
Logic/ROM only

	Spartan-3E FPGA Family				
	XC3S100E	XC3S250E	XC3S500E	XC3S1200E	XC3S1600E
System Gates	100K	250K	500K	1,200K	1,600K
Logic Cells	2,160	5,508	10,476	19,512	33,192
Block RAM Bits	72K	216K	360K	504K	648K
Distributed RAM Bits	15K	38K	73K	136K	231K
DCMs	2	4	4	8	8
Multipliers	4	12	20	28	36
I/O Standards	18	18	18	18	18
Max Single Ended I/O	108	172	232	304	376
Max Differential I/O Pairs	40	68	92	124	156



Familia Spartan-3e, CLB – RAM-D

- ▶ RAM distribuida soporta 2 tipos de memoria:



Familia Spartan-3e, CLB – RAM-D

- ▶ Operaciones de escritura y lectura, características:
 - ▶ Una operación de escritura requiere un sólo pulso de reloj.
 - ▶ La operación de lectura solo consume el tiempo de acceso de la lógica asociada.
 - ▶ Las salidas son asíncronas.
 - ▶ Se puede usar el biestable para tener salidas síncronas.
 - ▶ Los datos y direcciones son retenidas con la señal WCLK
 - ▶ No existen requerimientos para el hold-time.
 - ▶ Para una configuración Dual Port, las señales A[#:0] son utilizadas como bus de direcciones para lectura y escritura, las señales DPRA[#:0] es un bus de direcciones independiente solo para lectura.

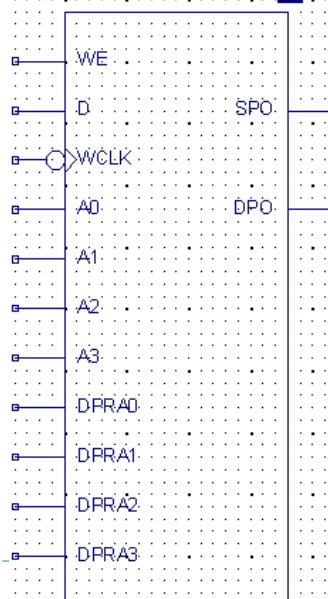


Familia Spartan-3e, CLB – RAM-D

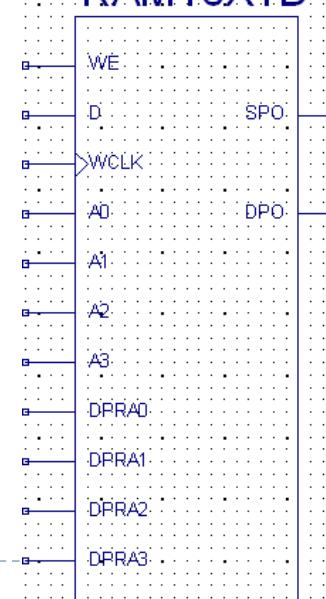
▶ Primitivas para RAM distribuida.

Primitive	RAM Size (Depth x Width)	Type	Address Inputs
RAM16X1S	16 x 1	Single-port	A3, A2, A1, A0
RAM32X1S	32 x 1	Single-port	A4, A3, A2, A1, A0
RAM64X1S	64 x 1	Single-port	A5, A4, A3, A2, A1, A0
RAM16X1D	16 x 1	Dual-port	A3, A2, A1, A0

RAM16X1D_1



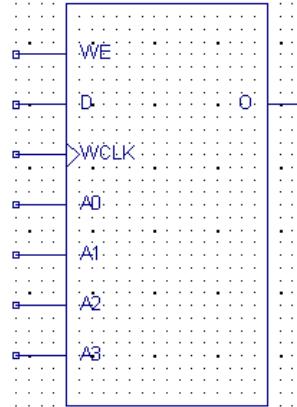
RAM16X1D



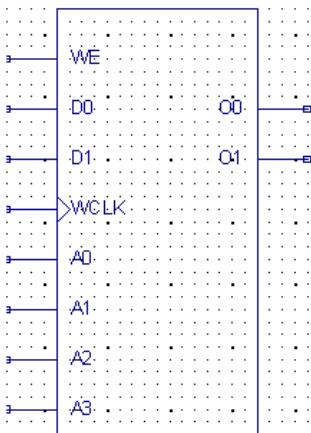
Familia Spartan-3e, CLB – RAM-D

► RAM Distribuida compuesta

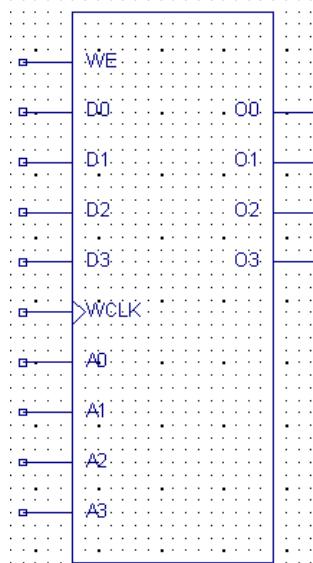
RAM16X1S



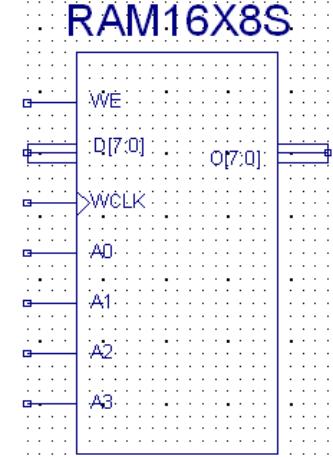
RAM16X2S



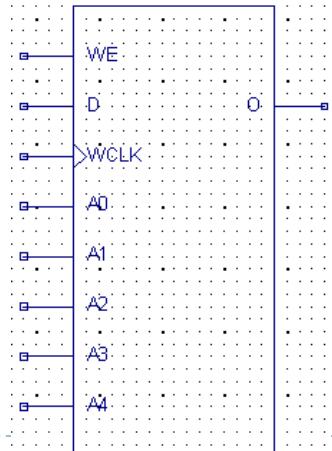
RAM16X4S



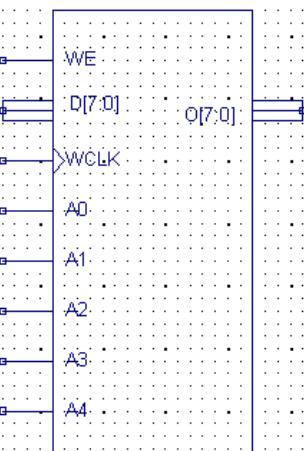
RAM16X8S



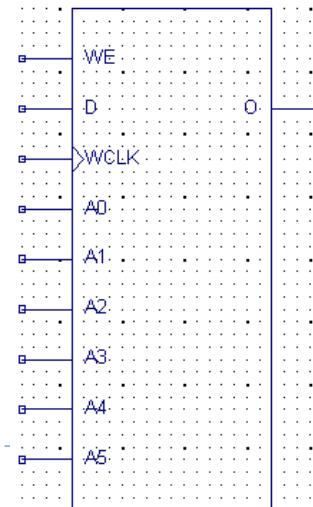
RAM32X1S



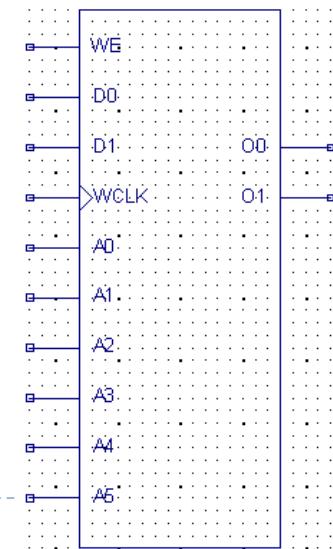
RAM32X8S



RAM64X1S



RAM64X2S



Familia Spartan-3e, CLB – RAM-D

- ▶ Atributos.
 - ▶ **INIT.** Inicializa el contenido de la memoria después de la configuración.

Primitive	Template	INIT Attribute Length
RAM16X1S	RAM_16S	4 digits
RAM32X1S	RAM_32S	8 digits
RAM64X1S	RAM_64S	16 digits
RAM16X1D	RAM_16D	4 digits

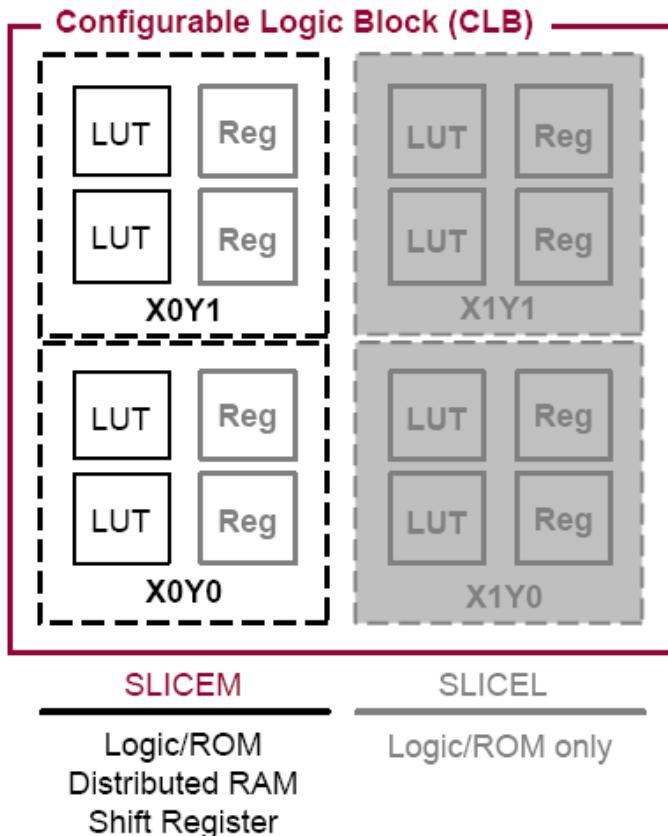
- ▶ **INIT00-INITxx**



Familia Spartan-3e, CLB – RAM-D

▶ Atributos.

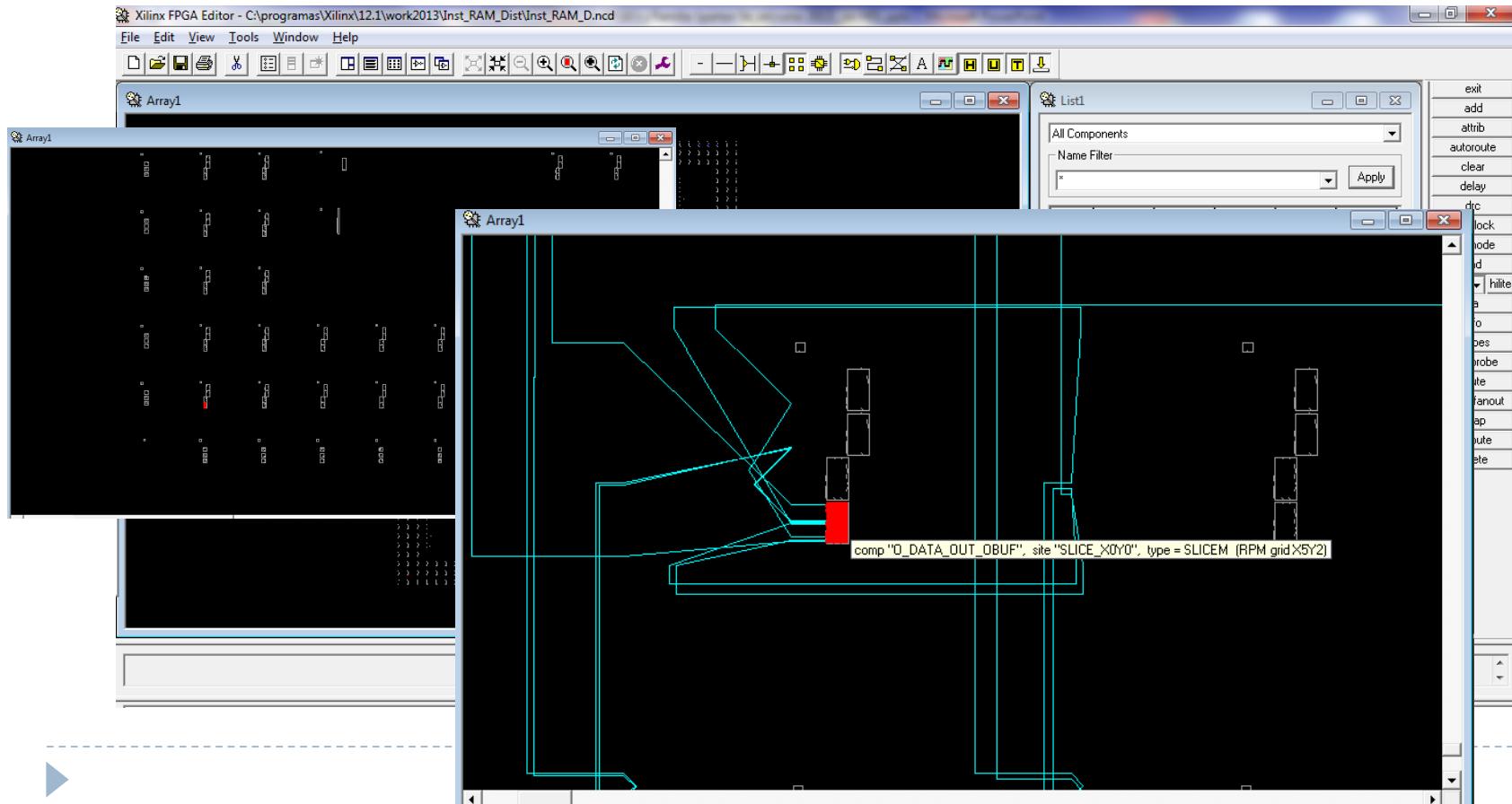
- ▶ **LOC**. Permite seleccionar la LUT o LUT's del CLB a utilizar en la RAM distribuida.



Familia Spartan-3e, CLB – RAM-D

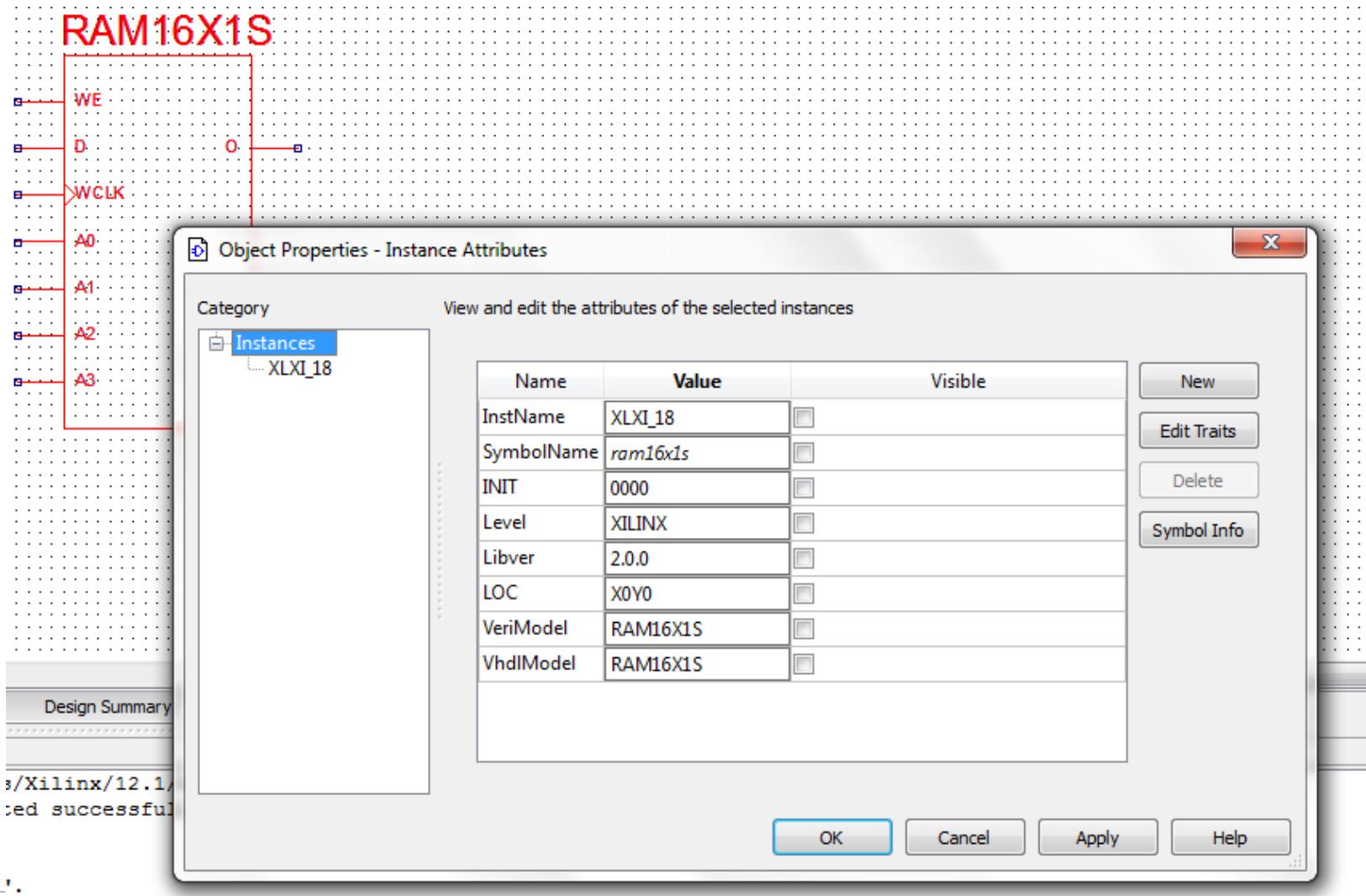
Para definir o elegir algún Slice en particular

```
architecture XC3S_RAM16XN_S_arch of XC3S_RAM16XN_S is
attribute LOC : string;
attribute LOC of U_RAM16X1S: label is "SLICE_X0Y0";
```



Familia Spartan-3e, CLB – RAM-D

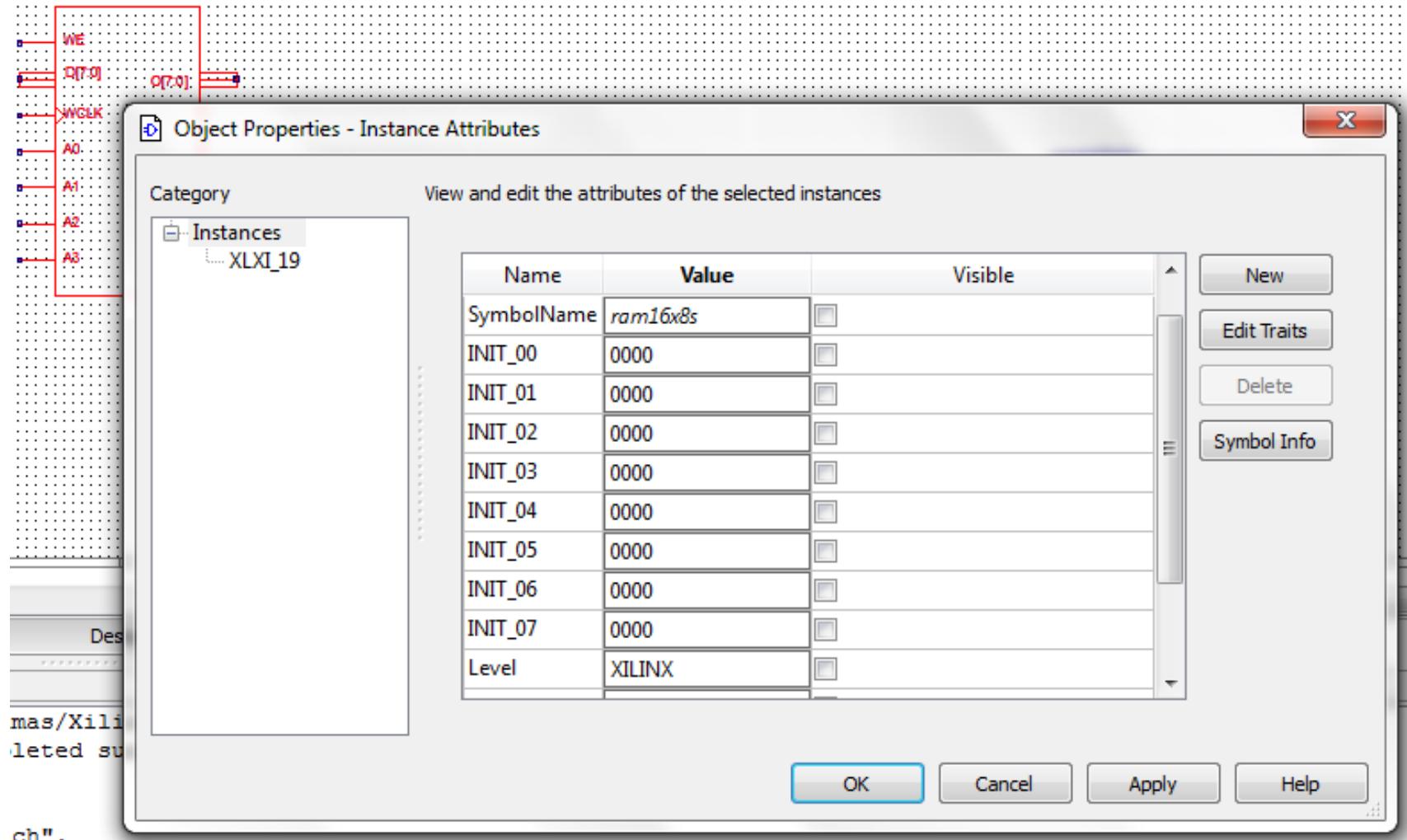
► Acceso a los atributos



Familia Spartan-3e, CLB – RAM-D

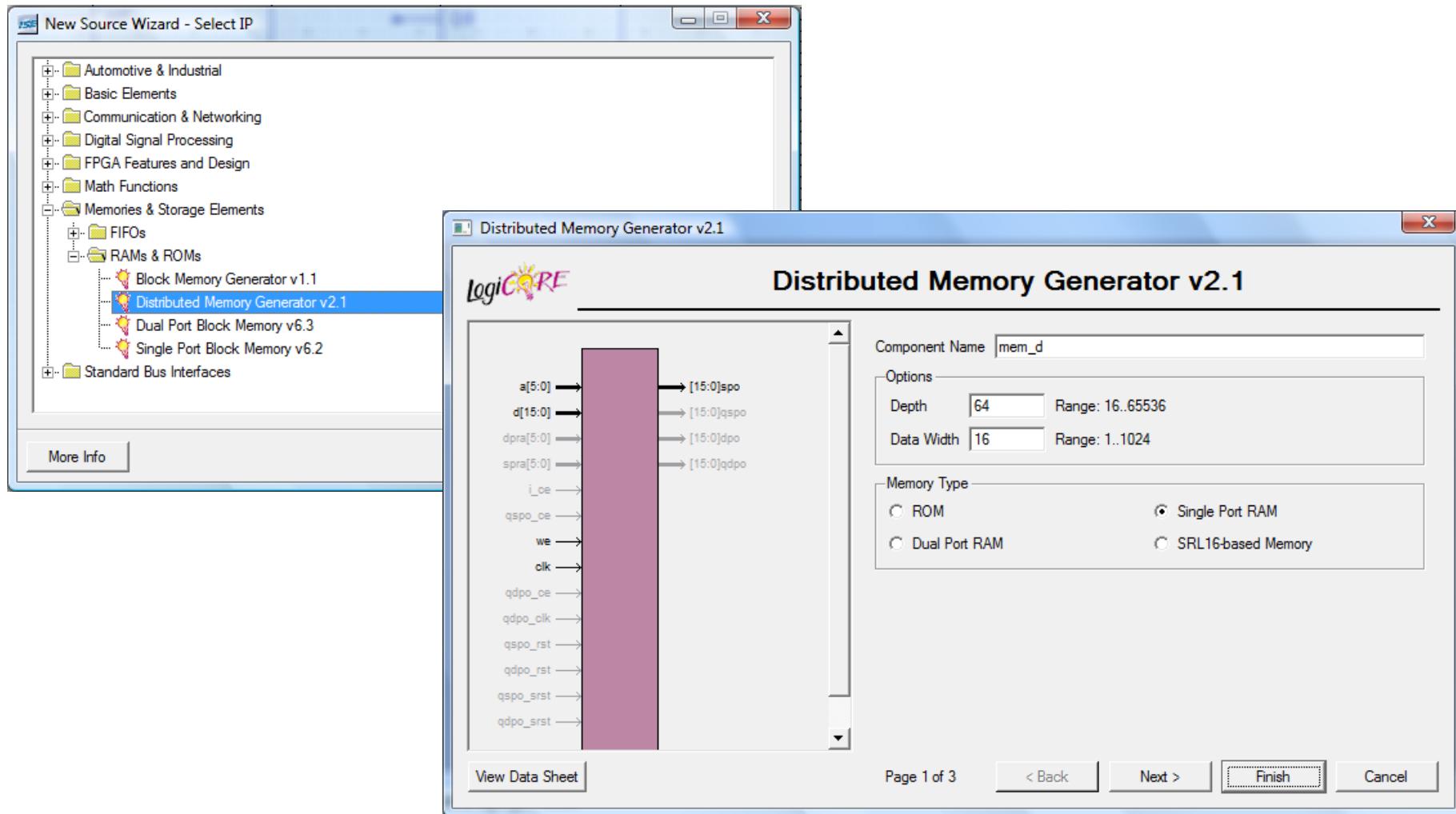
► Acceso a los atributos

RAM16X8S



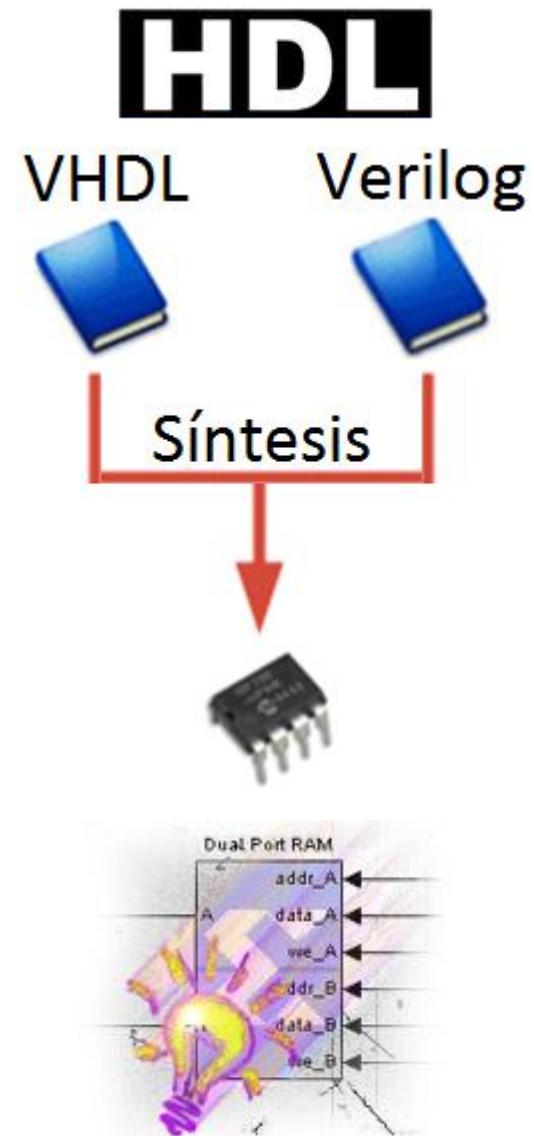
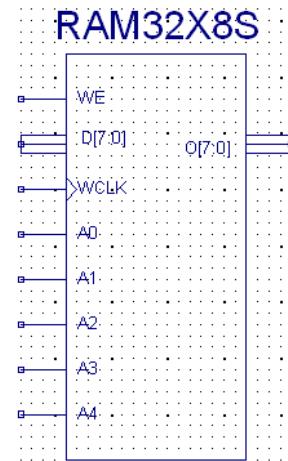
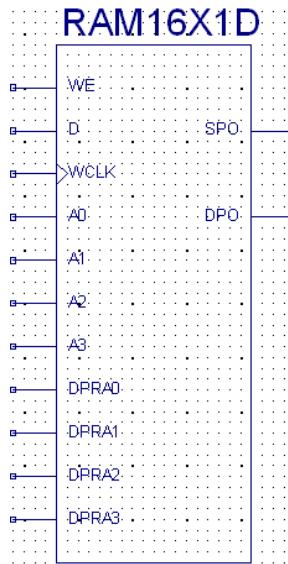
Familia Spartan-3e, CLB – RAM-D

▶ RAM Distribuida con CORE Generator.



Familia Spartan-3e, CLB – RAM-D

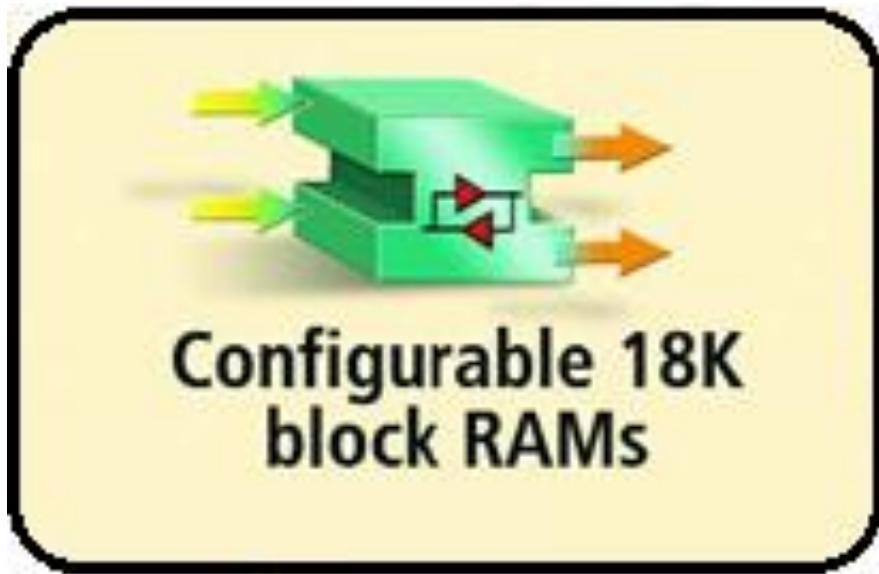
- ▶ Uso de RAM-D desde un HDL:
 - ▶ Instanciar primitivas.
 - ▶ Instanciar componentes.
 - ▶ Core generator (Distributed Memory Generator V 2.1)
 - ▶ Inferir.



Familia Spartan-3e, CLB – RAM-D

- ▶ Inferir RAM distribuida desde un HDL.
 - ▶ Restringirse a las características de la RAM distribuida.





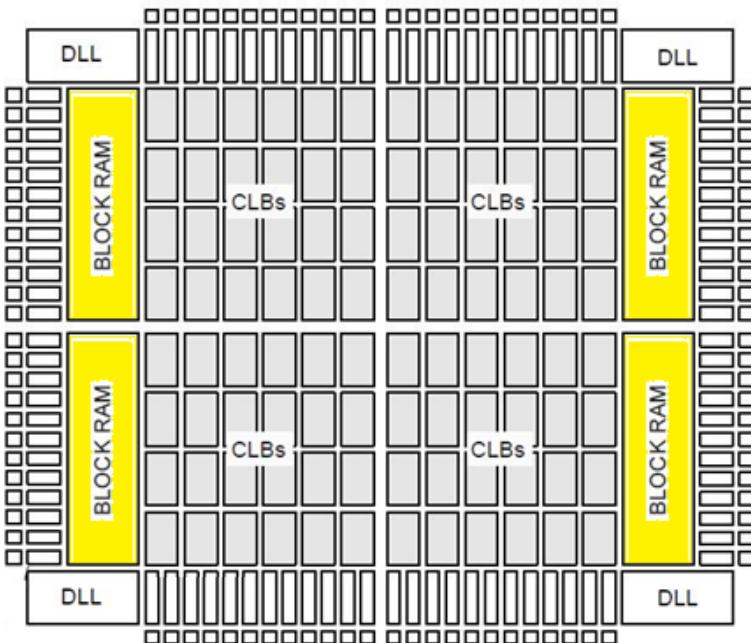
FPGA Spartan-3e, Xilinx

Bloque RAM (BRAM), Embedded RAM (ERAM)

Familia Spartan-3e, BRAM

▶ Definición de BRAM.

- ▶ Se trata de elementos de almacenamiento (RAM) dedicados (de arquitectura fija) que se encuentran empotrados en el FPGA.
- ▶ Estos elementos son incluidos en un FPGA debido a su uso en un gran número de aplicaciones y al alto consumo de recursos.
- ▶ La cantidad de memoria RAM empotrada varía entre dispositivos y entre familias, y va desde kilo bits hasta Mega bits.

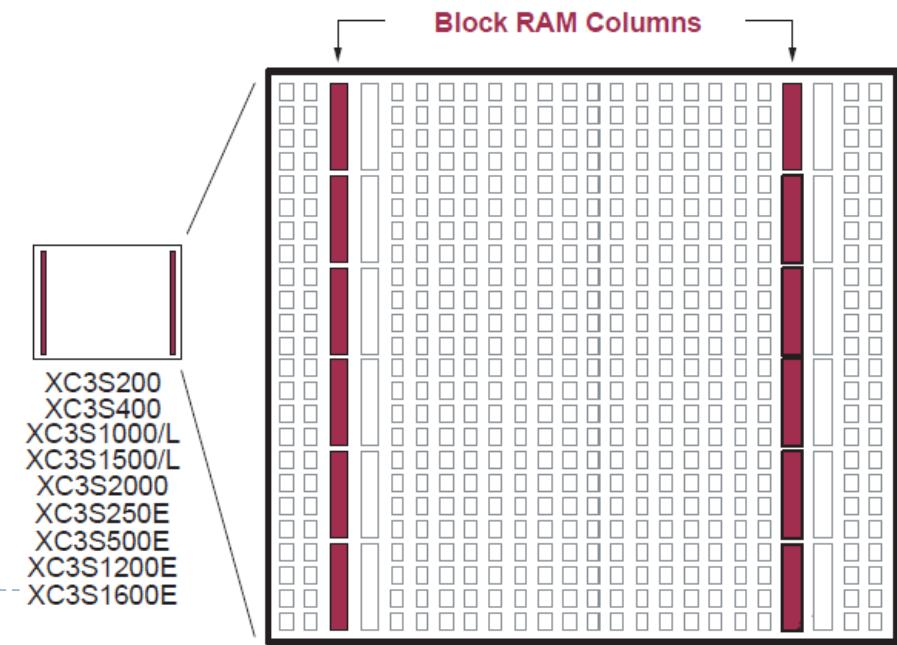


	Spartan-3E FPGA Family				
	XC3S100E	XC3S250E	XC3S500E	XC3S1200E	XC3S1600E
System Gates	100K	250K	500K	1,200K	1,600K
Logic Cells	2,160	5,508	10,476	19,512	33,192
Block RAM Bits	72K	216K	360K	504K	648K
Distributed RAM Bits	15K	38K	73K	136K	231K
DCMs	2	4	4	8	8
Multipliers	4	12	20	28	36
I/O Standards	18	18	18	18	18
Max Single Ended I/O	108	172	232	304	376
Max Differential I/O Pairs	40	68	92	124	156

Familia Spartan-3e, BRAM

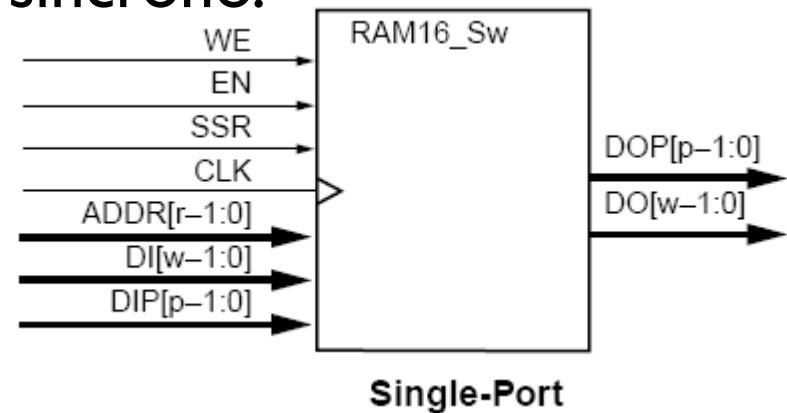
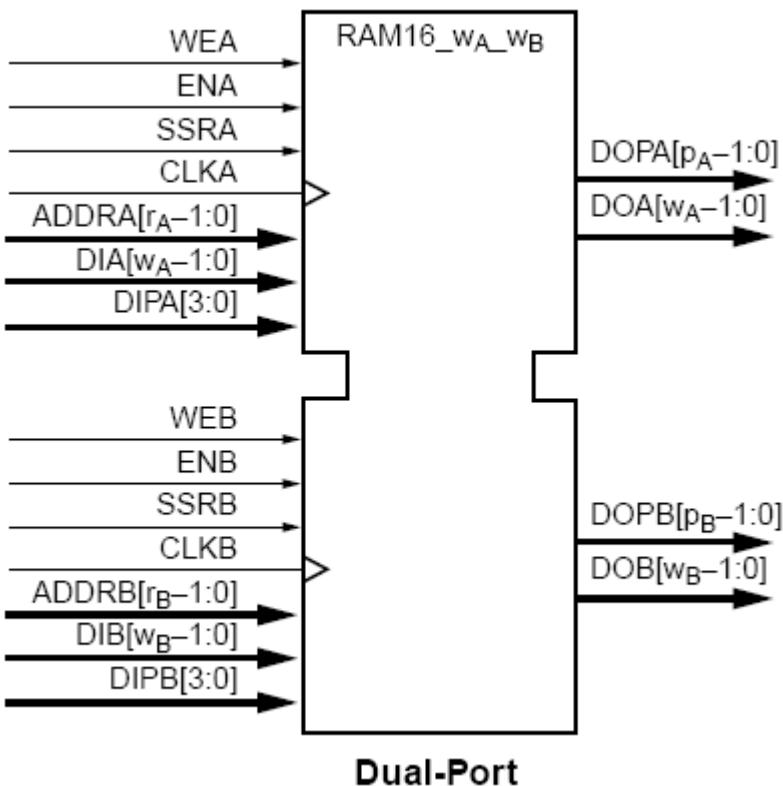
- ▶ La familia Spartan-3e incorpora bloques de RAM dedicada, organizados en columnas.
- ▶ Cada bloque contiene 18K bits de memoria SRAM de alta velocidad.
 - ▶ 16K bits destinados para almacenamiento de datos,
 - ▶ y, en algunas configuraciones existen 2K bits adicionales para paridad o bits adicionales para datos.

Device	Total Number of RAM Blocks	Total Addressable Locations (bits)	Number of Columns
XC3S100E	4	73,728	1
XC3S250E	12	221,184	2
XC3S500E	20	368,640	2
XC3S1200E	28	516,096	2
XC3S1600E	36	663,552	2



Familia Spartan-3e, BRAM

- ▶ Los bloques RAM tiene una estructura “Dual Port”.
- ▶ Una estructura “Single Port” puede ser simulada.
- ▶ Cada puerto del bloque RAM es síncrono.



Signal Description	Single Port	Dual Port		Direction
		Port A	Port B	
Data Input Bus	DI	DIA	DIB	Input
Parity Data Input Bus	DIP	DIPA	DIPB	Input
Data Output Bus	DO	DOA	DOB	Output
Parity Data Output	DOP	DOPA	DOPB	Output
Address Bus	ADDR	ADDRA	ADDRB	Input
Write Enable	WE	WEA	WEB	Input
Clock Enable	EN	ENA	ENB	Input
Synchronous Set/Reset	SSR	SSRA	SSRB	Input
Clock	CLK	CLKA	CLKB	Input

Familia Spartan-3e, BRAM

▶ Tabla de verdad

Inputs								Outputs			
GSR	ENA	SSRA	WEA	CLKA	ADDR_A	DIA	DIPA	DOA	DOPA	RAM Contents	
										Data RAM	Parity RAM
1	X	X	X	X	X	X	X	INIT_A	INIT_A	No Change	No Change
0	0	X	X	X	X	X	X	No Change	No Change	No Change	No Change
0	1	1	0	↑	X	X	X	SRVAL_A	SRVAL_A	No Change	No Change
0	1	1	1	↑	addr	data	pdata	SRVAL_A	SRVAL_A	RAM(addr) =>data	RAM(addr) =>pdata
0	1	0	0	↑	addr	X	X	RAM(addr)	RAM(addr)	No Change	No Change
0	1	0	1	↑	addr	data	pdata	No Change ¹ , RAM(addr) ² , data ³	No Change ¹ , RAM(addr) ² , pdata ³	RAM(addr) =>data	RAM(addr) =>pdata

¹WRITE_MODE_A=NO_CHANGE.

²WRITE_MODE_A=READ_FIRST.

³WRITE_MODE_A=WRITE_FIRST.

Familia Spartan-3e, BRAM

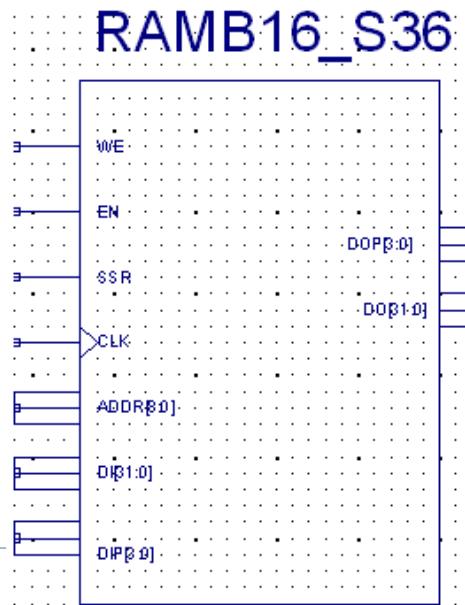
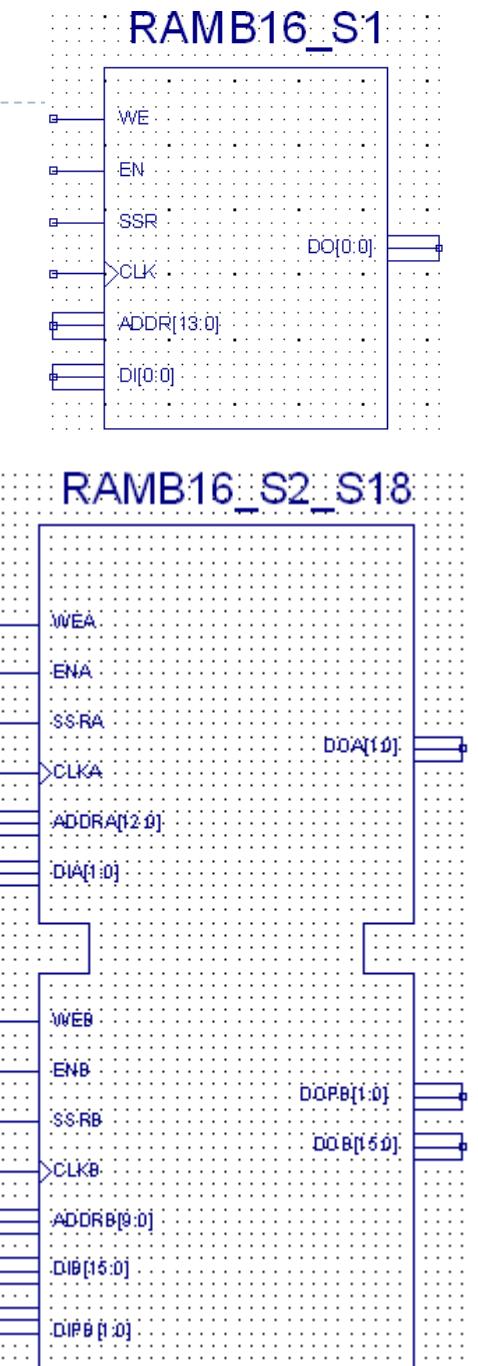
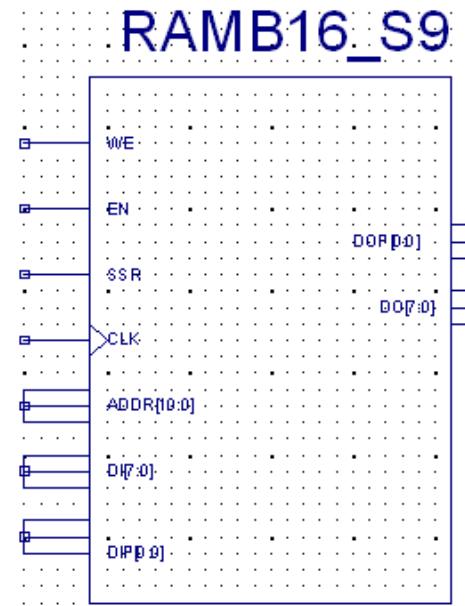
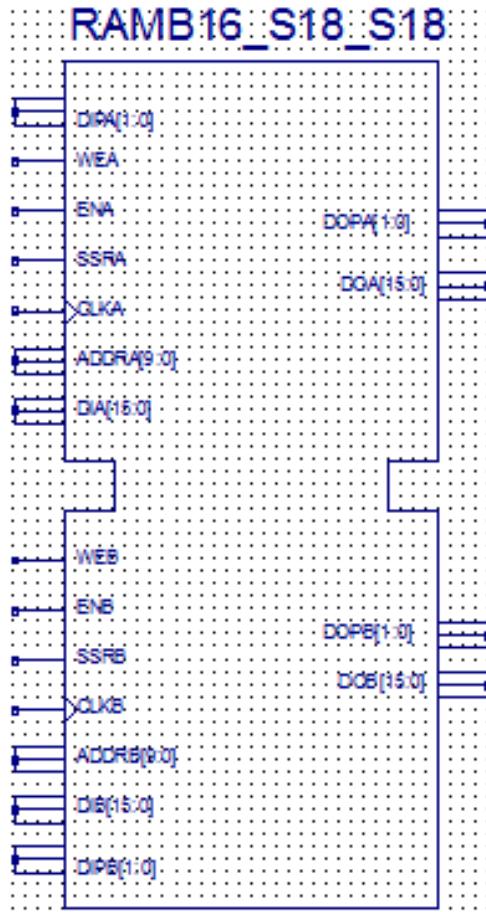
- ▶ Cada bloque de memoria soporta múltiples configuraciones:

Total RAM bits, including parity	18,432 (16K data + 2K parity)
Memory Organizations	<ul style="list-style-type: none">16Kx18Kx24Kx42Kx8 (no parity)2Kx9 (x8 + parity)1Kx16 (no parity)1Kx18 (x16 + 2 parity)512x32 (no parity)512x36 (x32 + 4 parity)256x72 (single-port only)



Familia Spartan-3e, BRAM

▶ Elementos Pre-optimizados



Familia Spartan-3e, BRAM

- ▶ Atributos.
 - ▶ **INIT.** Valor inicial de D0 (biestables), ceros por default.
 - ▶ **INIT_00 – INIT_3F.** Define contenido inicial de la memoria de datos, ceros por default.

Attribute	From	To
INIT_00	255	0
INIT_01	511	256
INIT_02	767	512
...
INIT_3F	16383	16128

- ▶ **INITP_00 – INITP_07.** Define contenido inicial de la memoria de paridad, ceros por default.



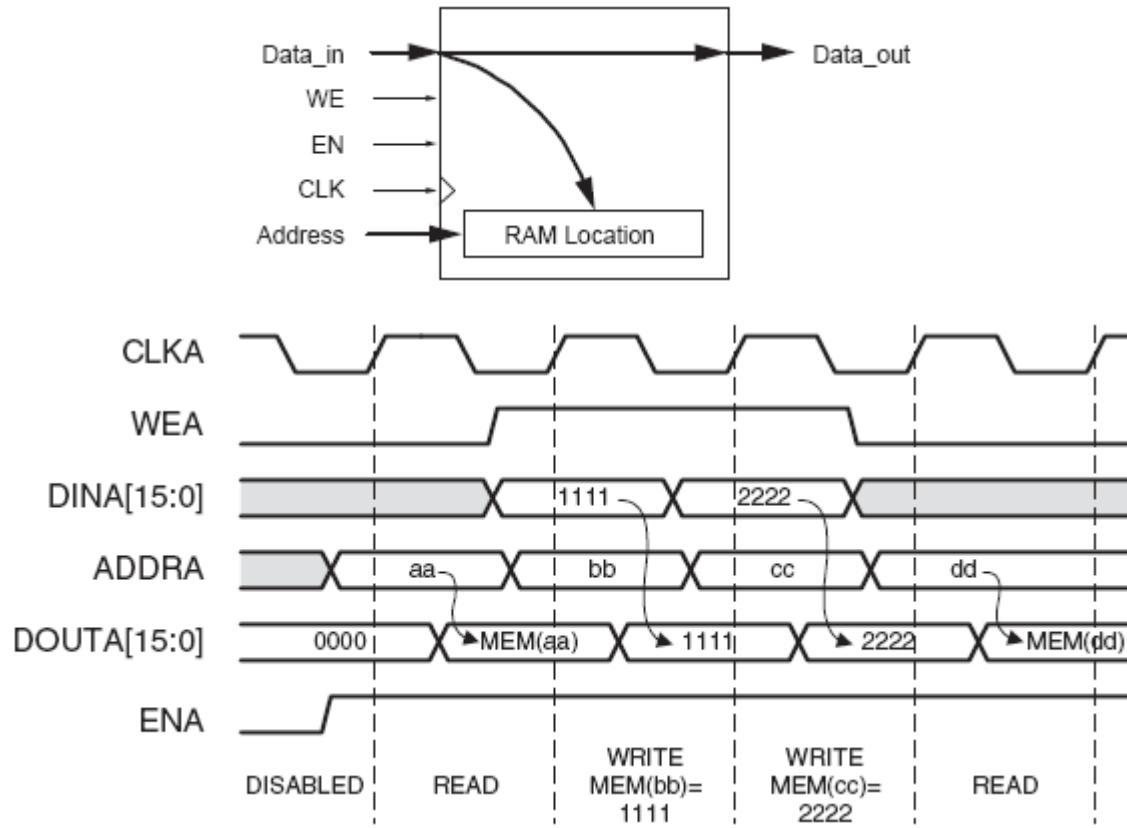
Familia Spartan-3e, BRAM

- ▶ Atributos.
 - ▶ **SRVAL (SRVAL_A , SRVAL_B)**. Define el valor de D0 (D0A, D0B) (biestables) cuando el pin SSR (SSRA, SSRB) es activo.
 - ▶ **WRITE_MODE**. Comportamiento del registro de salida durante un proceso de escritura.
 - ▶ Existen 3 modos de operación:
 - Leer después de escribir**, "WRITE_FIRST"
 - Leer antes de escribir**, "READ_FIRST"
 - No leer cuando se escribe**, "NO_CHANGE"



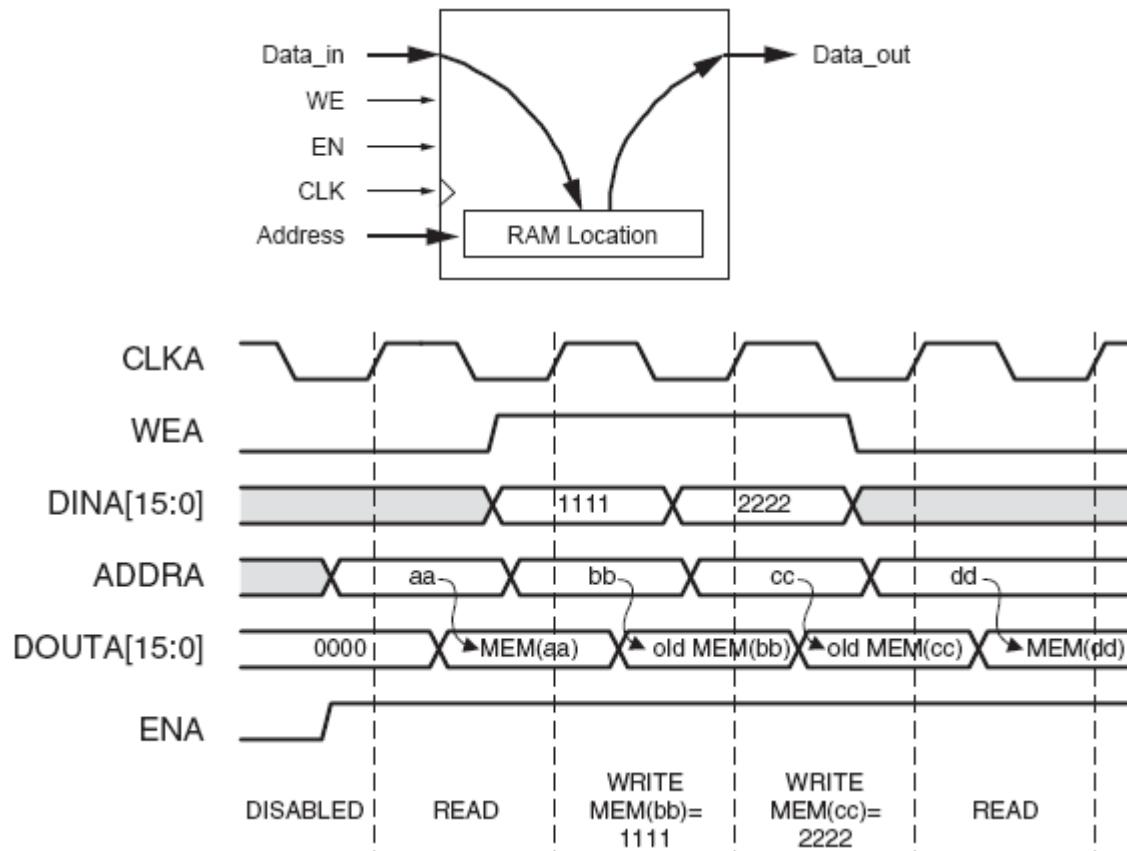
Familia Spartan-3e, BRAM

- ▶ **WRITE_MODE = WRITE_FIRST.**



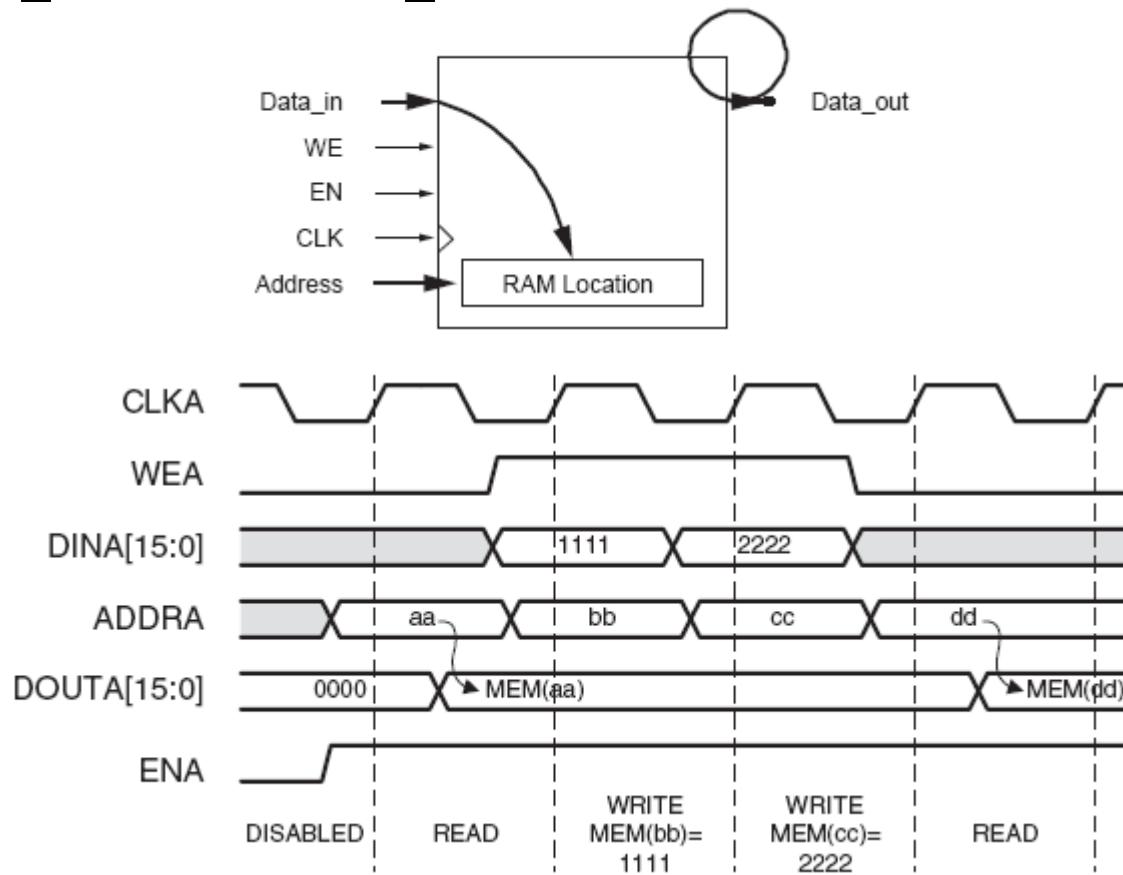
Familia Spartan-3e, BRAM

- ▶ **WRITE_MODE = READ_FIRST.**



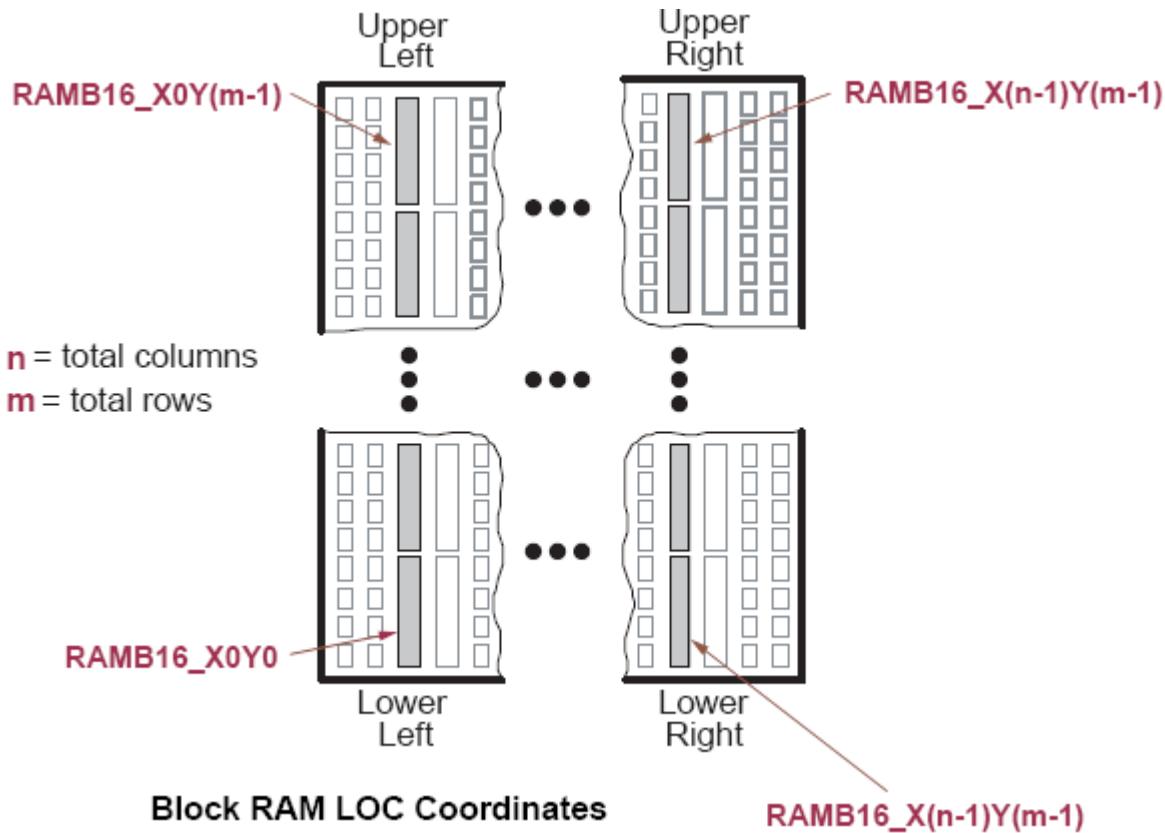
Familia Spartan-3e, BRAM

- ▶ **WRITE_MODE = NO_CHANGE.**



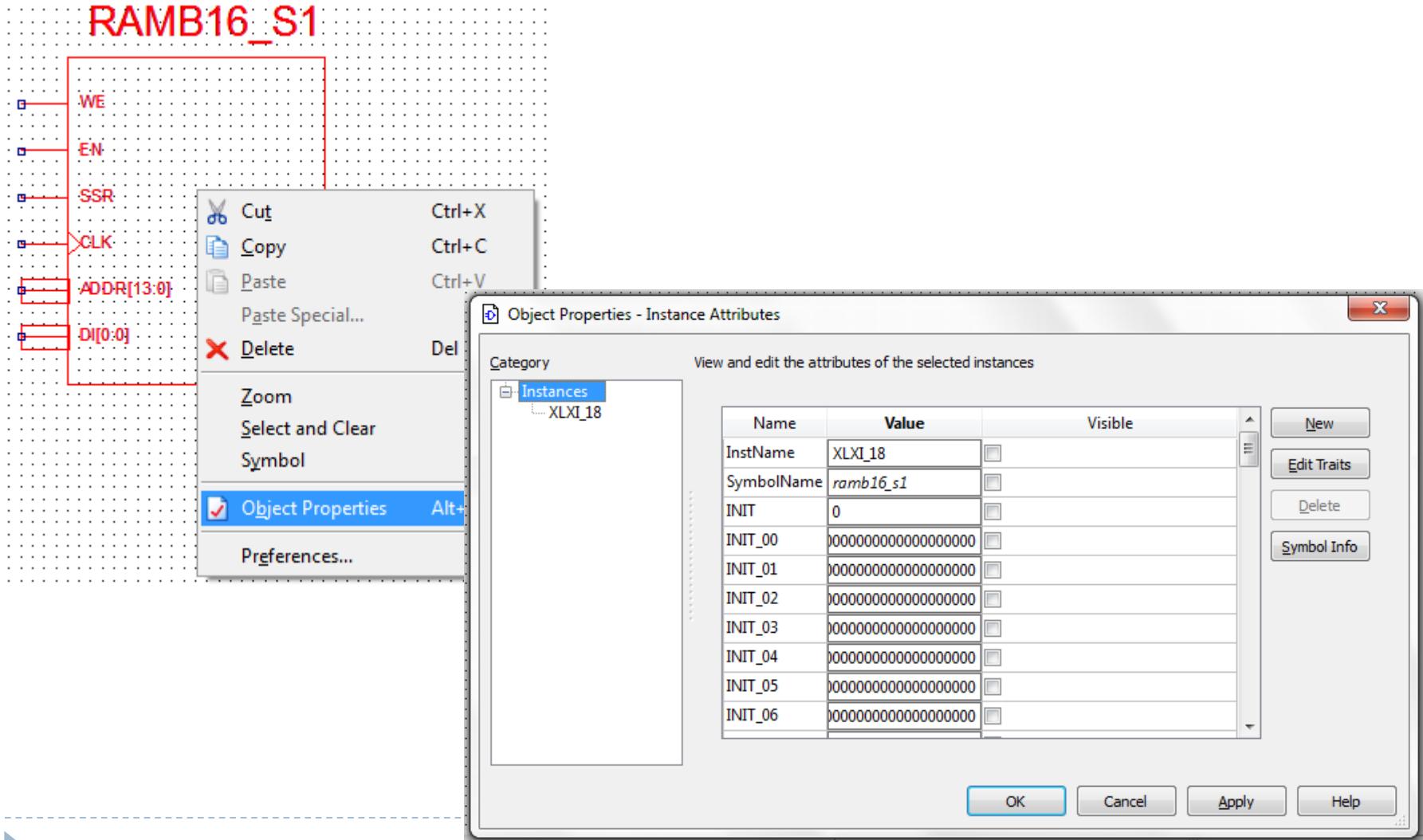
Familia Spartan-3e, BRAM

- ▶ Atributos.
- ▶ LOC. Elección del bloque RAM a usar



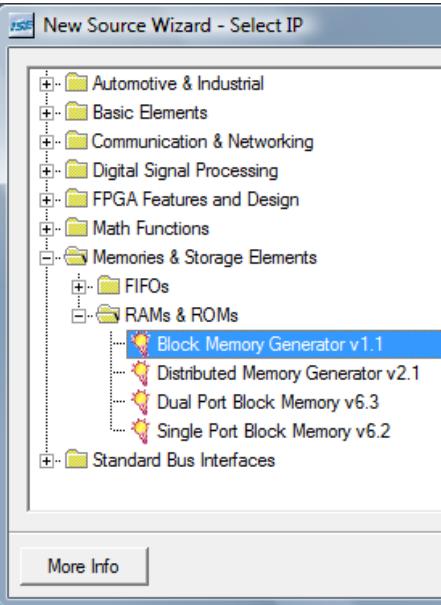
Familia Spartan-3e, BRAM

▶ Acceso a los atributos en las primitivas



Familia Spartan-3e, BRAM

► CORE Generator.



The screenshot shows the Xilinx ISE New Source Wizard - Select IP window. On the left, under the 'Memories & Storage Elements' category, the 'Block Memory Generator v1.1' item is highlighted with a blue selection bar. Below it are other options: 'Distributed Memory Generator v2.2', 'Dual Port Block Memory v6.3', and 'Single Port Block Memory v6.2'. A 'More Info' button is located at the bottom of this list.

Block Memory Generator v1.1

LogicCORE

Block Memory Generator v1.1

Component Name: mem

Memory Type:

- Single Port RAM
- Simple Dual Port RAM
- True Dual Port RAM
- Single Port ROM
- Dual Port ROM

Algorithm:

Defines the algorithm used to concatenate the block RAM primitives. See the datasheet for more information.

Primitive (Write Port A):

- Minimum Area
- Fixed Primitives

8kx2
16kx1
8kx2
4kx4
2kx9
1kx18
512x36

Diagram:

The diagram illustrates the architecture of the Block Memory Generator. It features two vertical columns of ports. The top column is labeled 'ADDRA[11:0]', 'DINA[8:0]', 'ENA', 'REGCEA', 'WEA[0:0]', 'SSRA', and 'CLKA'. The bottom column is labeled 'ADDRB[11:0]', 'DINB[8:0]', 'ENB', 'REGCEB', 'WEB[0:0]', 'SSRB', and 'CLKB'. Both columns have arrows pointing to a central vertical block, which then has arrows pointing to '[8:0]DOUTA' and '[8:0]DOUTB' respectively.

Buttons:

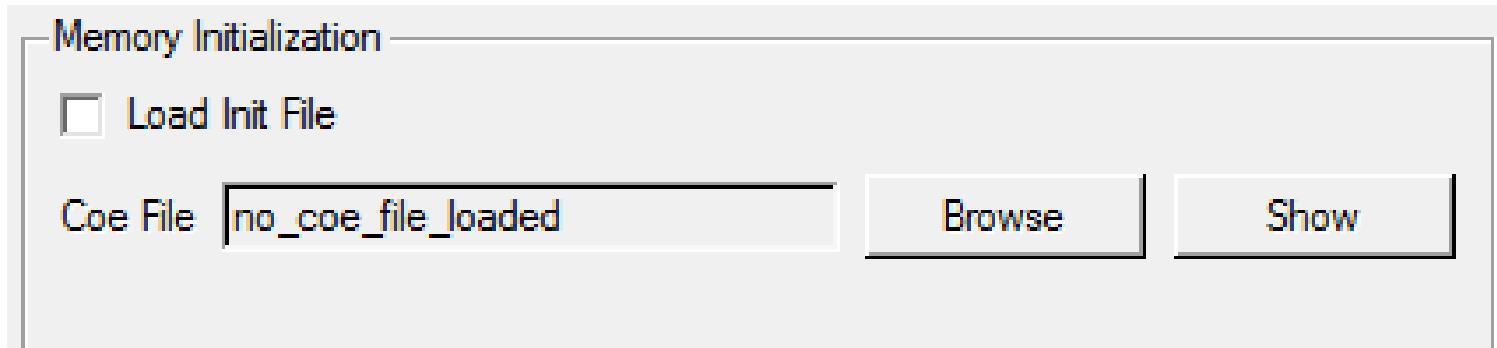
- View Data Sheet**
- Page 1 of 5**
- < Back**
- Next >**
- Finish**
- Cancel**

Familia Spartan-3e, BRAM

- ▶ Inicialización del contenido mediante CORE Generator.
 - ▶ Se hace a través de un archivo .coe:

```
memory_initialization_radix=16;  
memory_initialization_vector= 80, 0F, 00, 0B, 00, 0C, --, 81;
```

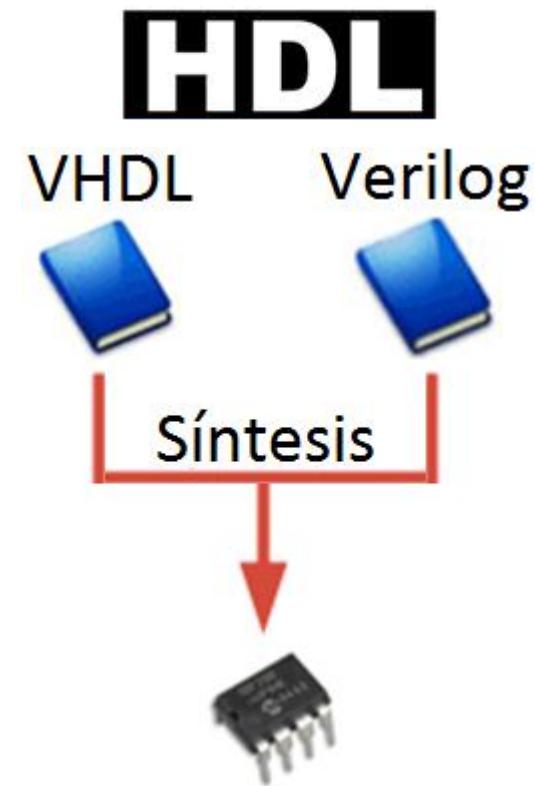
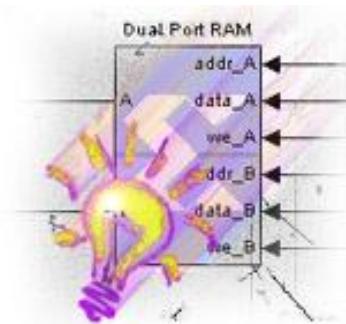
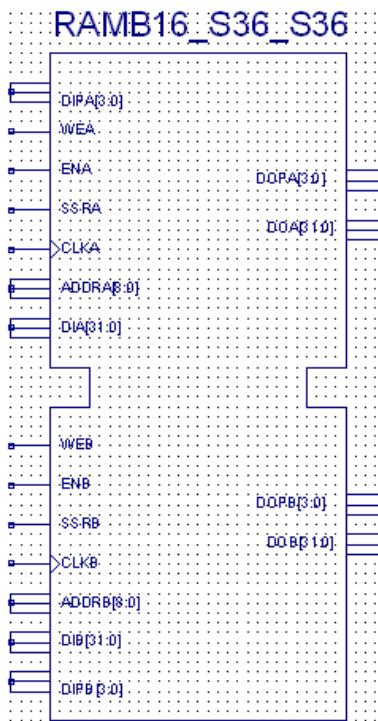
- ▶ El archivo .coe es incluido en la definición de la memoria dentro del CORE Generator



Familia Spartan-3e, BRAM

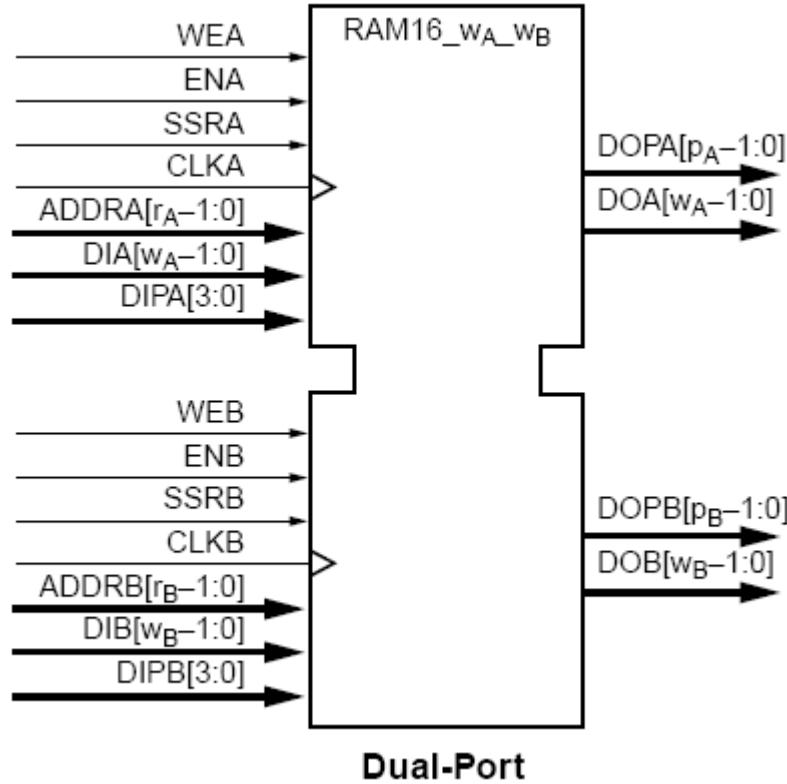
▶ Uso de BRAMs desde un HDL:

- ▶ Instanciar primitivas.
- ▶ CORE Generator™, Block Memory Generator.
- ▶ Inferir.



Familia Spartan-3e, BRAM

- ▶ Inferir Bloques RAM desde VHDL.
 - ▶ Restringirse a las características de los Bloques RAM.





**18x18-bit embedded
multipliers for efficient DSP**

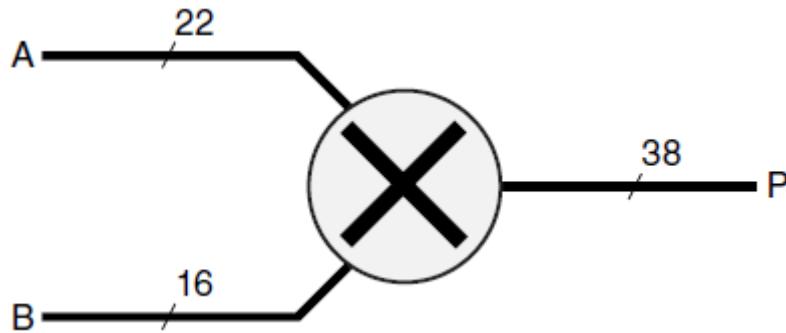
FPGA Spartan-3e, Xilinx

Multiplicadores Embebidos (E-MUL)

Familia Spartan-3e, E-MUL

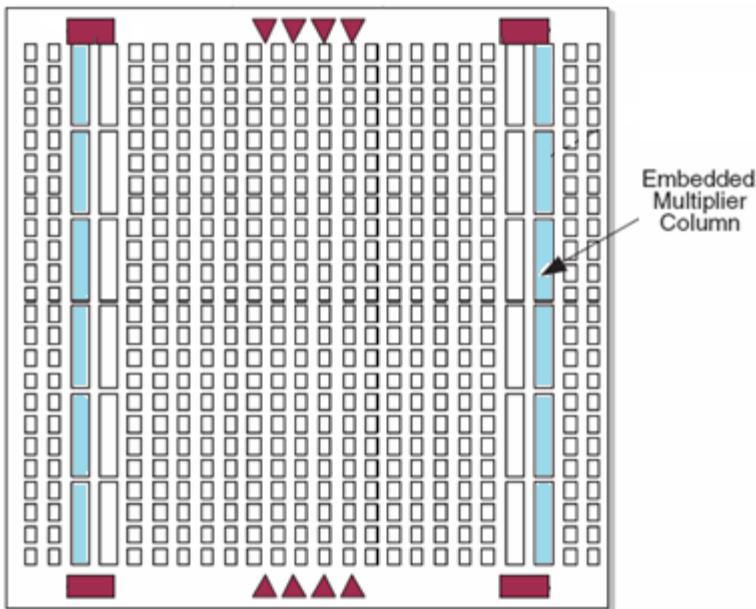
▶ Definición de E-MUL.

- ▶ Es un conjunto de Multiplicadores empotrados (E-MUL, *Embedded Multipliers*) en el FPGA, dedicados (arquitectura fija), que tienen por finalidad fortalecer las capacidades aritméticas del FPGA.
- ▶ Los circuitos multiplicadores consumen muchos recursos y normalmente son lentos ya que generan largos tiempos de propagación al conectar un gran número de CLBs.
- ▶ Debido a esto y a que son operaciones muy comunes, muchos FPGAs incorporan este tipo de bloques.



Familia Spartan-3e, E-MUL

- ▶ La familia Spartan-3e incorpora E-MULs dedicados, organizados en columnas.
- ▶ El número de multiplicadores empotrados depende del dispositivo.



	Spartan-3E FPGA Family				
	XC3S100E	XC3S250E	XC3S500E	XC3S1200E	XC3S1600E
System Gates	100K	250K	500K	1,200K	1,600K
Logic Cells	2,160	5,508	10,476	19,512	33,192
Block RAM Bits	72K	216K	360K	504K	648K
Distributed RAM Bits	15K	38K	73K	136K	231K
DCMs	2	4	4	8	8
Multipliers	4	12	20	28	36
I/O Standards	18	18	18	18	18
Max Single Ended I/O	108	172	232	304	376
Max Differential I/O Pairs	40	68	92	124	156

Familia Spartan-3e, E-MUL

▶ Características:

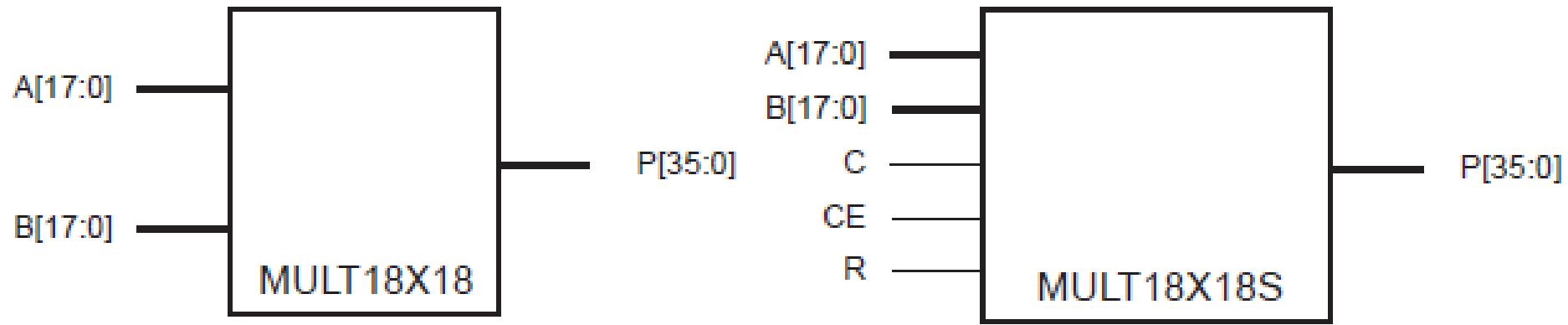
- ▶ Multiplicador 18x18 bits.
- ▶ Rápidos e implementados eficientemente para operaciones con y sin signo.
- ▶ Un multiplicador se puede conectar en cascada con otro multiplicador o con lógica para implementar funciones más complejas.
- ▶ Los multiplicadores comparten recursos de ruteo con los bloques RAM.
- ▶ Un E-MUL requiere menos potencia que un multiplicador implementado mediante CLBs.



Familia Spartan-3e, E-MUL

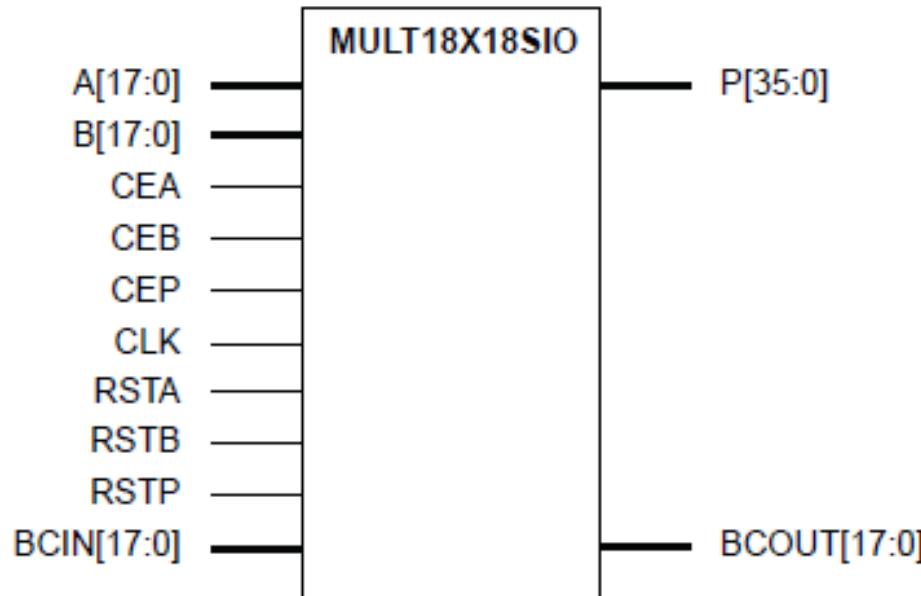
- ▶ Primitivas.
 - ▶ Dos primitivas básicas son disponibles para accesar a los E-MUL.

Primitive	A Width	B Width	P Width	Signed/Unsigned	Output
MULT18X18	18	18	36	Signed (Two's Complement)	Combinatorial
MULT18X18S	18	18	36	Signed (Two's Complement)	Registered



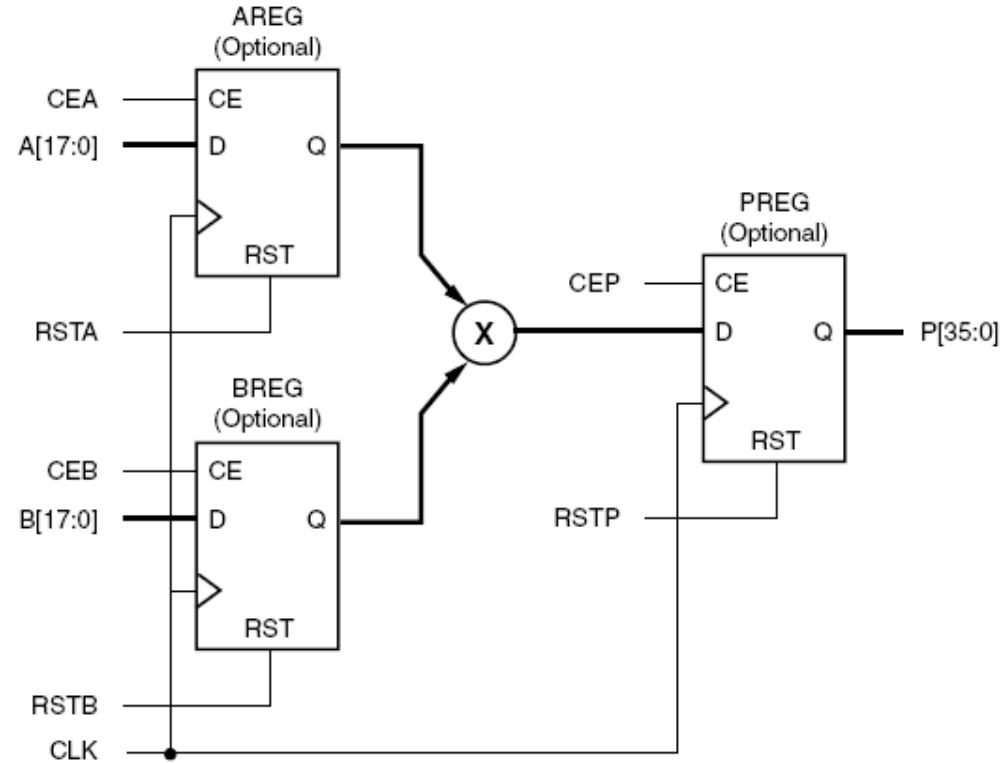
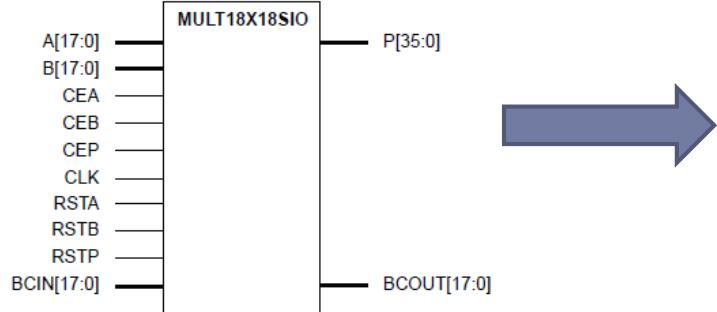
Familia Spartan-3e, E-MUL

- ▶ Además, la herramienta ISE ofrece una primitiva más completa para E-MULs.
- ▶ Características adicionales de esta primitiva:
 - ▶ Registros opcionales.
 - ▶ Señales de control independientes.
 - ▶ Conexión en cascada (señales BCIN y BCOUT).



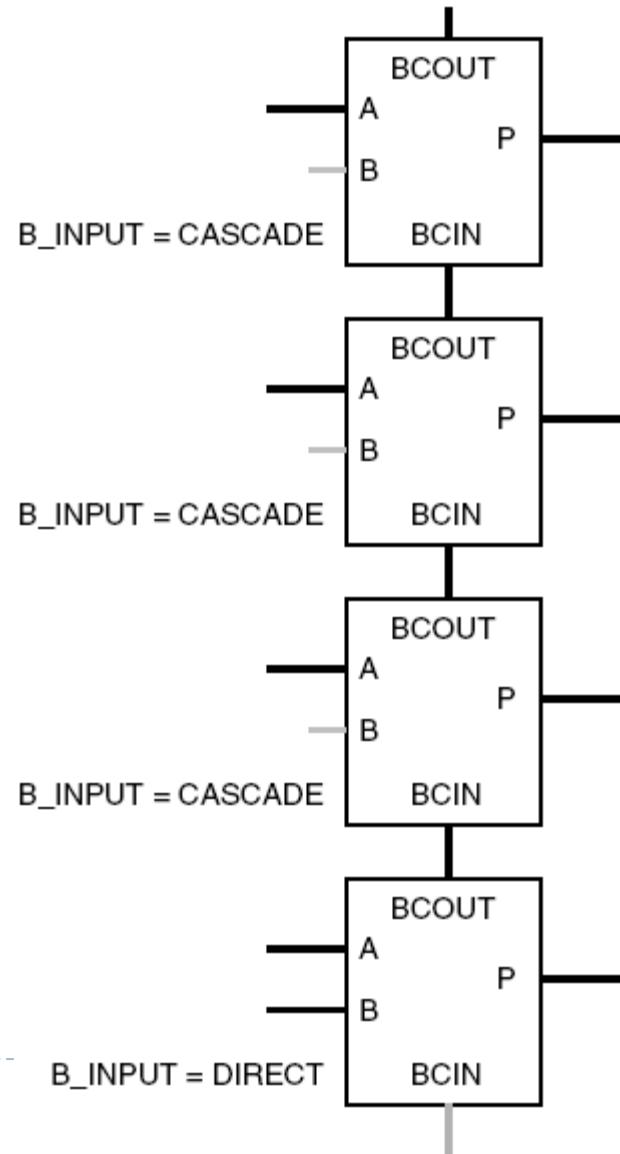
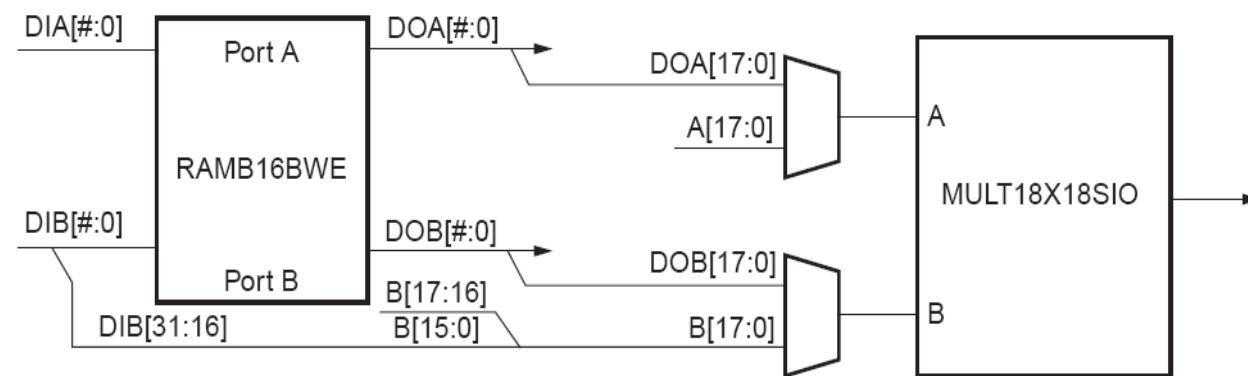
Familia Spartan-3e, E-MUL

▶ Registros pipeline opcionales.



Familia Spartan-3e, E-MUL

- ▶ Conectividad de los E-MULs.
 - ▶ E-MULs es cascada.
 - ▶ Conexiones directas con los BRAMs



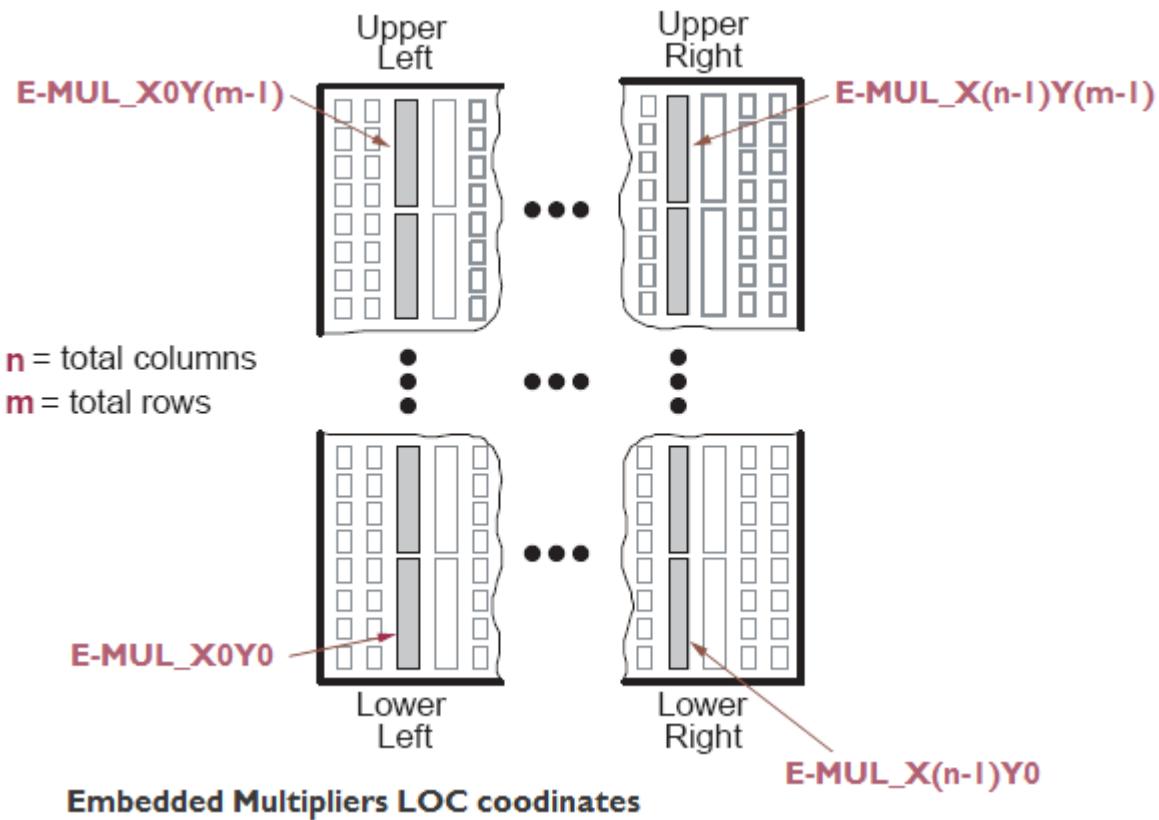
Familia Spartan-3e, E-MUL

- ▶ Atributos.
 - ▶ **AREG** – Habilita (1) o deshabilita (0) el registro del puerto A del multiplicador.
 - ▶ **BREG** – Habilita (1) o deshabilita (0) el registro del puerto B del multiplicador
 - ▶ **B_INPUT** – Cuando tiene el valor "DIRECT" usa el dato presente en el puerto B en la operación de multiplicación. Cuando tiene el valor "CASCADE" usa el dato presente en el puerto BCIN en la operación de multiplicación.
 - ▶ **PREG** – Habilita (1) o deshabilita (0) el registro del puerto P del multiplicador



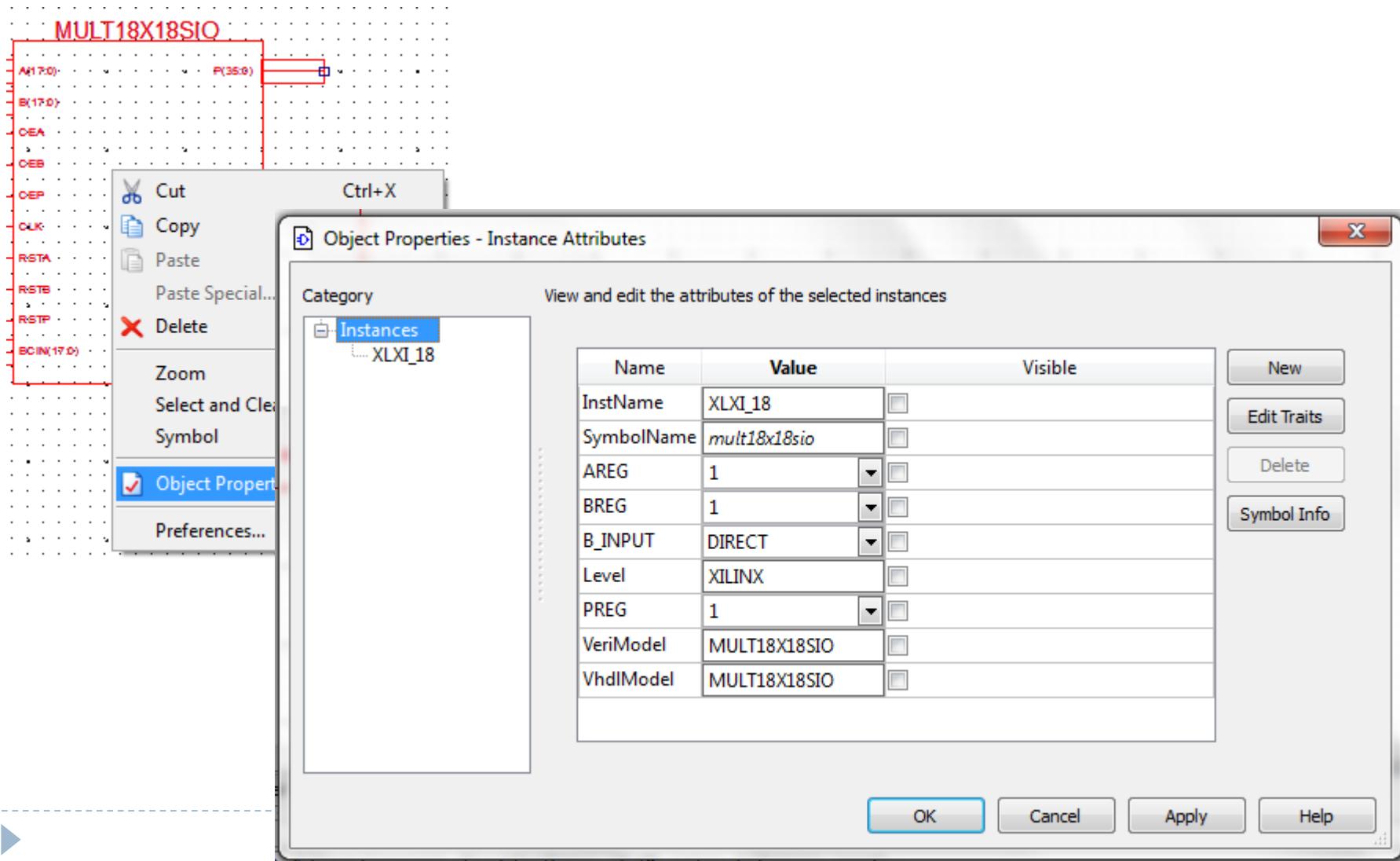
Familia Spartan-3e, E-MUL

- ▶ Atributos.
- ▶ **LOC.** Permite definir cual E-MUL será utilizado



Familia Spartan-3e, E-MUL

► Acceso a los atributos



Familia Spartan-3e, E-MUL

▶ Con CORE Generator

Multiplier

View

Resource Estimates

LUT4s	0
Mult18x18s	1
BRAMs	0

Additional Information

Please note that the LUT resource estimate does not include SRLs.

Resource counts may not reflect true post-map resource usage when a custom output width is used and the output product MSB is less than full-precision MSB

Multiplier

Component Name : mult_core

Multiplier Type

Parallel Multiplier

Constant-Coefficient Multiplier

Input Options

Port A

Data Type : Signed

Width : 18 Range: 2..64

Port B

Data Type : Signed

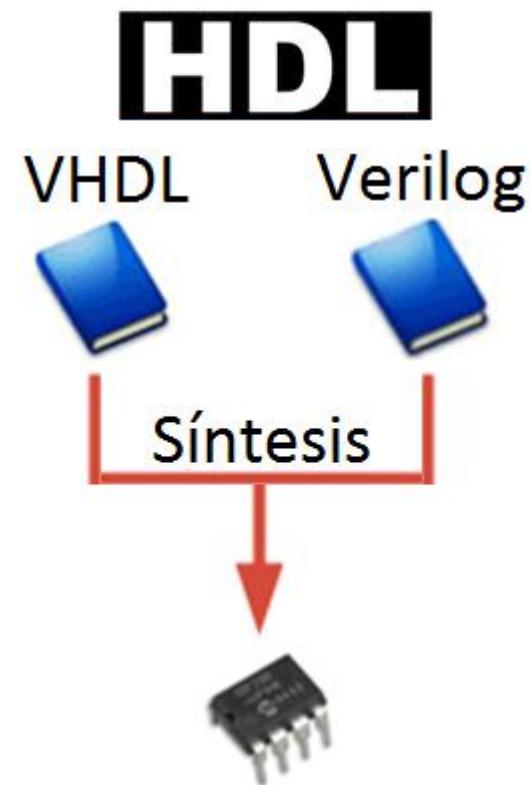
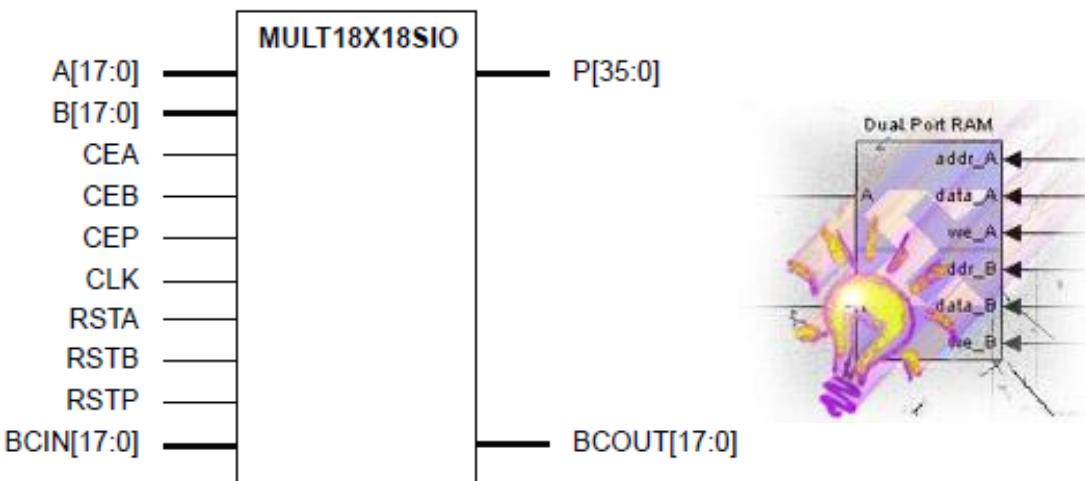
Width : 18 Range: 2..64

A[17:0] → P[35:0]
B[17:0] →
CLK →
CE →
SCLR →

Familia Spartan-3e, E-MUL

► Uso de E-MULTs desde un HDL:

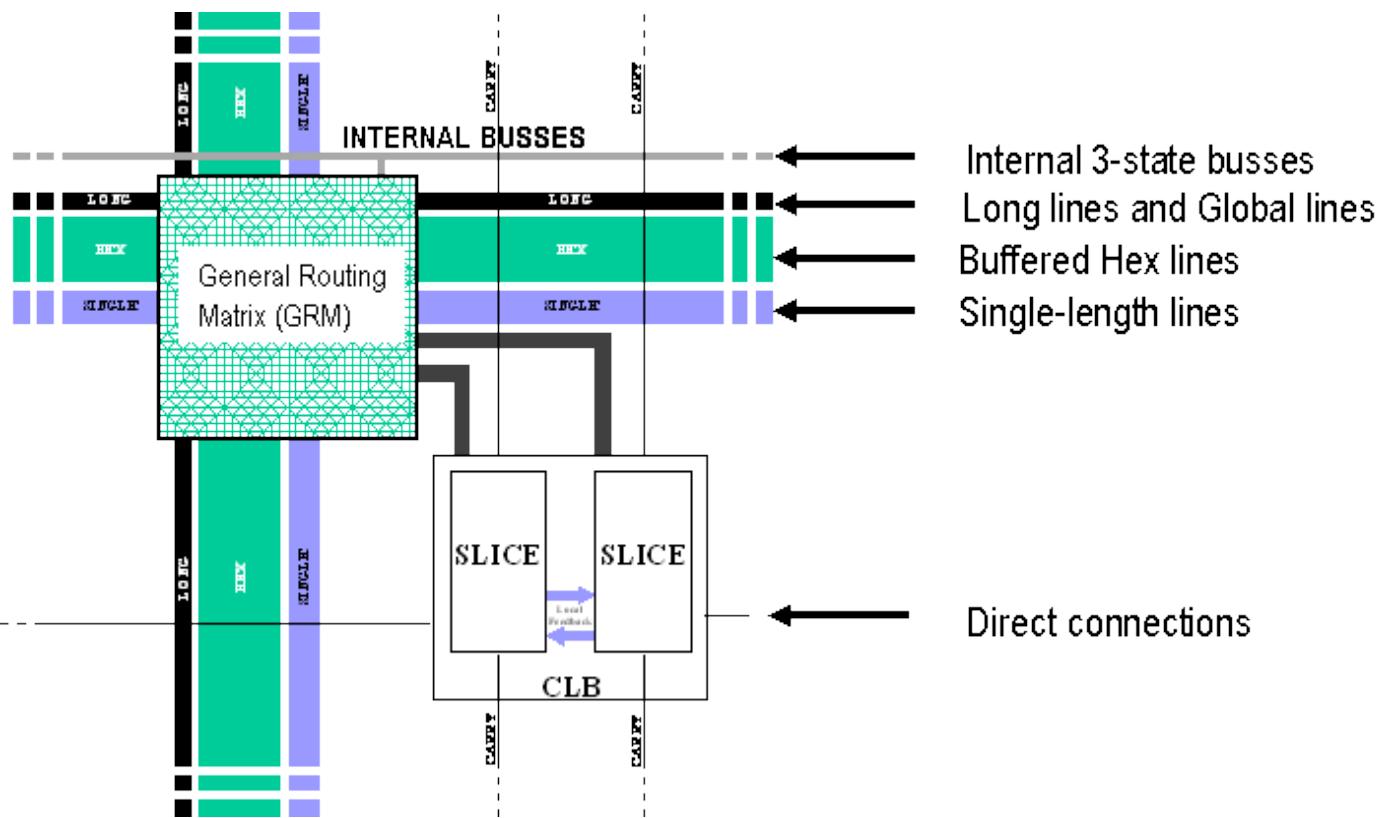
- ▶ Instanciar primitivas.
- ▶ CORE Generator™, Multiplier.
- ▶ Inferir.



Familia Spartan-3e, E-MUL

- ▶ Otras aplicaciones de los E-MUL:
 - ▶ Desplazamientos (Shifter).
 - ▶ Generador de valor absoluto.
 - ▶ Generador de complemento a 2.
 - ▶ Multiplicación de punto flotante.



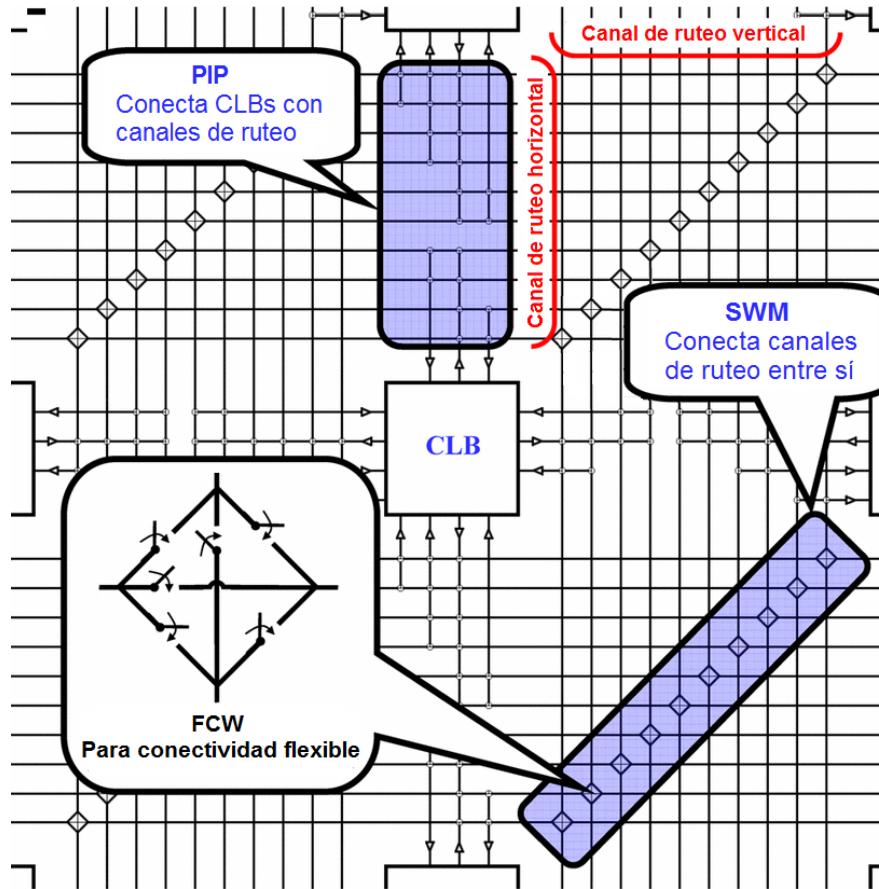


FPGA Spartan-3e, Xilinx

Recursos de interconexión de propósito general

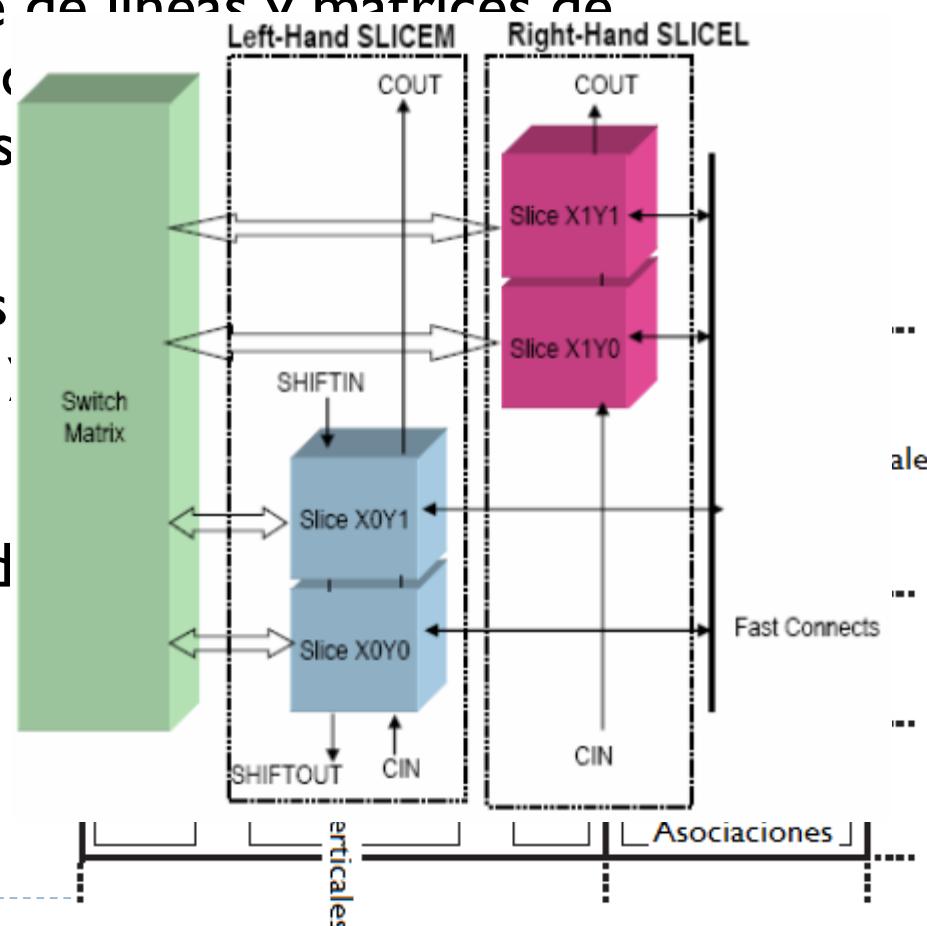
Familia Spartan-3e, Rec. de inter.

- ▶ Definición.
 - ▶ Conjunto de elementos configurables que permiten la interconexión de los elementos que integran al FPGA.



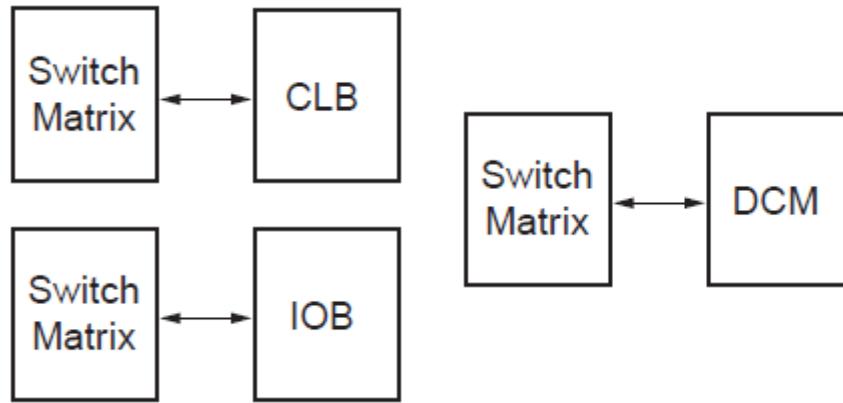
Familia Spartan-3e, Rec. de inter.

- ▶ Los recursos de interconexión de propósito general son independientes a los de propósito específico y a los recursos de interconexión globales.
- ▶ Se trata de una red programable de líneas y matrices de conmutación (SM, Switch Matrix) que conectan diferentes elementos funcionales (CLBs, DCMs, bloques RAM, ...).
- ▶ En el FPGA existen asociaciones entre los elementos funcionales y las SM.
- ▶ Por lo tanto, el FPGA puede ser representado como un arreglo de estas asociaciones.
- ▶ Donde cada asociación tiene conexiones con líneas verticales y horizontales

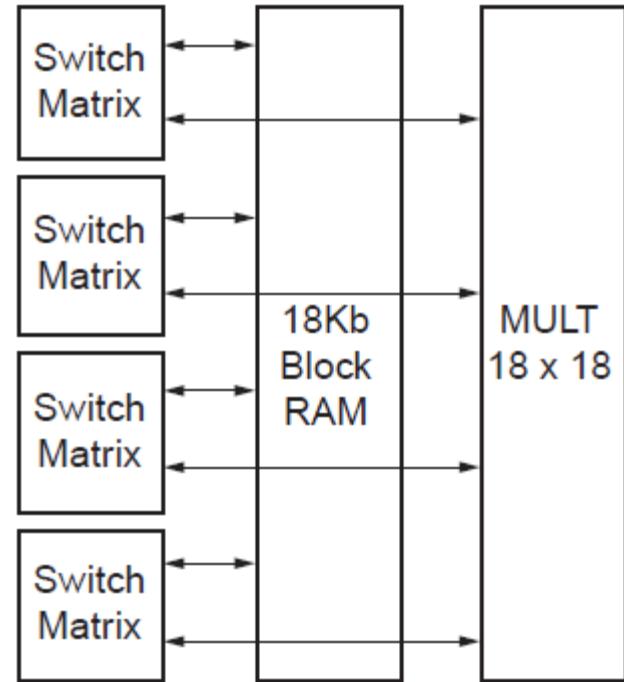


Familia Spartan-3e, Rec. de inter.

- ▶ El número de SM por asociación depende del elemento funcional.



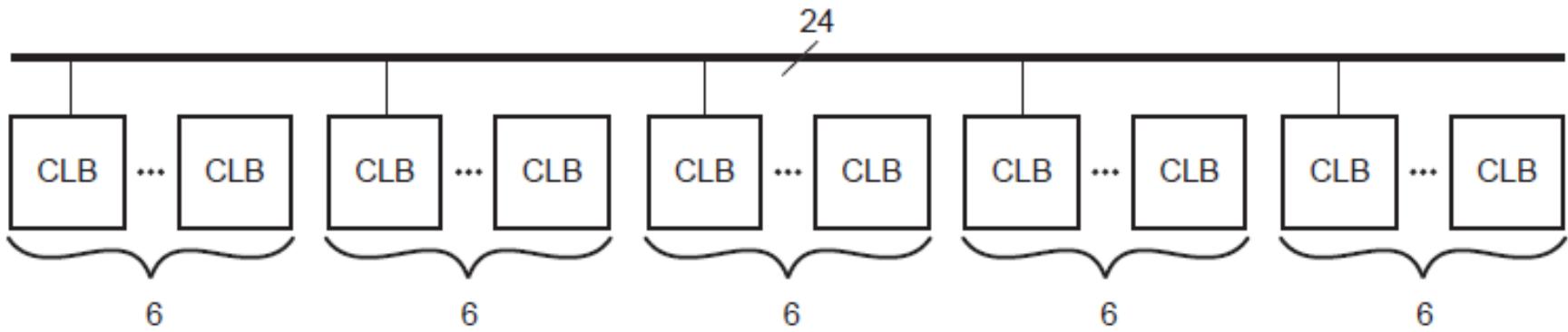
- ▶ Existen 4 tipos de líneas:
 - ▶ *Long lines.*
 - ▶ *Hex lines.*
 - ▶ *Double lines.*
 - ▶ *Direct lines.*



Familia Spartan-3e, Rec. de inter.

▶ Long lines.

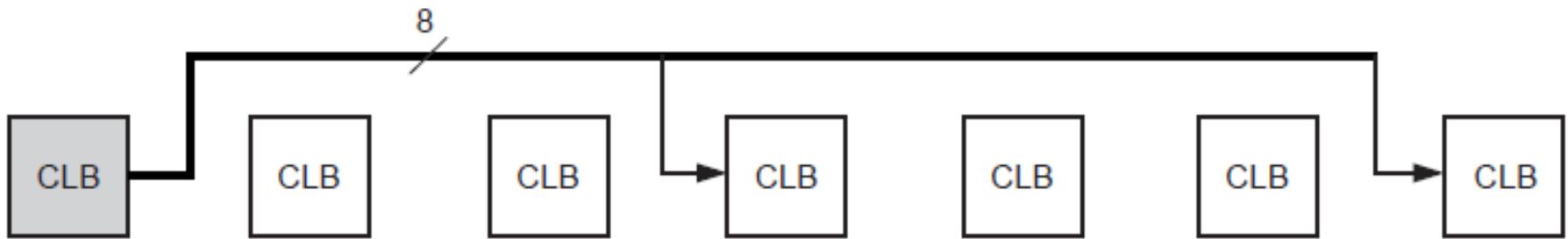
- ▶ Son conjuntos de 24 líneas que se extienden por el FPGA, tanto horizontal como verticalmente
- ▶ Un subconjunto de 4 líneas se conecta a una de cada seis asociaciones.
- ▶ Debido a su baja capacitancia, estas líneas son adecuadas para conducir señales de alta frecuencia.
- ▶ Si las *Global Clock inputs*, las *Right-Half Clock inputs* y las *Left-Half Clock inputs* están ocupadas, estas líneas son una buena alternativa para una señal de CLK.



Familia Spartan-3e, Rec. de inter.

▶ Hex lines.

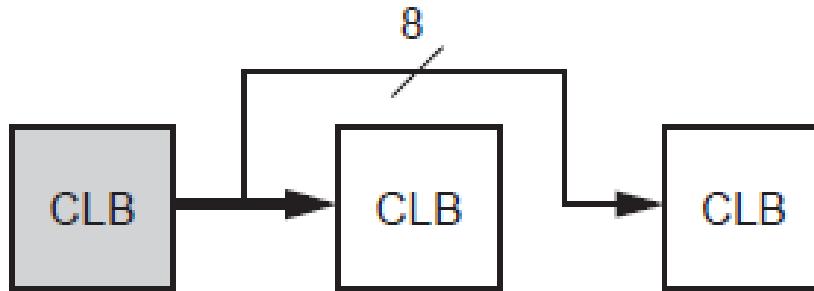
- ▶ Son conjuntos de 24 líneas que se extienden por el FPGA, tanto horizontal como verticalmente
- ▶ Un subconjunto de 8 líneas se conecta a una de cada tres asociaciones.
- ▶ Son líneas que ofrecen mayor conectividad que las anteriores, pero menor capacidad en transmisión de señales de alta frecuencia



Familia Spartan-3e, Rec. de inter.

▶ Double lines.

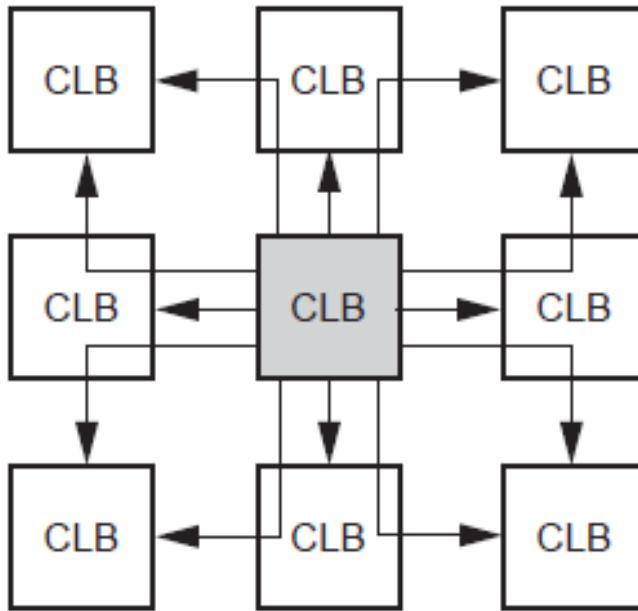
- ▶ Son conjuntos de 8 líneas que se extienden por el FPGA, tanto horizontal como verticalmente
- ▶ Cada conjunto se conecta a todas las asociaciones en las cuatro direcciones.
- ▶ Double lines ofrecen más conexiones y más flexibilidad que las Long lines y las hex lines

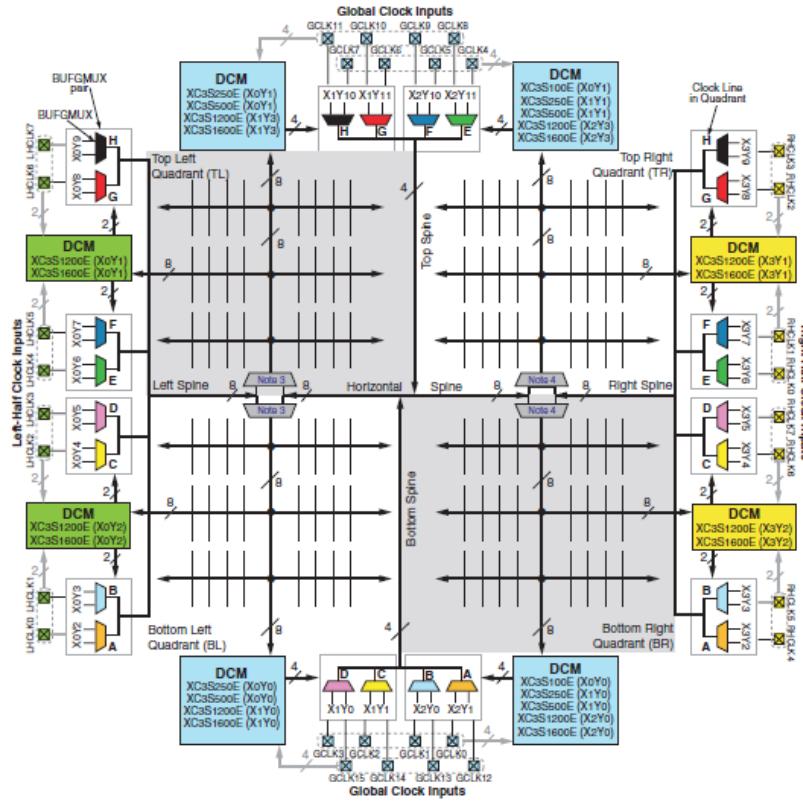


Familia Spartan-3e, Rec. de inter.

▶ Direct lines.

- ▶ Permiten conectar cada CLB con sus 8 CLBs vecinos.
- ▶ Además, estas líneas son usadas para conducir una señal proveniente de un CLB origen hacia una *Double line*, *Hex line* o *Long line* para interconectarse con un CLB no contiguo.





FPGA Spartan-3e, Xilinx

Infraestructura de las señales CLK (I-CLK)

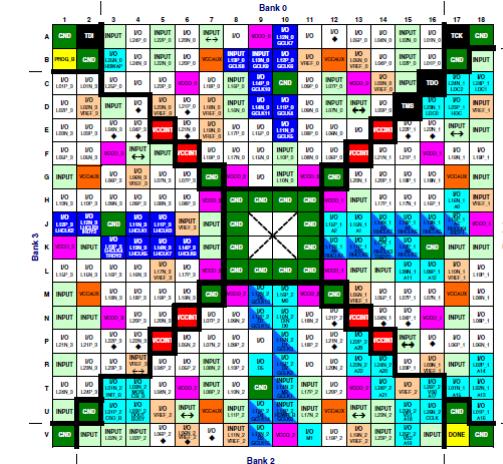
Familia Spartan-3e, I-CLK

- ▶ Definición.
 - ▶ La infraestructura de las señales de reloj, es un conjunto de elementos dedicados a eliminar o minimizar efectos no deseados (intrínsecos en sistemas síncronos) con la finalidad de mejorar el desempeño del sistema.
 - ▶ Entre los elementos dedicados a esta función se encuentran, pines, buffers y rutas dedicadas a señales de reloj.



Familia Spartan-3e, I-CLK

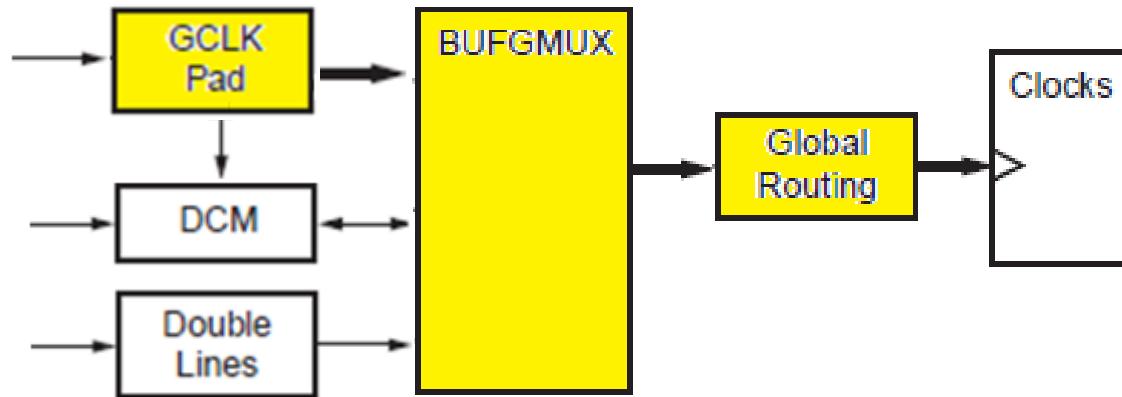
- ▶ La infraestructura para señales de CLK incluida en un Spartan-3E provee:
 - ▶ Líneas para distribuir señales de alta frecuencia a través del FPGA.
 - ▶ Estas líneas tienen un *low-skew* y un *high-fanout*.
 - ▶ También incluye entradas de reloj dedicadas, buffers (IBUFG, BUFG) y multiplexores (BUFGMUX) exclusivos para señales de reloj.
- ▶ En el Spartan-3E existen:
 - ▶ 16 *Global Clock inputs* (GCLK0 - GCLK15)
 - ▶ 8 *Right-Half Clock inputs* (RHCLK0 - RHCLK7)
 - ▶ 8 *Left-Half Clock inputs* (LHCLK0 - LHCLK7)



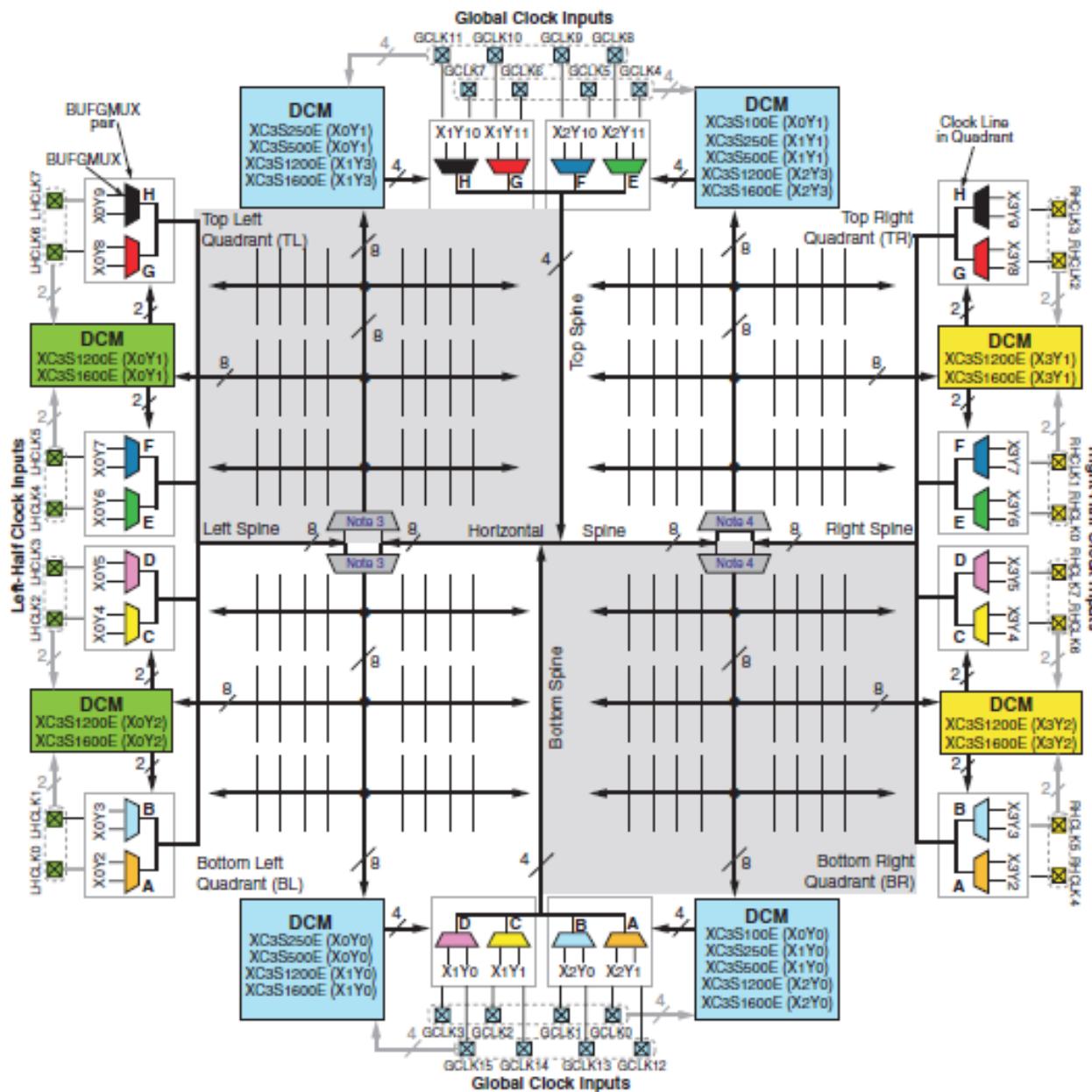
Familia Spartan-3e, I-CLK

► Recursos globales de reloj.

- ▶ Primarios, consisten de 3 componentes interconectados entre si:
 - ▶ *Global Clock input pads* (GCLK, RHCLK, LHCLK).
 - ▶ *Global Clock Multiplexers* (BUFGMUX).
 - ▶ *Global Clock routing*.
- ▶ Adicionales:
 - ▶ DCM.
 - ▶ *Double lines*.

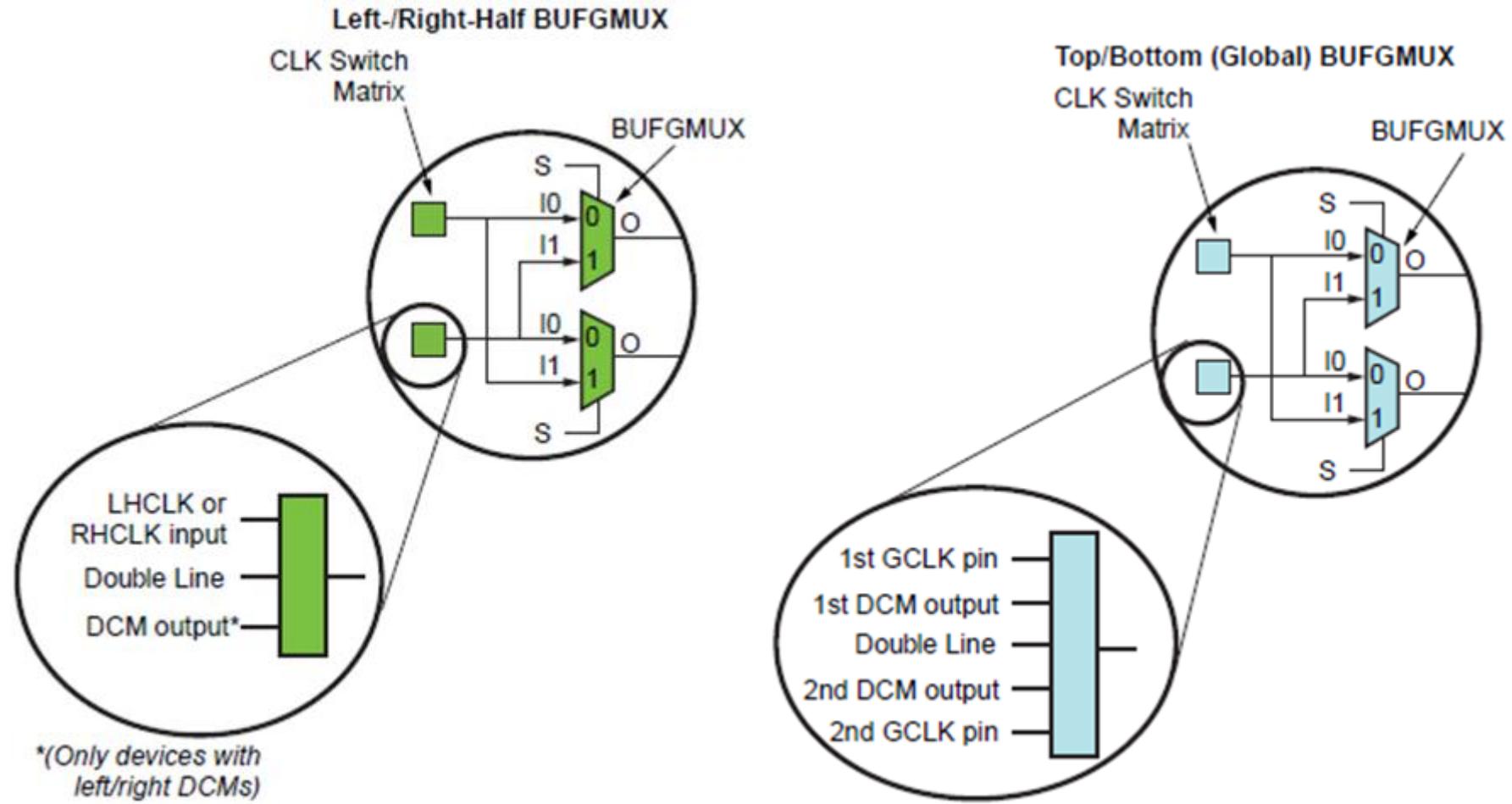


Familia Spartan-3e, I-CLK



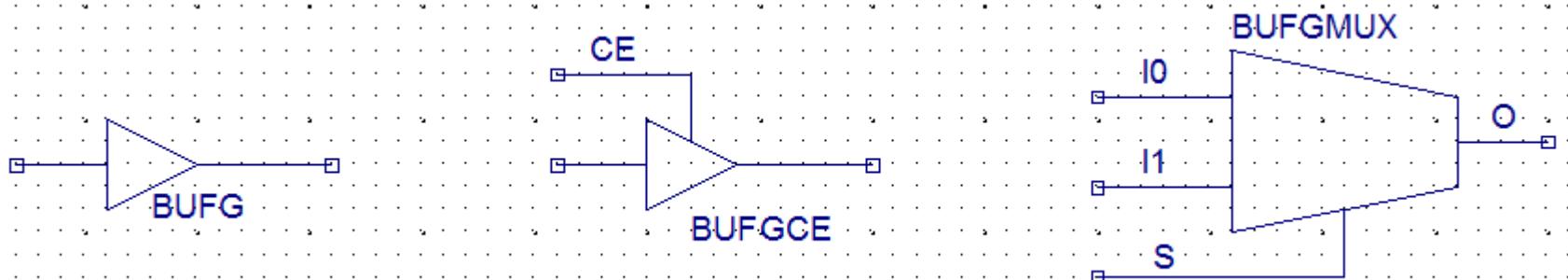
Familia Spartan-3e, I-CLK

▶ Detalles de los BUFGMUX



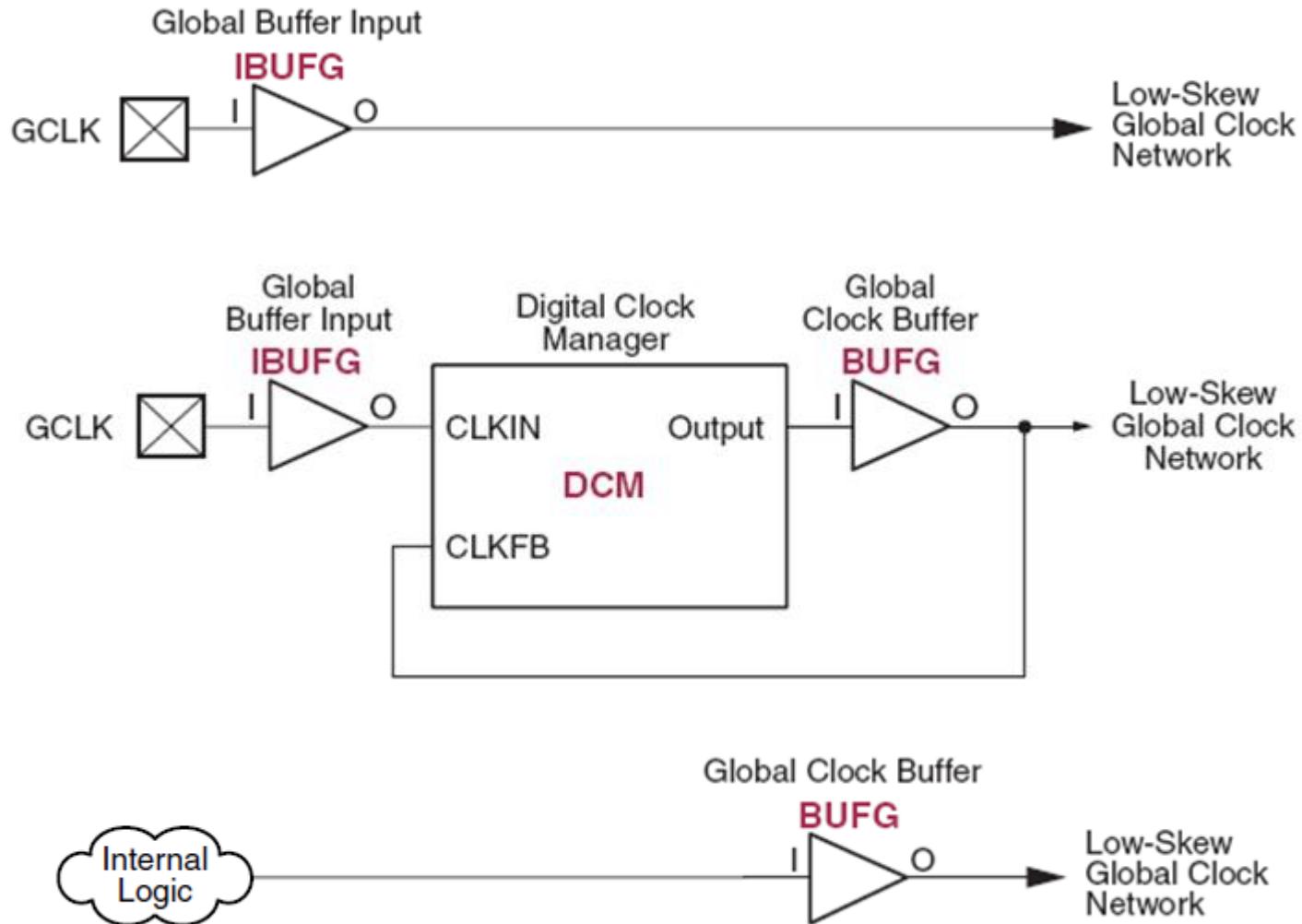
Familia Spartan-3e, I-CLK

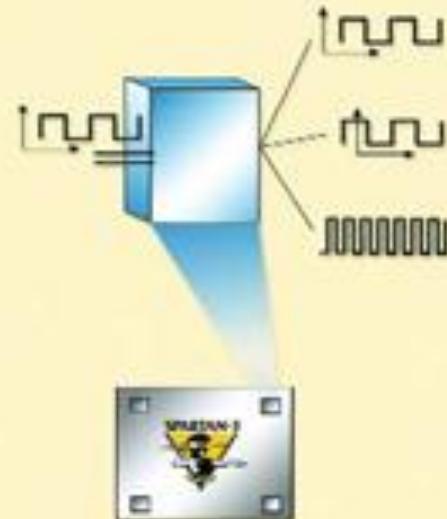
- ▶ Primitivas relacionadas con la infraestructura de CLK.



Familia Spartan-3e, I-CLK

▶ Configuraciones de uso.





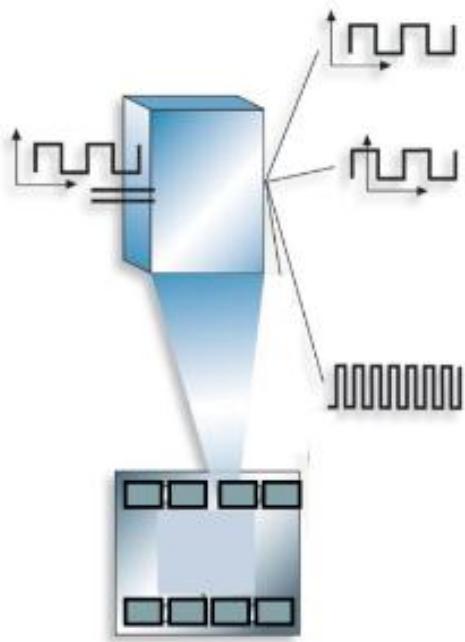
Digital Clock Managers

FPGA Spartan-3e, Xilinx

Administrador de CLK (DCM)

Familia Spartan-3e, DCM

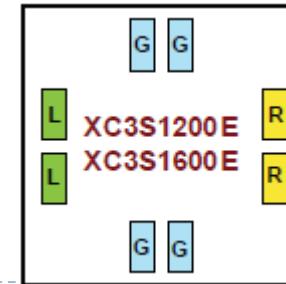
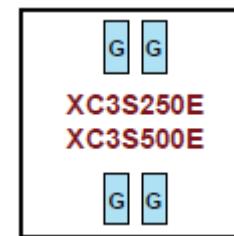
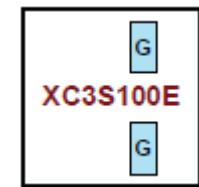
- ▶ Definición.
 - ▶ Un administrador de una señal de reloj digital (DCM, *Digital Clock Manager*) es un elemento que provee características adicionales a una señal de reloj.



Familia Spartan-3e, DCM

- ▶ Dependiendo del dispositivo miembro de la familia Spartan-3E, pueden existir entre 2 y 8 DCMs.
- ▶ La distribución de éstos y su interconexión también depende del dispositivo.

	Spartan-3E FPGA Family				
	XC3S100E	XC3S250E	XC3S500E	XC3S1200E	XC3S1600E
System Gates	100K	250K	500K	1,200K	1,600K
Logic Cells	2,160	5,508	10,476	19,512	33,192
Block RAM Bits	72K	216K	360K	504K	648K
Distributed RAM Bits	15K	38K	73K	136K	231K
DCMs	2	4	4	8	8
Multipliers	4	12	20	28	36
I/O Standards	18	18	18	18	18
Max Single Ended I/O	108	172	232	304	376
Max Differential I/O Pairs	40	68	92	124	156



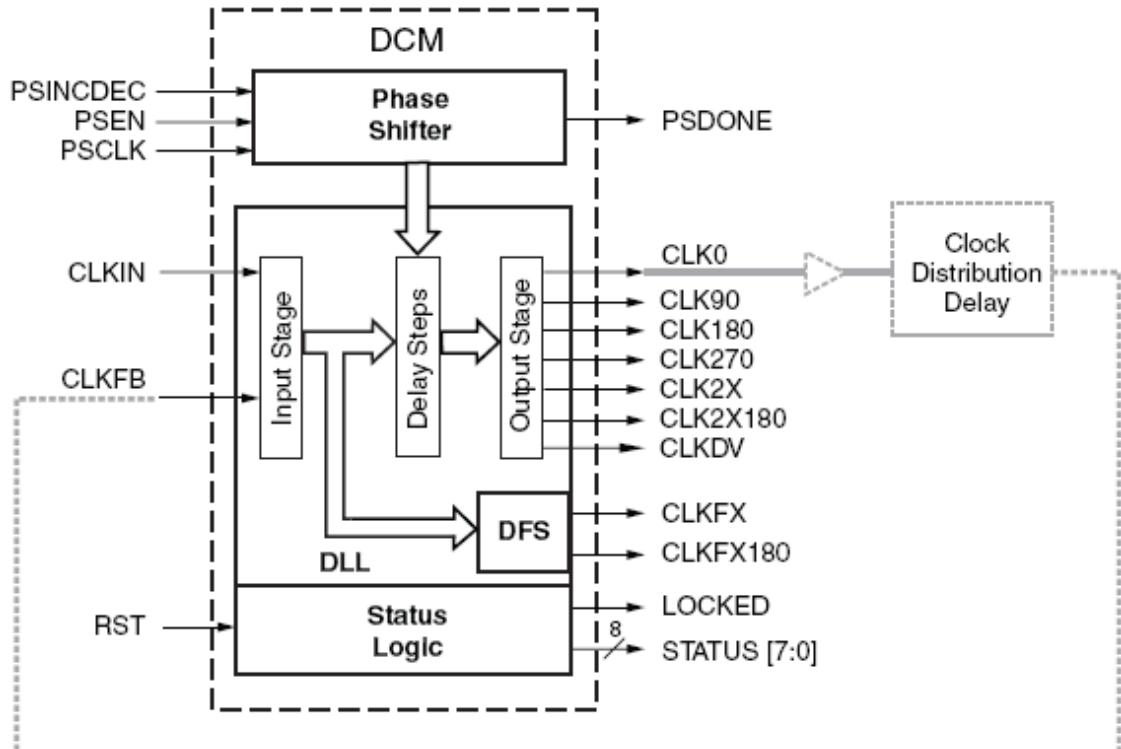
G Global DCM: Connects to global clock network.

L Left-Half DCM: Connects to clock network on left half of the FPGA.

R Right-Half DCM: Connects to clock network on right half of the FPGA.

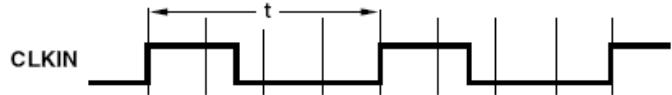
Familia Spartan-3e, DCM

- ▶ Un DCM genera las siguientes señales:

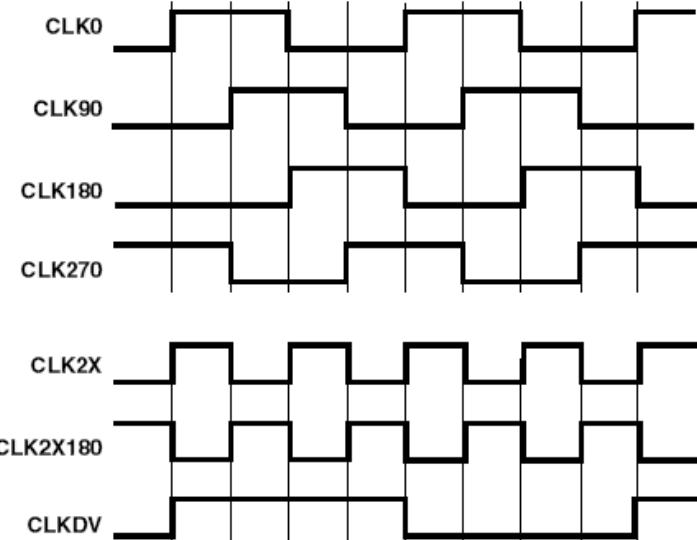


Phase: $0^\circ \quad 90^\circ \quad 180^\circ \quad 270^\circ \quad 0^\circ \quad 90^\circ \quad 180^\circ \quad 270^\circ \quad 0^\circ$

Input Signal (40%/60% Duty Cycle)

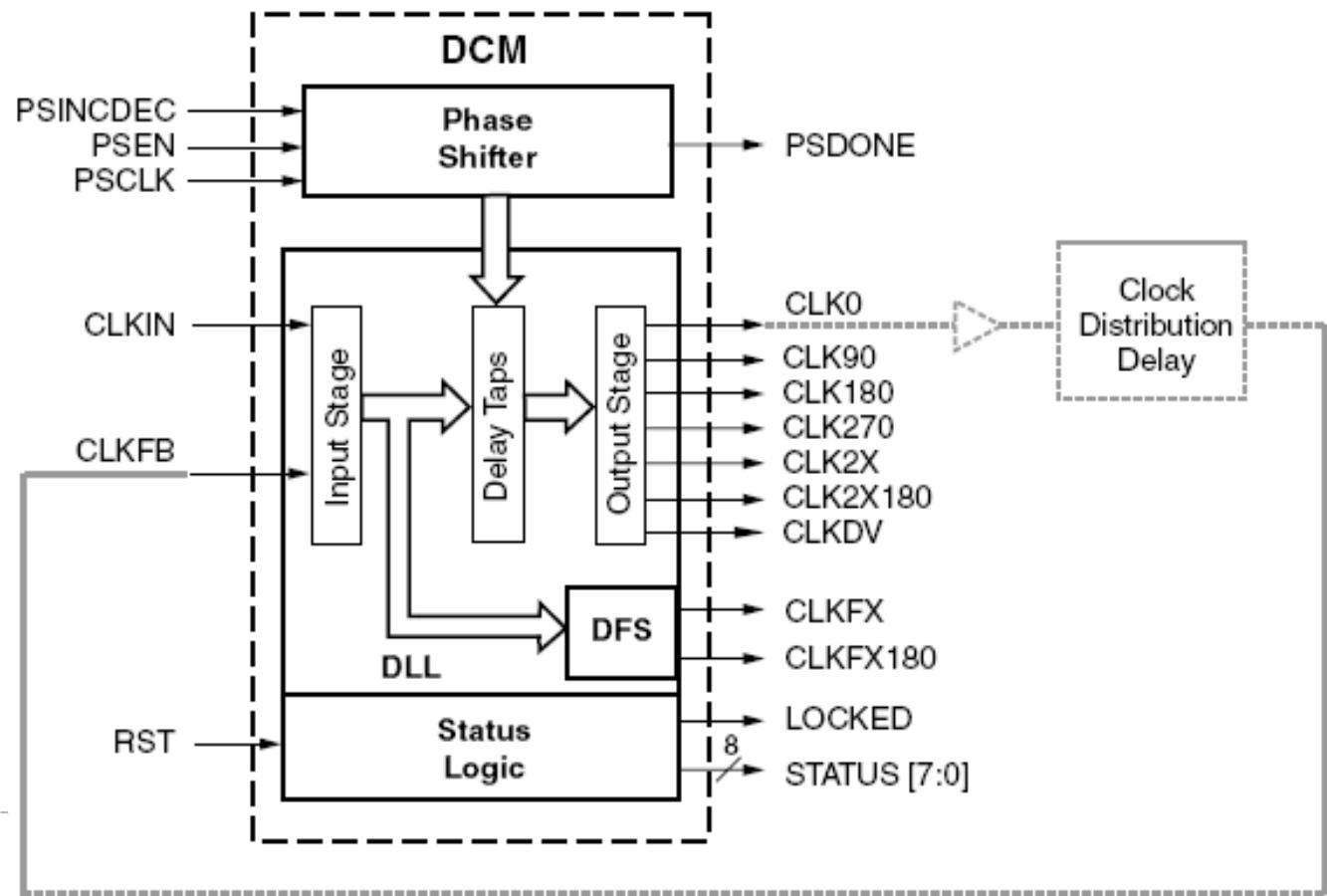


Output Signal - Duty Cycle Corrected



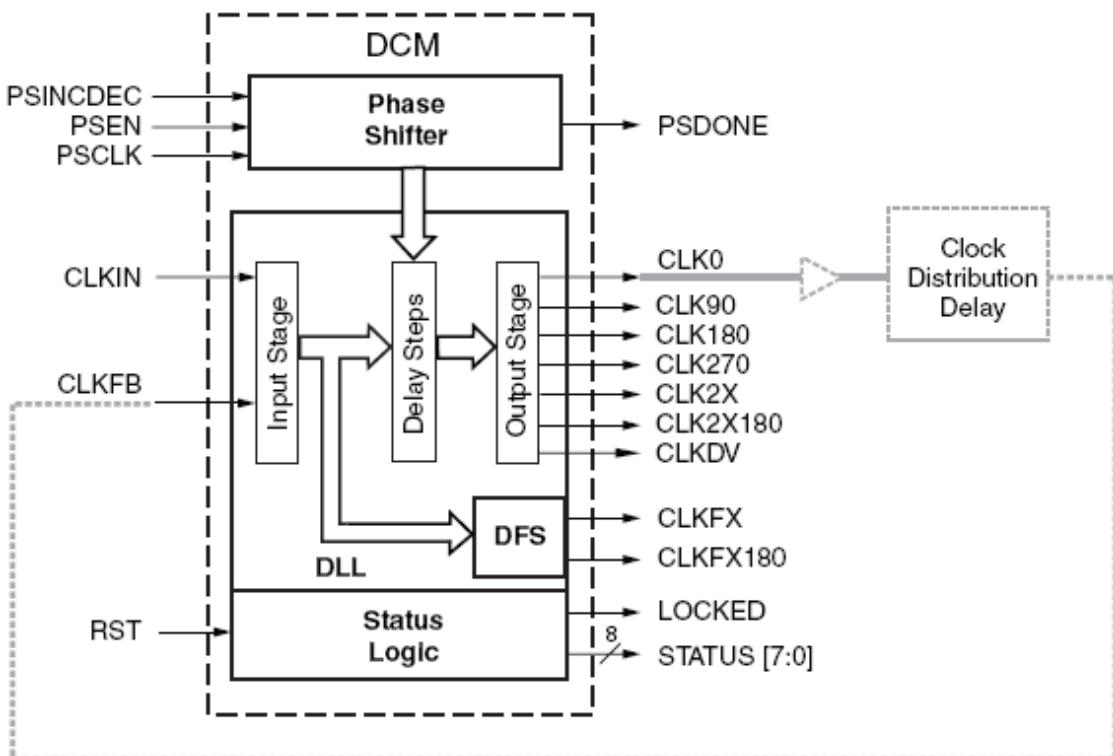
Familia Spartan-3e, DCM

- ▶ Un DCM está formado por 4 unidades funcionales:
 - ▶ Phase Shifter (PS).
 - ▶ Delay-Locked Loop (DLL).
 - ▶ Digital Frequency Synthesizer (DFS).
 - ▶ Status Logic.



Familia Spartan-3e, DCM

- ▶ Un DCM cumple las siguientes funciones:
 - ▶ Eliminación del “Skew” en la señal de CLK.
 - ▶ Sintetizador de frecuencia.
 - ▶ Desplazador de fase.
 - ▶ Corrección del “Duty cycle”.

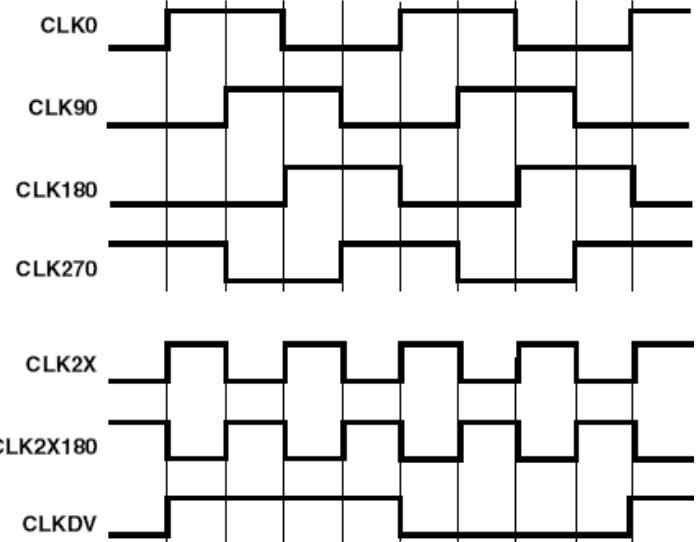


Phase: $0^\circ \quad 90^\circ \quad 180^\circ \quad 270^\circ \quad 0^\circ \quad 90^\circ \quad 180^\circ \quad 270^\circ \quad 0^\circ$

Input Signal (40%/60% Duty Cycle)

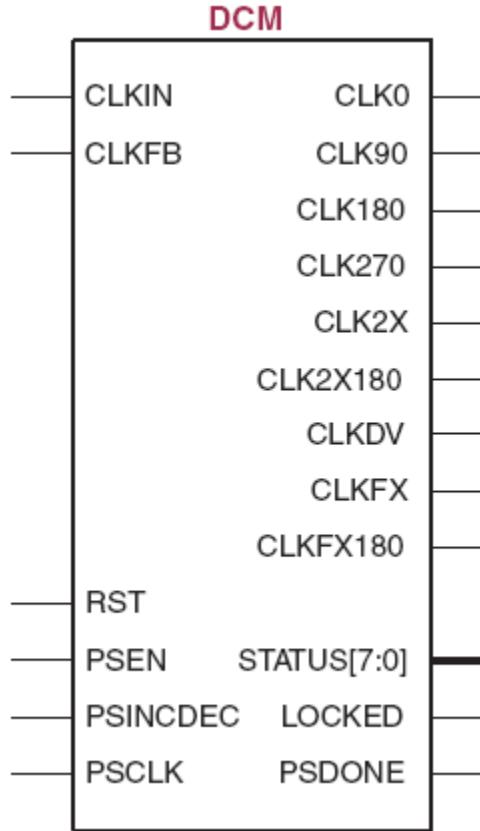


Output Signal - Duty Cycle Corrected



Familia Spartan-3e, DCM

- ▶ Símbolo DCM (Primitiva).
 - ▶ Representa toda la funcionalidad del DCM



Familia Spartan-3e, DCM

- ▶ Aspectos a considerar de la primitiva DCM:
 - ▶ Puertos (PORTS) de la entidad.
 - ▶ Atributos.



Familia Spartan-3e, DCM

▶ Puertos del símbolo DCM:

- ▶ RST (IN). Reset asíncrono del DCM. Señal usada para inicializar al DCM. Activa en nivel alto (al menos 3 pulsos de CLKIN).
- ▶ CLKIN (IN). Entrada de reloj del DCM. La frecuencia debe estar en los rangos especificados por la hojas de datos técnicos del dispositivo. Los atributos DLL_FREQUENCY_MODE y DFS_FREQUENCY_MODE controlan los límites de la frecuencia.
- ▶ CLKFB (IN). Retroalimentación de reloj al DCM. La fuente de CLKFB puede ser CLK0 o CLK2X (El atributo CLK_FEEDBACK debe ser ajustado). El punto de retroalimentación puede ser de una red de distribución de reloj interna o externa.



Familia Spartan-3e, DCM

▶ Puertos del símbolo DCM:

- ▶ CLK0 (OUT). Misma frecuencia que CLKIN, sin desfasamiento, 50 % duty-cycle (si DUTY_CYCLE_CORRECTION=“true”), CLK0 puede ser la entrada de CLKFB.
- ▶ CLK90 (OUT). Misma frecuencia que CLKIN, desfasada 90°, 50 % duty-cycle (si DUTY_CYCLE_CORRECTION=“true”).
- ▶ CLK180 (OUT). Misma frecuencia que CLKIN, desfasada 180°, 50 % duty-cycle (DUTY_CYCLE_CORRECTION=“true”).
- ▶ CLK270 (OUT). Misma frecuencia que CLKIN, desfasada 270°, 50 % duty-cycle (DUTY_CYCLE_CORRECTION=“true”).



Familia Spartan-3e, DCM

▶ Puertos del símbolo DCM:

- ▶ CLK2X (OUT). El doble de frecuencia que CLKIN, sin desfasamiento, 50 % duty-cycle siempre, CLK2X puede ser la entrada de CLKFB.
- ▶ CLK2XI80 (OUT). El doble de frecuencia que CLKIN, desfasada 180°, 50 % duty-cycle siempre.
- ▶ CLKDV (OUT). Divide a CLKIN entre el valor contenido en el atributo CLKDV_DIVIDE. Tiene un 50 % duty-cycle a menos que el atributo DLL_FREQUENCY_MODE sea “HIGH” y el atributo CLKDV_DIVIDE tenga un valor no entero.

$$F_{CLKDV} = \frac{F_{CLKIN}}{CLKDV_DIVIDE}$$



Familia Spartan-3e, DCM

- ▶ **Puertos del símbolo DCM:**

- ▶ CLKFX (OUT). Salida de reloj sintetizada; controlada por los atributos CLKFX_MULTIPLY y CLKFX_DIVIDE; siempre tiene un duty-cycle de 50 %;

$$F_{CLKFX} = F_{CLKIN} \bullet \frac{CLKFX_MULTIPLY}{CLKFX_DIVIDE}$$

- ▶ CLKFX180 (OUT). Salida de reloj sintetizada; desfasada 180° con respecto a CLKFX; siempre tiene un duty-cycle de 50 %;



Familia Spartan-3e, DCM

▶ Puertos del símbolo DCM:

- ▶ PSEN (IN). Habilitador del desplazamiento de fase dinámico. Activo en alto.
- ▶ PSCLK (IN). Señal de reloj del desplazamiento de fase dinámico. Activa en el flanco de subida.
- ▶ PSINCDEC (IN). Señal de Incremento/Decremento del desplazamiento de fase dinámico. 0/I incremento/decremento en el flanco de subida de PSCLK.
- ▶ PSDONE (OUT). Indica si un desplazamiento de fase dinámico fue completado: '0' desplazamiento de fase dinámico en progreso, 'I' desplazamiento de fase dinámico completado.
- ▶ LOCKED (OUT). Indica si todas las salidas del DCM son validas:
 - ▶ '0' las salidas no son validas
 - ▶ 'I' las salidas son validas.

Familia Spartan-3e, DCM

- ▶ Puertos del símbolo DCM:
 - ▶ STATUS (OUT):
 - ▶ STATUS[0]. Indicador de sobreflujo en el desplazamiento de fase dinámico.
 - ▶ STATUS[1]. Indica si la señal CLKIN está oscilando: '0' CLK está oscilado, '1' CLK está detenida.
 - ▶ STATUS[2]. Indica si las señales CLKFX y CLKFX180 están oscilando: '0' CLKFX y CLKFX180 están oscilado, '1' CLKFX y CLKFX180 están detenidas.
 - ▶ STATUS[7:3]. Reservado



Familia Spartan-3e, DCM

- ▶ Atributos del DCM:
 - ▶ Permiten acceder y/o modificar las características del DCM.
 - ▶ **DLL_FREQUENCY_MODE**. Especifica el rango de frecuencia a la que operara el DCM.
 - ▶ “LOW”. Frecuencias bajas.
 - ▶ “HIGH”. Frecuencias altas.
 - ▶ **CLK_FEEDBACK**. Define la señal que será retroalimentada al pin CLKFB.
 - ▶ “IX”. Se usará CLK0.
 - ▶ “2X”. Se usará CLK2X.
 - ▶ Ninguno. No hay retroalimentación.



Familia Spartan-3e, DCM

- ▶ Atributos del DCM:
 - ▶ **DUTY_CYCLE_CORRECTION**. Habilita la corrección a 50% del duty-cycle para: _____?
 - ▶ “True”. Habilita corrección del duty-cycle.
 - ▶ “False”. Deshabilita corrección del duty-cycle.
 - ▶ **CLKDV_DIVIDE**. Define la frecuencia de CLKDV. Valores validos: 1.5, 2, 2.5, 3, 3.5, 4, 4.5, 5, 5.5, 6, 6.5, 7, 7.5, 8, 9, 10, 11, 12, 13, 14, 15, 16.

$$F_{CLKDV} = \frac{F_{CLKIN}}{CLKDV_DIVIDE}$$



Familia Spartan-3e, DCM

► Atributos del DCM:

- CLKFX_MULTIPLY y CLKFX_DIVIDE. Definen los factores de multiplicación y división en la obtención de la frecuencia en CLKFX y CLKFXI80.
 - Valores permitidos en CLKFX_MULTIPLY: 2 a 32 (4).
 - Valores permitidos en CLKFX_DIVIDE: 1 a 32 (1).

$$F_{CLKFX} = F_{CLKIN} \bullet \frac{CLKFX_MULTIPLY}{CLKFX_DIVIDE}$$



Familia Spartan-3e, DCM

► Atributos del DCM:

- ▶ **CLKOUT_PHASE_SHIFT.** Selecciona uno de tres modos de desplazamiento de fase de las salidas del DCM.
 - ▶ **NONE.**
 - ▶ **FIXED.**
 - ▶ **VARIABLE.**
- ▶ **PHASE_SHIFT.** Define el desplazamiento entre CLKIN y las salidas del DCM. Desplazamiento de fase variable

FPGA Family	Smallest Phase Shift Unit
Spartan-3 FPGA	1/256 th of the CLKIN clock period, but not less than 30 to 60 ps
Spartan-3E FPGA	DCM_DELAY_STEP, which ranges between 20 to 40 ps per step
Spartan-3A/3AN/3A DSP FPGA	DCM_DELAY_STEP, which ranges between 15 to 35 ps per step

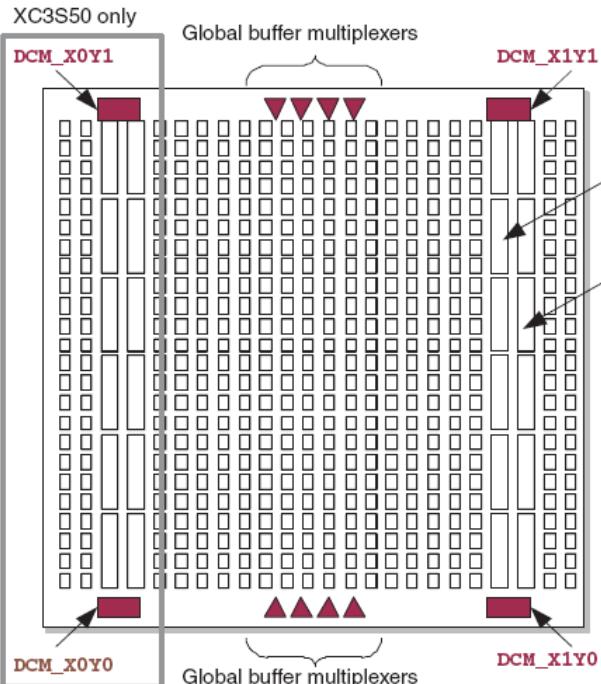


Familia Spartan-3e, DCM

► Atributos del DCM:

- LOC. Especifica la localización física del DCM.

DCM_X0Y0	Lower left DCM.
DCM_X1Y0	Lower right DCM. Not available in XC3S50.
DCM_X0Y1	Upper left DCM.
DCM_X1Y1	Upper right DCM. Not available in XC3S50.



INST "U_DCM" LOC = "DCM_X1Y0";

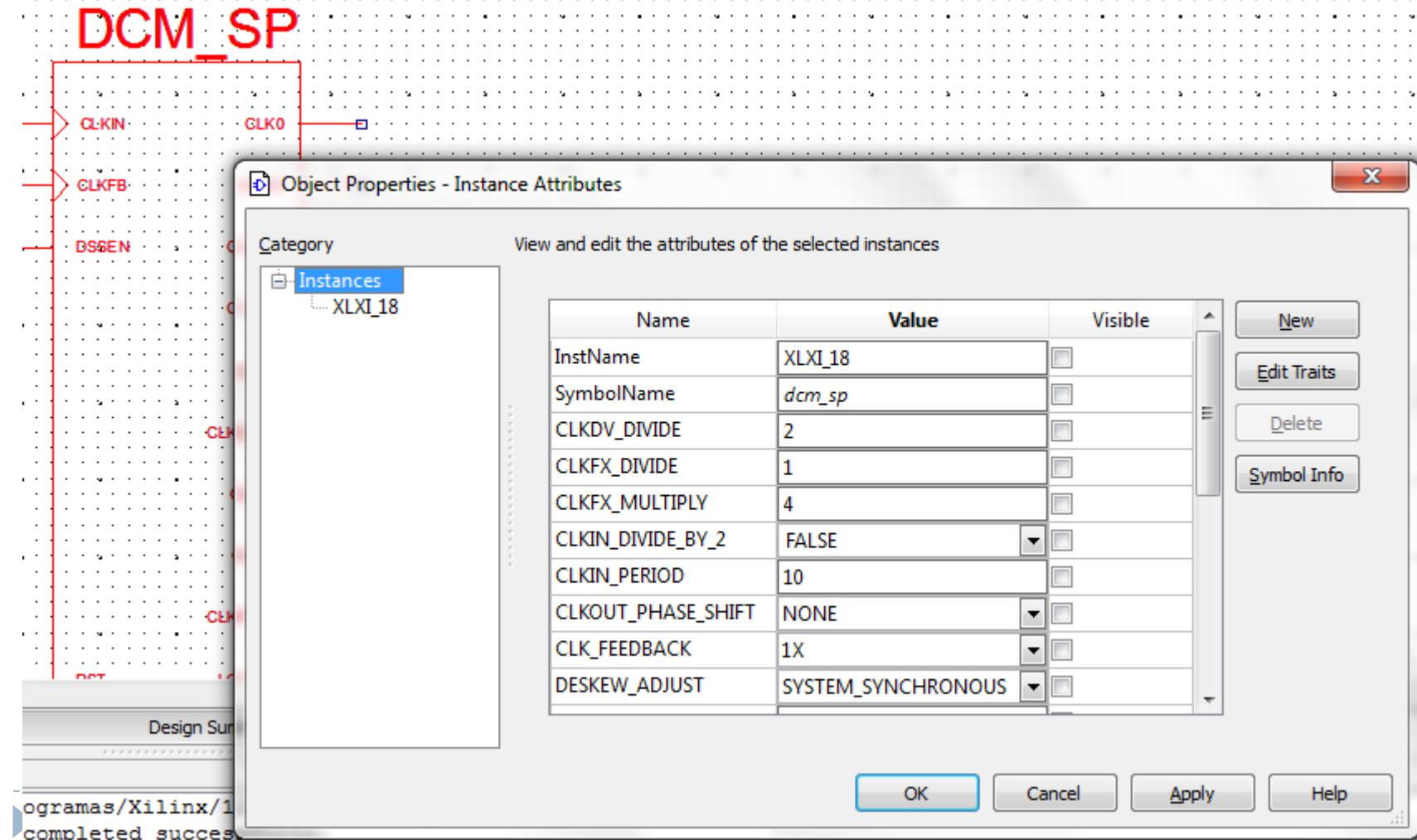
Familia Spartan-3e, DCM

- ▶ Atributos del DCM:
 - ▶ **CLKIN_DIVIDE_BY_2**. Permite dividir a la mitad la frecuencia de la señal del puerto CLKIN.
 - ▶ “False”. Default, la señal entra directo a CLKIN.
 - ▶ “True”. La señal es dividida.



Familia Spartan-3e, DCM

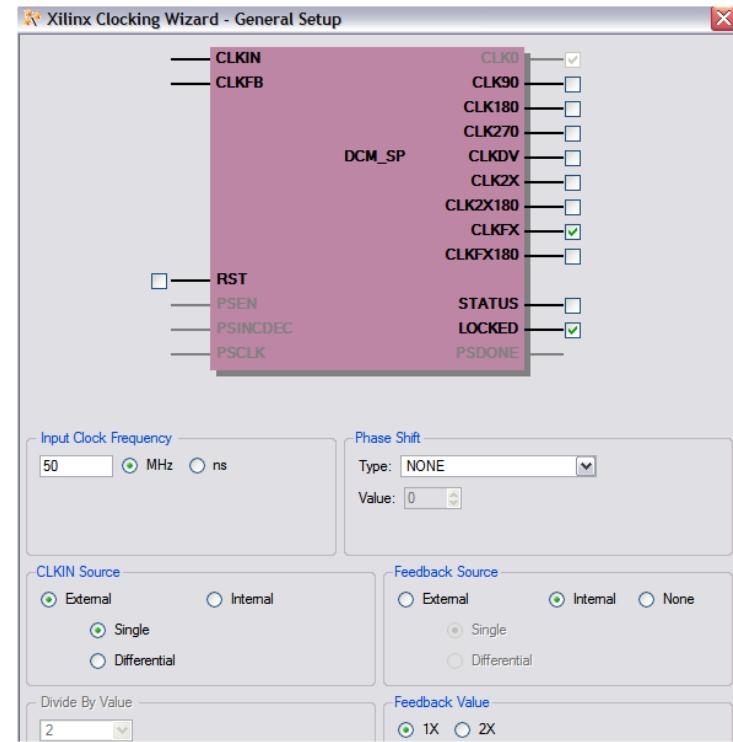
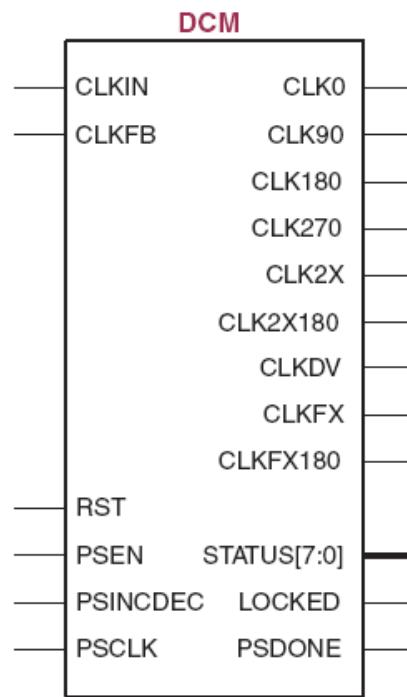
- ▶ Atributos del DCM:
 - ▶ Acceso a los atributos



Familia Spartan-3e, DCM

► Uso de DCMs desde un HDL:

- Instanciar primitivas.
- CORE Generator Clocking Wizard.



Familia Spartan-3e, DCM

▶ Integración de un DCM

