

arRISCado

MC851 - Projeto em
Computação 1

FPGA 3

165429 - Ângelo Renato Pazin Malaguti

195727 - Claudio dos Santos Júnior

233840 - Elton Cardoso do Nascimento

234720 - Gabriel Costa Kinder

198921 - Iago Caran Aquino

218733 - João Pedro de Moraes Bonucci

Objetivo

Um processador funcional capaz de
executar instruções RV32IMAC com
periféricos e Cache

Metas

1. Correção de instruções;
2. Suporte a RV32C;
3. Implementação da Cache L1;
4. Integração dos periféricos.

Pendências Anteriores

1. Corrigir alguns problemas da pipeline na FPGA
2. Corrigir alguns bugs da integração do periférico
3. Adicionar e implementar de fato as instruções do conjunto RV32AC
4. Implementação da Cache L1

Pipeline

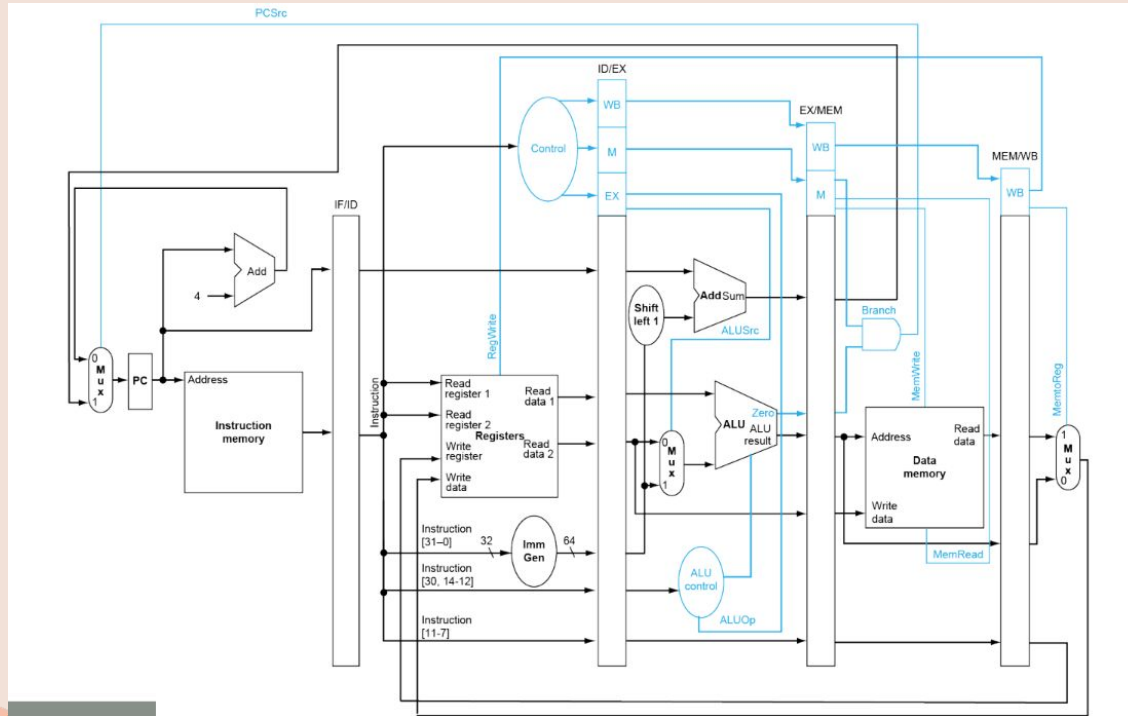
Fetch

Decode

Execute

Mem

Wb



Finalização do Pipeline

- Troca do Yosys pelo Gowin
- Sucesso na execução do pipeline na FPGA
- Pipeline funcional
- Ambiente de execução funcional

Suporte a RV32IMA;

- Corrigimos a operação das instruções de branch.
- Resolvemos o conflito com os valores em negativo e positivo
- Otimizamos para que a maioria das instruções levem apenas um ciclo para serem executadas
- Suporte adicionado a UART

Implementação da Cache L1

- Implementação da Cache L1
- Funciona nos testbenches
- Na FPGA ela consegue fazer apenas uma única leitura
- Implementação não commitada: #78

<https://github.com/arRISCado/arRISCado/pull/78>

*Implementação
não finalizada*

Memory Management Unit

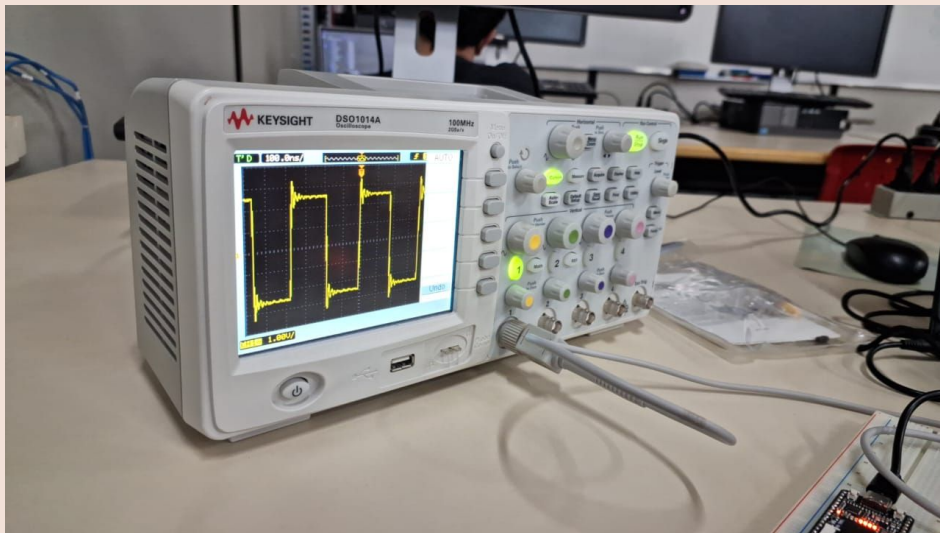
- Periféricos e memória integrados utilizando o MMU
- Chaveia os sinais de entrada e saída segundo o endereço sendo lido/escrito

Periférico: botão

- 2 botões integrados na placa utilizados como periféricos
- 1 registrador para cada
 - Endereços 010xx...xx0 e 010xx...xx1
- Valor é adicionado a cada pulso do botão

Demo

- PWM configurado para 10 clocks em 1 duty cycle
- Pressionar botão 1 soma 1 ao clk_on
- Pressionar botão 2 subtrai 1 ao clk_on



Demo funcional!

Periféricos integrados ao
processador

Aí deu errado...

parte 4

O que será que deu errado dessa vez ??



Pendências

- Cache L1 não foi finalizada a tempo;
- Instruções de Branch e Load precisam de NOPs após elas para garantir funcionamento sem causar erros, pois as bolhas não foram implementadas.

Aprendizado

- Gerenciamento de Projeto: experiência de coordenar a equipe na atribuição de tarefas específicas;
- Adaptação a Novas Tecnologias: A transição do Yosys para o GOWIN;
- Simulação e Testes: Validação do comportamento dos periféricos em simulação e os desafios enfrentados na ativação dos dispositivos de saída com a utilização de diversas ferramentas;
- Desenvolvimento Incremental: Focar em módulos específicos antes da integração completa permitiu um desenvolvimento mais controlado e eficiente;
- Aprofundamento em Verilog: Implementação de estruturas complexas impulsionou conhecimentos de Verilog e HDLs em geral.