

## Глава 1. Обзор продукции фирмы «Xilinx»

### 1. О продукции фирмы «Xilinx»

В 1985 г. американская фирма «Xilinx» представила новый тип логических микросхем — перепрограммируемые пользователем базовые матричные кристаллы (Field Programmable Gate Array, или FPGA). Эти микросхемы предоставляют разработчику электронных устройств все преимущества использования стандартных БМК, добавляя при этом гибкость и значительное сокращение времени выхода устройства на рынок готовой продукции. Возможность реконфигурации кристалла непосредственно на рабочем месте дает принципиально новые средства коррекции ошибок при проектировании. Кроме этого, фирма «Xilinx» выпускает микросхемы с традиционной PAL-архитектурой — Complex Programmable Logic Devices (CPLD).

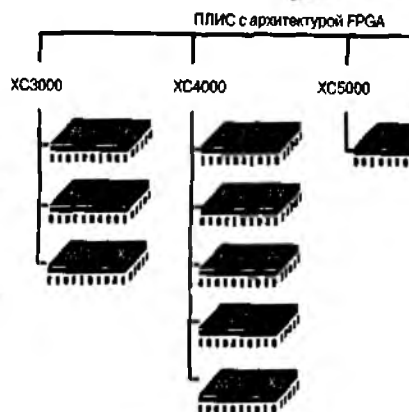
В настоящее время компания «Xilinx» выпускает семь серий ПЛИС (Программируемые Логические Интегральные Схемы) двух типов:

- FPGA — Field Programmable Gate Array,
- CPLD — Complex Programmable Logic Device.

Каждая серия содержит от одного до нескольких семейств, в свою очередь, состоящих из ряда кристаллов различной емкости, быстродействия, типов корпуса. На Рис. 1 показаны серии ПЛИС фирмы «Xilinx» и входящие в них семейства микросхем.

Основные особенности ПЛИС фирмы «Xilinx»:

- \* Значительный объем ресурсов — до 10 млн системных вентилях на кристалл.
- Высокая производительность с системными частотами до 420 МГц.



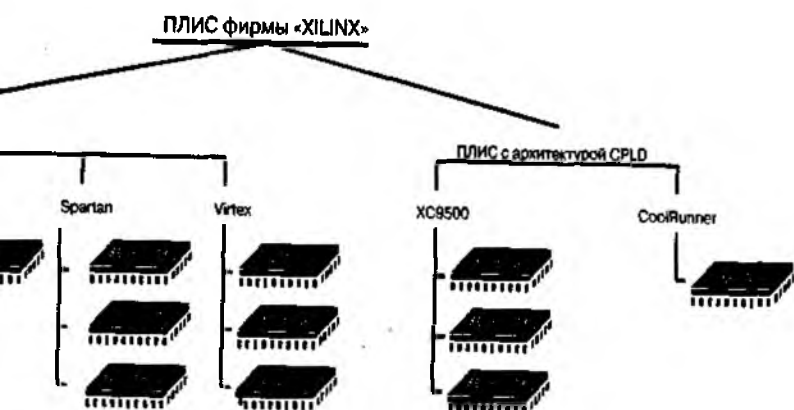


Рис. 1. ПЛИС фирмы «Xilinx»

- Технологические нормы — до 0.12 мкм при восьми слоях металлизации\*.
- Высокая гибкость архитектуры с множеством системных особенностей: внутреннее распределенное и блочное ОЗУ, логика ускоренного переноса, внутренние буферы с третьим состоянием и т.д.
- Возможность инициализации и верификации через порт JTAG.
- Возможность программирования непосредственно в системе.
- Широкая номенклатура кристаллов по типу исполнения.
- Конкурентоспособная стоимость.
- Низкое энергопотребление.
- Короткий цикл проектирования и быстрое время компиляции.
- Развитые и недорогие средства проектирования.
- Возможность перевода проектов в заказные схемы фирмы «Xilinx». Спектр выпускаемых фирмой кристаллов программируемой логики очень широк, поэтому и возможности применения ПЛИС фирмы «Xilinx» также неограниченны, начиная от реализации крупносерийных недорогих логических схем и распространяясь на высокоскоростную цифровую обработку сигналов, разнообразные интерфейсы и т.д. При изготовлении ПЛИС фирмой «Xilinx» используются три основные технологии:

— на основе статического ОЗУ (тип FPGA), при этом конфигурация ПЛИС хранится во внутреннем «теновом» ОЗУ, а инициализация осуществляется из внешнего массива памяти. По данной технологии выполнены серии: Spartan, Virtex, XC3000, XC4000, XC5200;

— на основе FLASH-памяти (тип CPLD), в данном случае конфигурация сохраняется во внутренней энергонезависимой FLASH-памяти и в любой момент времени может быть перезаписана непосредственно из РС. По данной технологии выполнена серия XC9500;

— на основе ЭППЗУ (тип CPLD), в данном случае конфигурация сохраняется во внутреннем энергонезависимом ЭППЗУ и в любой момент времени может быть перезаписана непосредственно из РС. По данной технологии выполнена серия CoolRunner.

Конфигурационная последовательность (bitstream) может быть загружена в ПЛИС FPGA непосредственно в системе и перегружена неограниченное число раз. Инициализация ПЛИС производится автоматически, из загрузочного ПЗУ фирмы «Xilinx» (XC1700 и XC18V00 серий) при подаче напряжения питания или принудительно по специальному сигналу.

Процесс инициализации занимает от 20 до 200 мс, в течение которых выводы ПЛИС находятся в высокоомном состоянии (подтянуты к логической единице). Микросхемы типа CPLD, серий XC9500 и CoolRunner, программируются непосредственно в системе через порт JTAG из ПК, что исключает необходимость применения программатора. Через JTAG-порт обеспечивается и внутреннее тестирование схемы.

На этапе отладки конфигурация может загружаться с компьютера с помощью двух видов кабелей: Parallel Cable III, MultiLinx Cable. Все кабели позволяют проводить программирование по JTAG-порту микросхем CPLD.

При выборе кабеля необходимо учитывать следующие свойства: кабель Parallel

Cable III подключается к параллельному порту персонального компьютера, поддерживает загрузку FPGA и программирование CPLD, а также обратное считывание конфигурации через порт JTAG. Напряжение питания подается с платы (5 В); кабель MultiLinx Cable подключается к порту RS-232 персонального компьютера или рабочей станции, а также к порту USB персонального компьютера. Функционально это аналог XChecker Cable, но с большим набором режимов конфигурации. Напряжение питания подается с платы (2.5...5 В). Фирма «Xilinx» предлагает полный набор программного обеспечения, позволяющего разработать ПЛИС «Xilinx». Программное обеспечение включает в себя схемотехнический ввод, VHDL/Verilog синтез, функциональное моделирование, трассировщик кристаллов, моделирование после трассировки и многое другое.

Существует четыре основных пакета программного обеспечения:

- Alliance Series — пакет ПО, включающий в себя модули только для трассировки и интерфейсы к схемным и текстовым редакторам ввода проекта других фирм.
- Foundation Series — пакет ПО, включающий схемотехнический ввод, VHDL/Verilog синтез, функциональное моделирование, трассировщик кристаллов, моделирование после трассировки.
- WebFitter — трассировщик ПЛИС CPLD серии XC9500. Данный продукт доступен только по сети Internet, физически расположен на сервере фирмы «Xilinx». Пользователю доступен только интерфейс.
- WebPack — свободно распространяемое через сеть Internet ПО для разработки ПЛИС CPLD серий XC9500 и CoolRunner, а также FPGA семейства Spartan-II и микросхему семейства Virtex-E XCV300E. Загружается бесплатно по сети Internet и устанавливается на ПК.

Также фирма «Xilinx» разрабатывает специализированные модули, так называемые логические ядра (CORE), которые могут быть использованы как библиотечные элементы при проектировании устройств на базе ПЛИС. Подробная информация представлена на странице: <http://www.xilinx.com/ipcenter/index.htm>.

## **2. Краткая классификация современных семейств ПЛИС фирмы «Xilinx»**

### **2.1. Virtex-II**

Virtex-II — семейство ПЛИС с архитектурой FPGA. Предназначено для проектирования на его основе высокопроизводительных систем как малой, так и высокой логической емкости. Семейство позволяет реализовать на одном кристалле системы телекоммуникации, радио, сетевые устройства, устройства по обработке видеосигналов, DSP, а также интерфейсные устройства, включая интерфейсы PCI, LVDS и DDR.

Технология производства 0.15 мкм/0.12 мкм КМОП с 8-слойной металлизацией медью. Архитектура Virtex-II оптимизирована для высокоскоростных применений с низким энергопотреблением. Логический объем кристаллов семейства превышает 10 млн вентилей, системные частоты достигают 420 МГц, что по-

звояет использовать их как альтернативу заказным СБИС. Семейство Virtex-II включает 12 микросхем, различающихся по логической емкости. В Табл. 1 представлены основные параметры микросхем семейства Virtex-II.

Основные особенности семейства Virtex-II:

- Логическая емкость от 40К до ЮМ системных вентиляей.
- Системная частота до 420 МГц (предварительные данные).
- Скорость обмена до 840 Мбит/с (предварительные данные).
- Иерархическая система элементов памяти:
  - на базе 4-входовых таблиц преобразования (4-LUT — Look-Up Table), конфигурируемых либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр;
  - встроенная блочная память, каждый блок конфигурируется как синхронное двухпортовое ОЗУ емкостью 18К.

— 15 —

Наименование	Системные вентиля	КЛБ (1 КЛБ = 4 секции = 128 бит (max))			Количество блоков умножителей	Блочная память		Пользовательские блоки ввода-вывода (max)	
		Матрица КЛБ	Количество секций	Распределенная память [Кбит] (max)		Количество блоков	Емкость [Кбит]		
XC2V40	40К	8×8	256	8	4	4	72	4	88
XC2V80	80К	16×8	512	16	8	8	144	4	120
XC2V250	250К	24×16	1 536	48	24	24	432	8	200
XC2V500	500К	32×24	3 072	96	32	32	576	8	264
XC2V1000	1М	40×32	5 120	160	40	40	720	8	432
XC2V1500	1.5М	48×40	7 680	240	48	48	864	8	528
XC2V2000	2М	56×48	10 752	336	56	56	1 008	8	624
XC2V3000	3М	64×56	14 336	448	96	96	1 728	12	720
XC2V4000	4М	80×72	23 040	720	120	120	2 160	12	912
XC2V6000	6М	96×88	33 792	1 056	144	144	2 592	12	1 104
XC2V8000	8М	112×104	46 592	1 456	168	168	3 024	12	1 108
XC2V10000	10М	128×120	61 440	1 920	192	192	3 456	12	1 108

— 16 —

- Быстрые интерфейсы к внешнему высокопроизводительному ОЗУ:
  - 400 Мбит/с DDR-SDRAM интерфейс (предварительные данные);
  - 400 Мбит/с FCRAM интерфейс (предварительные данные);
  - 333 Мбит/с QDR™ -SRAM интерфейс (предварительные данные);
  - 600 Мбит/с Sigma RAM интерфейс (предварительные данные).
- Арифметические функции:
  - встроенные блоки умножителей 18X18;
  - специальная логика ускоренного переноса для высокоскоростных арифметических операций.
- Гибкие логические ресурсы:
  - до 122 880 триггеров;
  - до 122 880 16-разрядных сдвиговых регистров на базе LUT;
  - поддержка многовходовых умножителей и логических функций;
  - внутренние шины с третьим состоянием.

- Цифровые модули управления синхронизацией внутри кристалла и всего устройства:

Таблица 1. Основные параметры микросхем семейства Virtex-II

- до 12 DCM (Digital Clock Manager) модулей;
- выравнивание фронтов с высокой точностью;
- умножение и деление частоты;
- сдвиг фаз;
- уменьшение электромагнитных помех.
- 16 глобальных тактовых мультиплексных буферов.
- Предсказуемые задержки, не зависящие от степени разветвленности<sup>TM</sup>.
- Поддержка большинства стандартов ввода-вывода (технология SelectIO<sup>TM</sup>):
  - 19 высокопроизводительных однопроводных стандартов ввода-вывода и 6 дифференциальных стандартов;
  - программируемый выходной ток 2.. 24 мА;
  - совместимость с PCI-X 133 МГц, PCI 66 МГц и 33 МГц;
  - встроенные DDR регистры ввода и вывода.
- Проектирование осуществляется пакетами программного обеспечения Foundation<sup>TM</sup> и Alliance Series, работающими на ПК или рабочей станции.
- Шифрация/дешифрация конфигурируемых данных по стандарту Triple DES.
- Поддержка стандарта загрузки и верификации IEEE1532.
- Частичное реконфигурирование.
- Неограниченное число циклов загрузки конфигурации.
- Режим пониженного энергопотребления.
- Технология 0.15-мкм с 8-слойной металлизацией и 0.12-мкм быстродействующими транзисторами.
- Напряжение питания ядра кристалла 1.5 В.
- Логика периферийного сканирования в соответствии со стандартом IEEE 1149.1.
- 100%-ное фабричное тестирование.

## 2.2. Virtex, Virtex-E

Virtex, Virtex-E — крупные и высокопроизводительные серии ПЛИС. Логическая емкость кристаллов семейств превышает 4 млн вентилях, системные частоты достигают 320 МГц. Так 16-разрядный умножитель двух переменных операндов функционирует на частоте 210 МГц. Архитектура характеризуется широким разнообразием высокоскоростных трассировочных ресурсов, наличием выделенного блочного ОЗУ, развитой логикой ускоренного переноса. Следует отметить наличие специальных выделенных ресурсов (высокоскоростных мультиплексоров), значительно ускоряющих, операцию матричного умножения. ПЛИС этой серии обеспечивают высокие скорости межкристального обмена — до 311 МГц. Кристаллы данных серий за счет развитой технологии производства и усовершенствованного процесса верификации имеют достаточно низкую стоимость (до 25% от эквивалентной стоимости серии XC4000XL). В Табл. 2 и Табл. 3 представлены основные параметры микросхем семейства Virtex и Virtex-E соответственно.

Таблица 2. Основные параметры микросхем семейства Virtex

Наименование	Системные вентили	Матрица КЛБ	Логические ячейки	Число доступных входов-выходов (max)	Блочная память [бит]	Память на базе LUT [бит]
XCV50	57906	16×24	1 728	180	32 768	24 576
XCV100	108 904	20×30	2 700	180	40 960	38 400
XCV150	164 674	24×36	3 888	260	49 152	55 296
XCV200	236 666	28×42	5 292	284	57 344	75 264
XCV300	322 970	32×48	6 912	316	65 536	98 304
XCV400	468 252	40×60	10 800	404	81 920	153 600
XCV600	661 111	48×72	15 552	512	98 304	221 184
XCV800	888 439	56×84	21 168	512	114 688	301 056
XCV1000	1 124 022	64×96	27 648	512	131 072	393 216

### Основные особенности семейства Virtex:

- Программируемые пользователем логические интегральные схемы, рекомендуемые для замены ASIC (applications specific integrated circuit — специализированная интегральная схема).
- Логическая емкость от 50К до 1М системных вентиляей.
- Системная производительность до 200 МГц.
- Поддержка функции Hot-swap для Compact PCI.
- Технология Virtex Select I/O поддерживает 17 различных стандартов по вводу-выводу, среди которых LVTTTL, LVCMOS2, PC133\_5, PCI66\_5, PCI33\_3, PCI66\_3, GTL, GTL+, SSTL2(I), SSTL2(II), SSTL3(I), SSTL3(II), HSTL(I), HSTL(II), HSTL(III), AGP, CTT.
- Четыре специальных схемы автоподстройки задержек (DLL) для улучшенного управления тактированием.

Таблица 3. Основные параметры микросхем семейства Virtex-E

Наименование	Системные вентили	Матрица КЛБ	Логические ячейки	Дифференциальные пары ввода-вывода	Число доступных входов-выходов (max)	Блочная память [бит]	Память на базе LUT [бит]
XCV50E	71 693	16×24	1 728	83	176	65 536	24 576
XCV100E	128 236	20×30	2 700	83	196	81 920	38 400
XCV200E	306 393	28×42	5 292	119	284	114 688	75 264
XCV300E	411 955	32×48	6 912	137	316	131 072	98 304
XCV400E	569 952	40×60	10 800	183	404	163 840	153 600
XCV405E	1 129 600	40×60	10 800	183	404	573 440	153 600
XCV600E	985 882	48×72	15 552	247	512	294 912	221 184
XCV812E	2 254 016	56×84	21 168	201	556	1 146 880	301 056
XCV1000E	1 569 178	64×96	27 648	281	660	393 216	393 216
XCV1600E	2 188 742	72×108	34 992	344	724	589 824	497 664
XCV2000E	2 541 952	80×120	43 200	344	804	655 360	614 400
XCV2600E	3 263 755	92×138	57 132	344	804	753 664	812 544
XCV3200E	4 074 387	104×156	73 008	344	804	851 968	1 038 336

- Четыре основные сети глобального распределения сигналов тактирования с малыми разбегами фронтов, плюс 24 дополнительные локальные тактовые линии.
- Иерархическая 3-уровневая система элементов памяти: — реализация на базе 4-входового функционального генератора (4-LUT —



LookUp Table), конфигурируемого либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр;

— встроенная блочная память, каждый блок конфигурируется как 4-Кбит синхронное двухпортовое ОЗУ;

— быстрые интерфейсы к внешнему высокопроизводительному ОЗУ.

- Специальная логика ускоренного переноса для высокоскоростных арифметических операций.

- Специальная поддержка умножителей.

- Каскадируемые цепочки для функций с большим количеством входов.

- Большое число регистров с разрешением тактирования и синхронные/асинхронные цепи установки и сброса.

- Внутренние шины с тремя состояниями.

- Логика периферийного сканирования в соответствии со стандартом IEEE1149.1.

- Поддерживается системами проектирования Foundation Series и Alliance Series.

- Производятся по 0.22-мкм технологии КМОП СОЗУ с 5-слойной металлизацией.

- 100%-ное фабричное тестирование. Основные особенности семейства Virtex-E:

- Программируемые пользователем логические интегральные схемы, рекомендуемые для замены ASIC (applications specific integrated circuit — специализированная интегральная схема).

- Логическая емкость от 58К до 4М системных вентиляей.

- Системная частота до 320 МГц.

- Поддержка 3.3 В, 32/64 бит, 33/66 МГц PCI.

- Технология Virtex SelectI/O поддерживает 20 различных стандартов по вводу-выводу, среди которых LVTTTL, LVCMOS2, LVCMOS18, PCI33\_3, PCI66\_3, GTL, GTL+, SSTL2(I), SSTL2(II), SSTL3(I), SSTL3(II), HSTL(I), HSTL(II), HSTL(III), AGP, TTL, LVDS, BLVDS, LVPECL, TTL.

- Восемь специальных схем автоподстройки задержек (DLL) для улучшенного управления тактированием.

- Четыре основные сети глобального распределения сигналов тактирования с малыми разбегами фронтов, плюс 24 дополнительные локальные тактовые линии.

- Иерархическая 3-уровневая система элементов памяти:

— распределенная, реализация на базе 4-входового функционального генератора (4-LUT — LookUp Table), конфигурируемого либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр, максимальный объем 1 Мбит;

— встроенная блочная память до 832 Кбит, каждый блок конфигурируется как 4-Кбит синхронное двухпортовое ОЗУ;

— быстродействующие интерфейсы к внешнему ОЗУ (200 МГц ZBT SRAM, 200 Мбит/с DDR SDRAM).

- Специальная логика ускоренного переноса для высокоскоростных арифмети-

ческих операций.

- Специальная поддержка умножителей.
- Каскадируемые цепочки для функций с большим количеством входов.
- Большое число регистров с разрешением тактирования и синхронные/асинхронные цепи установки и сброса.
- Внутренние шины с тремя состояниями.
- Логика периферийного сканирования в соответствии со стандартом IEEE1149.1.
- Поддерживается системами проектирования Foundation Series и Alliance Series.
- Производятся по технологии 0.18-мкм КМОП CO3У с 6-слойной металлизацией.
- 100%-ное фабричное тестирование. Отличия от семейства Virtex:
- Технология производства 0.18-мкм КМОП CO3У с 6-слойной металлизацией для VirtexE, 0.22-мкм КМОП CO3У с 5-слойной металлизацией для Virtex.
- Увеличение емкости в 3 раза.
- Увеличение числа блоков ввода-вывода в 1.5 раза (с 512 до 804).
- Увеличение быстродействия блоков ввода-вывода в 1.5 раза (с 200 МГц до 311 МГц).
- Увеличение максимальной емкости блочной памяти в 6.5 раза (с 128 Кбит до 832 Кбит).
- 8 DLL в VirtexE и 4 DLL в Virtex.
- Увеличение числа пользовательских блоков ввода-вывода до 804.

### **2.3. Spartan-II**

Spartan-II — новая серия ПЛИС фирмы «Xilinx», предоставляющая оптимальное отношение производительность + системные особенности/стоимость — до 10\$ за 100 тыс. вентилей с системной частотой 200 МГц!

Кристаллы серии перекрывают диапазон вентилей от 15 до 200 тыс. По архитектуре очень похожи на микросхемы серии Virtex. Серия предназначена для производства устройств широкого потребления и представляет отличную альтернативу заказным ASIC. В Табл. 4 представлены основные параметры микросхемы семейства Spartan-II.

Основные особенности семейства Spartan-II:

- Высокопроизводительные, программируемые пользователем логические интегральные схемы с архитектурой FPGA (Field Programmable
  - Gate Arrays):
- емкость от 15 000 до 200 000 системных вентилей;

Таблица 4. Основные параметры микросхем семейства Spartan-II

Наименование	Логические ячейки	Системные вентиля	Матрица КЛБ	КЛБ	Блочное ОЗУ [бит]	Пользовательские блоки ввода-вывода
XC2S15	432	15 000	8×12	96	16 384	86
XC2S30	972	30 000	12×18	216	24 576	132
XC2S50	1 728	50 000	16×24	384	32 768	176
XC2S100	2 700	100 000	20×30	600	40 960	196
XC2S150	3 888	150 000	24×36	864	49 152	260
XC2S200	5 292	200 000	28×42	1 176	57 344	284

- системная производительность до 200 МГц;
- совместимость с шиной PCI 66 МГц;
- поддержка функции Hot-swap для Compact PCI;
- поддержка большинства стандартов ввода-вывода (технология SelectIO™);
- 16 высокопроизводительных стандартов ввода-вывода;
- прямое подключение к ZBTRAM-устройствам;
- сборка в недорогие корпуса;
- совместимость по выводам кристаллов разной емкости в одинаковых корпусах.
- Встроенные цепи управления тактированием:
  - четыре встроенных модуля автоподстройки задержек (DLL — delay-locked loop) для расширенного управления тактовыми сигналами как внутри ПЛИС, так и всего устройства;
  - четыре глобальные сети распределения тактовых сигналов с малыми разбегами фронтов, плюс 24 локальные тактовые сети.
- Иерархическая система элементов памяти:
  - на базе 4-входовых таблиц преобразования (4-LUT — Look-UpTable), конфигурируемых либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр;
  - встроенная блочная память, каждый блок конфигурируется как синхронное двухпортовое ОЗУ емкостью 4 Кбит;
  - быстродействующие интерфейсы к внешнему высокопроизводительному ОЗУ.
- Гибкая архитектура с балансом быстродействия и плотности упаковки логики:
  - специальная логика ускоренного переноса для высокоскоростных арифметических операций;
  - специальная поддержка умножителей;
  - каскадируемые цепочки для функций с большим количеством входов;
  - многочисленные регистры/защелки с разрешением тактирования и синхронные/асинхронные цепи установки и сброса;
  - внутренние шины с тремя состояниями;
  - логика периферийного сканирования в соответствии со стандартом IEEE1149.1;
  - проектирование осуществляется пакетами программного обеспечения Found-

dation™ и Alliance Series, работающими на ПК или рабочей станции.

- Конфигурация кристалла хранится во внешнем ПЗУ и загружается в ПЛИС после включения питания автоматически или принудительно:

- неограниченное число циклов загрузки;

- четыре режима загрузки.

- Гибридная 0.18-МКМ/0.22-МКМ КМОП-технология с 6-слойной металлизацией на основе статического ОЗУ.

- 100%-ное фабричное тестирование.

## 2.4. Spartan

Spartan — 5-В серия ПЛИС, по архитектуре схожая с семейством XC4000. Серия Spartan выступает как альтернатива по стоимости заказным СБИС при высоких объемах производства. Построенная на основе архитектуры семейства XC4000 и охватывающая до 40 тыс. вентилях, серия имеет высокую производительность, накристалльное ОЗУ, широкий набор специализированных библиотек проектирования (так называемых логических ядер) и, что особенно важно, крайне низкую стоимость (до 20% от стоимости кристаллов серии XC4000E). Рекомендуются использовать для высокоскоростных недорогих проектов с логическим объемом до 40 тыс. вентилях. В Табл. 5 представлены основные параметры микросхем семейства Spartan.

### Основные особенности семейства Spartan:

- Программируемые пользователем логические интегральные схемы, рекомендуемые для замены ASIC (applications specific integrated circuit — специализированная интегральная схема).

Таблица 5. Основные параметры микросхем семейства Spartan

Параметр	XCS05	XCS10	XCS20	XCS30	XCS40
Системные вентиля	2К...5К	3К...10К	7К...20К	10К...30К	13К...40К
Логические ячейки	238	466	950	1 368	1 862
Матрица КЛБ	10×10	14×14	20×20	24×24	28×28
Триггеры	360	616	1 120	1 536	2 016
Накристалльное ОЗУ [бит]	3К	6К	13К	18К	25К
Напряжение питания ядра [В]	5	5	5	5	5
Максимум пользовательских блоков ввода-вывода	77	112	160	192	224

- Технология производства: 0.5-мкм КМОП СОЗУ с 3-слойной металлизацией.

- Напряжение питания: 5 В.

- Объем логики от 5 000 системных вентилях до 40 000.

- Накристалльная память с возможностью реализации синхронного и двухпортового ОЗУ.

- Полная совместимость по вводу-выводу с PCI.

- Встроенная логика быстрого переноса.

- Иерархия программируемых линий коммутации.

- Внутренние шины с тремя состояниями.

- 8 глобальных тактовых линий с низкой задержкой распространения.

- Системная частота 80 МГц.

- Возможность тестирования по интерфейсу JTAG.
- Программируемые входные «pull-up» и «pull-down» резисторы.
- Выходной ток блока вывода 12 мА.
- Неограниченное число циклов загрузки конфигурации.
- Выпускаются в коммерческом и промышленном исполнении.
- Поддержка проектирования программным обеспечением фирмы «Xilinx» Alliance Series и Foundation Series.

## 2.5. SpartanXL

SpartanXL — 3.3-В версия серии Spartan. Архитектура приборов серии идентична серии Spartan, однако за счет использования более высокотехнологичного процесса достигаются более высокая скорость, низкое потребление и стоимость по сравнению с 5-В серией Spartan. В Табл. 6 представлены основные параметры микросхем семейства.

Таблица 6. Основные параметры микросхем семейства SpartanXL

Параметр	XCS05XL	XCS10XL	XCS20XL	XCS30XL	XCS40XL
Системные вентили	2К...5К	3К...10К	7К...20К	10К...30К	13К...40К
Логические ячейки	238	466	950	1 368	1 862
Матрица КЛБ	10×10	14×14	20×20	24×24	28×28
Триггеры	360	616	1 120	1 536	2 016
Накristальное ОЗУ [бит]	3К	6К	13К	18К	25К
Напряжение питания ядра [В]	3.3	3.3	3.3	3.3	3.3
Максимум пользовательских блоков ввода-вывода	77	112	160	192	224

## 2.6. XC3000, XC4000, XC5200

XC3000, XC4000, XC5200 — серии морально устаревшие, не рекомендуется использовать в новых проектах. Рекомендуется замена на кристаллы серий Spartan и Virtex.

## 2.7. XC9500

XC9500 — ПЛИС типа CPLD на основе Fast FLASH технологии. Семейство XC9500 в составе серий XC9500, XC9500XL (3.3 В), XC9500XV (2.5 В) предоставляет разработчику уникальное сочетание высокой производительности, гибкости, широкого ряда системных особенностей, возможности программирования непосредственно в системе и низкой стоимости. Основное предназначение ПЛИС семейства — небольшие проекты объемом до 6400 системных вентилей, в частности высокоскоростные интерфейсные и коммутационные узлы, сложные дешифраторы и различные комбинационные схемы. В Табл. 7 представлены основные параметры микросхем семейства XC9500.

Основные особенности семейства XC9500:

- Системная частота до 125 МГц (196 МГц для XL).
- Задержка распространения «контакт-контакт» до 4 нс.
- От 36 до 288 макроячеек (от 800 до 6400 эквивалентных логических вентилей).
- От 34 до 192 внешних пользовательских выводов.
- Широкий диапазон корпусов — от PLCC до BGA (включая CSP и VQFP).

- Совместимость с 3.3-В, 5-В внешней логикой.
- Ток нагрузки по выходу 24 мА.
- 10 тыс. циклов репрограммирования.

Таблица 7. Основные параметры микросхем семейства 9500

Параметр	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Число макроячеек	36	72	108	144	216	288
Число вентиляей	800	1600	2400	3200	4800	6400
Число триггеров	36	72	108	144	216	288
$t_{PD}$ [нс]	5	7.5	7.5	7.5	10	10
$t_{SU}$ [нс]	3.5	4.5	4.5	4.5	6.0	6.0
$t_{CO}$ [нс]	4.0	4.5	4.5	4.5	6.0	6.0
$f_{CNT}$ [МГц]	100	125	125	125	111.1	111.1
$f_{SYSTEM}$ [МГц]	100	83.3	83.3	83.3	66.7	66.7

Примечание:  $f_{CNT}$  — частота работы 16-разрядного счетчика;  $f_{SYSTEM}$  — внутренняя частота для проектов, использующих несколько функциональных блоков.

- Срок хранения конфигурации до 20 лет.
- Полная поддержка JTAG IEEE 1149.1.
- Защита от считывания и перезаписи конфигурации (биты секретности).
- Развитые средства проектирования, в т.ч. на HDL.
- Чрезвычайно малое время компиляции проекта.
- Низкая стоимость кристаллов — до 3\$ за 36 макроячеек.

Каждое семейство серии ПЛИС XC9500 содержит до 6 кристаллов различной емкости, быстродействия, типов корпуса. Характерной особенностью серии является практически 100% разводка кристалла при полностью закрепленных внешних выводах.

Проектирование ПЛИС серии XC9500 осуществляется с помощью САПР Foundation Series 3.П (в том числе базового варианта) и WebPACK.

Серия XC9500 обеспечивает высокую производительность, гибкость, достаточно низкую стоимость. За счет предопределенности задержек распространения сигналов на кристалле обеспечивается хорошая предсказуемость результата трассировки, быстрое время компиляции.

Следует использовать в качестве высокоскоростной логики с минимальными временами задержки «контакт-контакт», для реализации разнообразных конечных автоматов, гибких адресных декодеров, и в том числе как альтернативу PAL-микросхем.

По сравнению с ПЛИС на основе ОЗУ недостатками являются: более высокое энергопотребление и ограниченное число триггеров.

## 2.8. XC9500XL

XC9500XL — 3.3-В версия серии XC9500. За счет использования усовершенствованного процесса производства и перехода на напряжение питания 3.3 В (в то время как обеспечивается сигнальная совместимость с 5-В приборами) достигнуто снижение потребляемой мощности и стоимости, а также общее повышение быстродействия. В Табл. 8 представлены основные параметры микросхем семейства XC9500XL.

Таблица 8. Основные параметры микросхем семейства 9500XL

Параметр	XC9536XL	XC9572XL	XC95144XL	XC95288XL
Число макроячеек	36	72	144	288
Число вентиляей	800	1 600	3 200	6 400
Число триггеров	36	72	144	288
$t_{PD}$ [нс]	4	5	5	6
$t_{SU}$ [нс]	3	3.7	3.7	4.1
$t_{CO}$ [нс]	3	3.5	3.5	4.3
$f_{SYSTEM}$ [МГц]	200	178	178	151

Примечание:  $f_{SYSTEM}$  — внутренняя частота для проектов, использующих несколько функциональных блоков.

## 2.9. XC9500XV

XC9500XV — 2.5-В версия серии XC9500. В кристаллах данной серии питание ядра осуществляется от источника 2.5 В, питание блоков ввода-вывода — от 1.8 В, 2.5 В, 3.3 В по выбору. Стоимость ПЛИС данной серии еще ниже по сравнению с XC9500XL. Использование серии XC9500XV возможно в мобильных приложениях с пониженным напряжением питания.

## 2.10. XPLA3 (серия CoolRunner)

XPLA3 — новое, значительно удешевленное семейство CPLD серии CoolRunner. Семейство ПЛИС XPLA3 (extended Programmable Logic Array) является дальнейшим развитием серии микросхем CoolRunner®. Микросхемы семейства XPLA3 предназначены для использования в системах с низким потреблением тока, которые включают мобильные, карманные и чувствительные к энергопотреблению приложения. Каждый кристалл семейства XPLA3 производится с использованием технологии FZP

(Fast Zero Power). Технология FZP позволяет производить кристаллы с задержкой распространения «контакт-контакт» до 5 нс, и потреблением менее 100 мкА в статике, без использования дополнительных схем перевода в малое потребление. Такое низкое потребление (более чем в 100 раз меньше, чем у микросхем CPLD других производителей) обусловлено применением методики, основанной полностью на КМОП-транзисторах. В отличие от всех других CPLD, где используются методы усилителя считывания для реализации логических производений (которые применяются со времен биполярных технологий), в CPLD серии CoolRunner® применяются каскадные цепи КМОП-вентилей. Потребление тока в динамике для микросхем серии CoolRunner® также значительно ниже (в 3.. 4 раза), чем всех остальных ПЛИС с архитектурой CPLD.

Разработка конфигурации кристалла семейства XPLA3 осуществляется с помощью пакета программного обеспечения WebPACK. Пакет включает в себя программы схемного и текстового (Abel, VHDL) ввода, программу верификации, трассировки и программирования. Разработка осуществляется на ПК или рабочей станции.

Для программирования микросхем семейства XPLA3 не требуется программатор — перепрограммирование осуществляется сигналами от элементов с напряжением питания 3.3 В через специальные выводы микросхемы (JTAG-порт) в той же системе, где и применяется данная ПЛИС. Минимальное число циклов

перепрограммирования микросхемы превышает 1000. Записанная конфигурация может сохраняться более 20 лет. Программирование и перепрограммирование, помимо программирования/перепрограммирования в системе, может также осуществляться программаторами таких производителей, как «Data I/O», «BP Microsystems», «SMS» и т.д.

В состав семейства XPLA3 входят пять микросхем, емкостью от 32 до 394 макроячеек (от 800 до 9600 логических вентилях соответственно) в различных корпусах. Все микросхемы семейства XPLA3 совместимы по выводам, что обеспечивает возможность легкого перехода от одной микросхемы к другой в том же корпусе.

В Табл. 9 представлены основные параметры микросхем семейства XPLA3.

Основные особенности семейства XPLA3:

- ПЛИС с архитектурой CPLD (Complex Programmable Logic Device — комплексные программируемые логические устройства (КПЛУ)).

Таблица 9. Основные параметры микросхем семейства XPLA3

Параметр	XCR3032XL	XCR3064XL	XCR3128XL	XCR3256XL	XCR3384XL
Число макроячеек	32	64	128	256	384
Число вентилях	800	1 600	3 200	6 400	9 600
Число регистров	32	64	128	256	384
Число пользовательских блоков ввода-вывода	36	68	108	164	212
$t_{PD}$ [нс]	5.0	6.0	6.0	7.5	7.5
$t_{SU}$ [нс]	1.7	2.0	2.0	2.0	2.0
$t_{CO}$ [нс]	3.5	4.0	4.0	4.5	4.5
$f_{SYSTEM}$ [МГц]	175	145	145	140	127

- Напряжение питания ядра кристалла составляет 3.3 В.
- Методология проектирования FZP (Fast Zero Power) обеспечивает ультранизкое потребление и высокое быстродействие.
- Передовая архитектура XPLA3 обеспечивает высокое быстродействие и гибкость при реализации проекта пользователя.
- Технология производства 0.35-мкм EEPROM КМОП.
- Не менее 1000 циклов запись/стирание.
- Время сохранности записанной информации не менее 20 лет.
- Возможность перепрограммирования в системе с напряжением питания 3.3 В, используя интерфейс JTAG IEEE 1149.1.
- Ультранизкое потребление в статике (менее 100 мкА).
- Простая детерминированная модель временных задержек распространения сигналов внутри кристалла.
- Возможность асинхронного тактирования элементов схемы:
  - 20 тактовых сигналов, производимых внутри логического блока;
  - 4 глобальных тактовых сигнала, получаемых извне кристалла.
- Расширенные возможности закрепления выводов перед трассировкой;
- Совместимость блоков ввода-вывода с 5-В логикой.
- Время установки данных на входы входных регистров кристалла 1.7 нс.
- Системная частота до 175 МГц.
- Задержка от входа до выхода по всем выводам до 5 нс.



- Программируемая задержка на каждый выход.
- Расширенная возможность защиты схемы от копирования.
- Поддержка функции hot-plugging.
- Проектирование осуществляется универсальными (третьих фирм) и специализированными (фирмы «Xilinx») САПР: WebPACK.
- Четыре сигнала разрешения вывода на каждый логический блок.
- Асинхронное тактирование макроячеек.;
- Асинхронный сброс/предустановка триггера макроячейки.
- Сигнал разрешения тактирования в каждой макроячейке.
- Выпускаются в коммерческом и промышленном исполнении.
- Совместимы по выводам с кристаллами других семейств серии CoolRunner.

### **3. Типы реализации приложений на ПЛИС**

Все ПЛИС фирмы «Xilinx» являются микросхемами общего назначения в том смысле, что могут реализовать любой тип логики. В то же время специфические особенности какой-либо из серий могут для конкретного проекта быть более предпочтительными, что в конечном итоге скажется на общей стоимости проекта.

Для минимальных величин задержек от входа до выхода и наиболее быстрых триггеров. Рекомендуется использовать серии XC9500, CoolRunner или, если объединительной способности по входу логического блока достаточно, Spartan или серию Virtex. ПЛИС типа CPLD XC9500/XL имеют PAL-подобную И/ИЛИ структуру, которая уже по своему принципу очень быстрая. В серии Spartan максимальное число входов одного логического блока ограничивается девятью. Высокоскоростные внутренние межсоединения серии Virtex также обеспечивают предельно малые времена «контакт-контакт».

Реализация быстрых конечных автоматов. Для выполнения декодирующих конечных автоматов с большой разрядностью предпочтительнее использовать серии XC9500, CoolRunner. При построении конечных автоматов типа «1 из N» также возможно использование серий Spartan или Virtex.

Реализация быстрых счетчиков, сумматоров/вычитателей, аккумуляторов, компараторов. Для реализации широкого спектра приведенных функций рекомендуется использовать серии Spartan, XC9500, CoolRunner. Серии Spartan и Virtex имеют развитую логику ускоренного переноса, дающую наибольшую эффективность при работе с данными разрядностью 8...32 бит.

Быстрое время компиляции. Для небольших проектов предпочтительнее использовать семейства XC9500, XC9500XL, XC9500XV, для проектов средних размеров (до 40 тыс. вентилей) — Spartan, Spartan-XL, для проектов большого объема — Virtex, Spartan-II (скорость компиляции — до 200 тыс. вентилей в час)! ПЛИС типа CPLD серии XC9500 обеспечивают очень малое время компиляции за счет PAL-подобной архитектуры.

Минимальная удельная стоимость на один вентиль. Семейства Spartan и Spartan-XL для проектов до 40 тыс. системных вентилей, семейства Spartan-II, Virtex и Virtex-E для проектов свыше 50 тыс. вентилей.

Цифровая обработка сигналов. Рекомендуется использовать следующие семей-

ства: Spartan, Spartan-XL, Spartan-II, Virtex и Virtex-E. Сочетание архитектуры на основе LUT-таблиц с логикой ускоренного переноса ПЛИС оптимально для реализации алгоритмов распределенной арифметики, а наличие выделенных ресурсов матричного умножения (семейства Virtex, Virtex-E, Spartan-II) обуславливает эффективное построение быстродействующих умножителей в фиксированном формате данных со значительной экономией основных логических ресурсов (КЛБ, ОЗУ) ПЛИС.

#### **4. Характерные особенности ПЛИС**

**Внутреннее ОЗУ.** В сериях ПЛИС Spartan и Virtex LUT таблицы могут быть использованы в качестве ячеек памяти 16X1, объединяемые в блоки требуемого размера и разрядности. Кроме того, ПЛИС семейств Virtex, Virtex-E и Spartan-II содержат конфигурируемые блоки двухпортового ОЗУ 4096 X1, также объединяемые в более крупные блоки.

**Двунаправленные шины.** Семейства Spartan, Spartan-XL, Spartan-II, Virtex и Virtex-E имеют на кристалле множество «длинных» линий (long-line), управляемых внутренними буферами с третьим состоянием. ПЛИС серии XC9500 реализуют двунаправленные шины с использованием «монтажного И» непосредственно в переключающей матрице.

**Энергонезависимый проект на одном кристалле.** Рекомендуется использовать XC9500 и CoolRunner. ПЛИС на основе ОЗУ (FPGA) требуют внешнего массива памяти, сохраняющего конфигурацию при выключении питания. Фирма «Xilinx» выпускает большой ряд последовательных ПЗУ различного объема, исполнения, типа корпуса, служащих для загрузки

ПЛИС, однако способ загрузки ПЛИС не ограничивается только этим решением. В частности, внешним загрузочным массивом памяти может являться параллельное ПЗУ программ микропроцессора.

**Наименьшее статическое потребление энергии.** Рекомендуется использовать серии Spartan и Virtex. Конфигурация всех выводов на КМОП-транзисторах значительно снижает энергопотребление.

**Предотвращение проблем, связанных с трудностью закрепления \ внешних выводов проекта.** Рекомендуется использовать серии XC9500, CoolRunner, Spartan, Virtex. Серия XC9500 имеет специальные трассировочные ресурсы для облегчения трассировки закрепленных выводов, Spartan и Virtex имеют дополнительные каналы трассировки, называемые VersaRing, между логическим ядром и блоками ввода-вывода.

**Поддержка периферийного сканирования (Boundary-Scan).** Рекомендуется использовать серии Spartan, XC9500, CoolRunner, Virtex.

**Приложения с напряжением питания 3.3 В.** Рекомендуется использовать семейства SpartanXL, Spartan-II, Virtex, XC9500XL, CoolRunner.

**Программирование непосредственно в системе.** Все семейства ПЛИС фирмы «Xilinx» поддерживают данный режим.

**Совместимость с PCI.** Семейства Spartan, Spartan-XL, Spartan-II, Virtex и VirtexE.

**ПЛИС для военного применения.** Семейства XQ4000E/X (Military), Virtex.

Для применения в военных изделиях возможно использование семейств ПЛИС XC3000A, XC3100A, XC4000E, Virtex. Для поставки данных ПЛИС требуется специальное лицензирование.

**Защита ПЛИС от несанкционированного считывания.** ПЛИС семейств XC9500, Virtex-II, XC9500XL, CoolRunner имеют специальные биты секретности считывания и записи конфигурации.

## 5. Конфигурационные ПЗУ фирмы «Xilinx»

Для хранения конфигурации ПЛИС FPGA при отключении питания фирма «Xilinx» выпускает две серии конфигурационных ПЗУ: однократно программируемые последовательные ПЗУ серии XC1700 (5-В и 3.3-В версии); перепрограммируемые в системе последовательные/параллельные ПЗУ серии XC18V00 (только 3.3-В версия).

### 5.1. Серия XC1700

Таблица 10. XC1700E/EL — однократно программируемые последовательные ПЗУ

Прибор	Емкость памяти [бит]	Корпус				Напряжение питания	
		PD-8	SO-8	VO-8	PC-20	3.3 В	5 В
XC1736E	36 288	X	X	X	X		X
XC1765E	65 536	X	X	X	X		X
XC1765EL(X)	65 536	X	X	X	X	X	
XC17128E	131 072	X		X	X		X
XC17128EL(X)	131 072	X		X	X	X	
XC17256E	262 144	X		X	X		X
XC17256EL(X)	262 144	X		X	X	X	

Маркировка XC1700EL на корпусе: «X» вместо «EL»

Таблица 11. XC1700L — однократно программируемые последовательные ПЗУ большой емкости

Прибор	Емкость памяти [бит]	Корпус			Напряжение питания	
		PD-8	SO-20	PC-20	3.3 В	5 В
XC17512L	524 288	X	X	X	X	
XC1701	1 048 576	X	X	X		X

Таблица 12. XC17V00 — однократно программируемые ПЗУ большой емкости с напряжением питания 3.3 В

Прибор	Емкость памяти [бит]	Корпус					Режимы конфигурирования
		VO-8	SO-20	PC-20	PC-44	VQ-44	
XC17V01	1 679 360	X	X	X	X	X	последовательный
XC17V02	2 097 152	X	X	X	X	X	последовательный
XC17V04	4 194 304	X	X	X	X	X	последовательный
XC17V08	8 388 608				X	X	последовательный, параллельный
XC17V16	16 777 216				X	X	последовательный, параллельный

Таблица 13. XC17S00 — однократно программируемые последовательные ПЗУ для серии Spartan

Прибор	Емкость памяти [бит]	Корпус				Напряжение питания	
		PD-8	VO-8	SO-20	VQ-44	3.3 В	5 В
XC17S05	65 536	X	X				X
XC17S05XL	131 072	X	X			X	
XC17S10	131 072	X	X				X
XC17S10XL	131 072	X	X			X	
XC17S15A	524 288	X	X	X		X	
XC17S20	262 144	X	X				X
XC17S20XL	262 144	X	X			X	
XC17S30	262 144	X	X				X
XC17S30XL	262 144	X	X			X	
XC17S30A	524 288	X	X	X		X	
XC17S40	524 288	X		X			X
XC17S40XL	524 288	X		X		X	
XC17S50A	1 048 576	X	X	X		X	
XC17S100A	1 048 576	X	X	X		X	
XC17S150A	1 048 576	X	X	X		X	
XC17S200A	1 679 360	X	X		X	X	

## 5.2. Серия XC18VOO

Семейство перепрограммируемых в системе ПЗУ фирмы «Xilinx» XC18VOO предназначено для конфигурации ПЛИС типа FPGA семейств Spartan, Spartan-II, Virtex, Virtex-E через стандартный канал обмена ПЛИС с ПЗУ (выводы DIN, CCLK, DONE, INIT, PROGRAM).

В свою очередь конфигурационный файл, предназначенный для загрузки в ПЛИС, загружается в ПЗУ XC18VOO посредством стандартного канала JTAG. В настоящее время максимальный объем ПЗУ серии XC18VOO составляет 16 Мбит, причем при загрузке ПЛИС, требующих большего объема конфигурационного файла, осуществляется последовательное каскадирование ПЗУ до наращивания необходимого объема.

- Частота последовательного программирования ПЛИС до 33 МГц.
- Режим параллельного программирования ПЛИС.
- Поддержка входных уровней +2.5 В, +3.3 В, +5 В,
- Выходные уровни +2.5 В, +3.3 В.
- Напряжение питания 3 В.
- 10 Тыс. циклов перепрограммирования.
- Полная поддержка стандарта JTAG IEEE 1149.1.

Таблица 14. Серия XC18V00 — перепрограммируемые в системе ПЗУ

Прибор	Емкость памяти [бит]	Корпуса				Напряжение питания
		PC-20	SO-20	PC-44	VQ-44	
XC18V256	262 144	X	X		X	3 В
XC18V512	524 288	X	X		X	X
XC18V01	1 048 576	X	X		X	X
XC18V02	2 097 152			X	X	X
XC18V04	4 194 304			X	X	X

### 5.3. Совместимость XC1700 и XC18V00 с ПЛИС FPGA

Таблица 15. Совместимость XC1700 и XC18V00 с серией Virtex

Прибор	Конфигурационный файл [бит]	Рекомендуемые ПЗУ
XCV50	558 048	XC17V01 или XC18V01
XCV100	780 064	XC17V01 или XC18V01
XCV150	1 038 944	XC17V01 или XC18V01
XCV200	1 334 688	XC17V01 или XC18V02
XCV300	1 750 656	XC17V02 или XC18V02
XCV400	2 544 896	XC17V04 или XC18V04
XCV600	3 606 816	XC17V04 или XC18V04
XCV800	4 714 400	XC17V08 или XC18V04 + XC18V512
XCV1000	6 126 528	XC17V08 или XC18V04 + XC18V02
XCV50E	630 048	XC17V01 или XC18V01
XCV100E	863 840	XC17V01 или XC18V01
XCV200E	1 442 106	XC17V01 или XC18V02
XCV300E	1 875 648	XC17V02 или XC18V02
XCV400E	2 693 440	XC17V04 или XC18V04
XCV405E	3 430 400	XC17V04 или XC18V04
XCV600E	3 961 632	XC17V04 или XC18V04
XCV812E	6 519 648	XC17V08 или 2 XC18V04

- Корпуса SO-20, PC-20, PC-44 и VQ-44.
- Поддержка средствами программирования пакетов Alliance Foundation, WebPACK.

Программирование ПЗУ серии XC18V00 осуществляется с помощью программы JTAG Programmer пакетов проектирования Alliance и Foundation Series, WebPACK.

Таблица 15 (окончание)

Прибор	Конфигурационный файл [бит]	Рекомендуемые ПЗУ
XCV1000E	6 587 520	XC17V08 или 2 XC18V04
XCV1600E	8 308 992	XC17V08 или 2 XC18V04
XCV2000E	10 159 648	XC17V16 или 3 XC18V04
XCV2600E	12 922 336	XC17V16 или 3 XC18V04 + XC18V512
XCV3200E	16 283 712	XC17V16 или 4 XC18V04

Таблица 16. Совместимость XC1700 и XC18V00 с серией Spartan

Прибор	Рекомендуемые ПЗУ	
XCS05	XC17S05	XC18V256
XCS05XL	XC17S05XL	XC18V256
XCS10	XC17S10	XC18V256
XCS10XL	XC17S10XL	XC18V256
XC2S15	XC17S15A	XC18V256
XCS20	XC17S20	XC18V256
XCS20XL	XC17S20XL	XC18V256
XCS30	XC17S30	XC18V256
XCS30XL	XC17S30XL	XC18V256
XC2S30	XC17S30A	XC18V512
XCS40	XC17S40	XC18V512
XCS40XL	XC17S40XL	XC18V512
XC2S50	XC17S50XL	XC18V01
XC2S100	XC17S100XL	XC18V01
XC2S150	XC17S150XL	XC18V01
XC2S50	XC17S50A	XC18V01
XC2S100	XC17S100A	XC18V01
XC2S150	XC17S150A	XC18V01
XC2S200	XC17S200A	XC18V02

Таблица 17. Совместимость XC1700 и XC18V00 с серией XC4000

Прибор	Рекомендуемые ПЗУ	
XC4002XL	XC17128EL	XC18V256
XC4005XL	XC17256EL	XC18V256
XC4010XL	XC7512L	XC18V512
XC4013XL	XC7512L	XC18V512
XC4013XLA	XC7512L	XC18V512
XC4020XL	XC7512L	XC18V512

Таблица 17 (окончание)

Прибор	Рекомендуемые ПЗУ	
XC4005XL	XC17256EL	XC18V256
XC4010XL	XC7512L	XC18V512
XC4013XL	XC7512L	XC18V512
XC4013XLA	XC7512L	XC18V512
XC4020XL	XC7512L	XC18V512
XC4020XLA	XC7512L	XC18V512
XC4028EX	XC1701	—
XC4028XL	XC17V01	XC18V01
XC4028XLA	XC17V01	XC18V01
XC4036EX	XC1701	—
XC4036XL	XC17V01	XC18V01
XC4036XLA	XC17V01	XC18V01
XC4044XL	XC17V01	XC18V01
XC4044XLA	XC17V01	XC18V01
XC4052XL	XC17V02	XC18V02
XC4052XLA	XC17V02	XC18V02
XC4062XL	XC17V02	XC18V02
XC4062XLA	XC17V02	XC18V02
XC4085XL	XC17V02	XC18V02
XC40110XV	XC17V04	XC18V04
XC40125XV	XC17V04	XC18V04
XC40150XV	XC17V04	XC18V04
XC40200XV	XC17V04	XC18V04
XC40250XV	XC17V04	XC18V04

Таблица 18. Совместимость XC1700 и XC18V00 с серией XC5200

Прибор	Рекомендуемые ПЗУ
XC5202	XC1765E
XC5204	XC17128E
XC5206	XC17128E
XC5210	XC17256E
XC5215	XC17256E

## 6. Средства конфигурации ПЛИС

Фирмой «Xilinx» поставляется набор средств программирования ПЛИС, позволяющий охватить весь процесс отладки и загрузки в различных вариациях:

- Загрузочный кабель в параллельный порт PC — Parallel Download Cable.
- Отладочный/загрузочный кабель в порт USB PC — MultiLinx Download Cable.
- Программатор для последовательных ПЗУ фирмы «Xilinx» — HW-130 и соответствующие адаптеры под разные типы корпусов ПЗУ.

Загрузочный кабель в параллельный порт PC (Parallel Download Cable) под управлением соответствующих утилит пакета Foundation позволяет загрузить/считать конфигурацию в ПЛИС типа FPGA и CPLD FLASH и поддерживает полный спектр операций с ПЛИС через порт JTAG IEEE 1149.1.

Кабель MultiLinx имеет все возможности параллельного загрузочного кабеля и, кроме того, позволяет производить отладку проектов, загруженных в кристалл путем считывания в PC состояний отмеченных пользователем сигналов в теку-

щий момент времени.

Использование данных загрузочных средств очень полезно на этапе верификации проектов как на ПЛИС типа FPGA, так и на ПЛИС типа CPLD.

В то время как для завершения полного цикла работ с ПЛИС фирмы «Xilinx» типа CPLD, включая загрузку конфигурации в энергонезависимую FLASH-память, вполне достаточно перечисленных загрузочных кабелей, ПЛИС типа FPGA для своей инициализации требуют внешний массив памяти. Для случая, когда конфигурация производится из последовательного ПЗУ, фирма «Xilinx» предлагает специализированный программатор HW-130, который с использованием соответствующей насадки под ПЗУ позволяет их программировать.

Подробная информация и схема Parallel Cable III (JTAG-кабель) содержится в файле: [http://support.Xilinx.com/support/sw\\_manuals/2\\_li/download/huguide.pdf](http://support.Xilinx.com/support/sw_manuals/2_li/download/huguide.pdf).

## **7. Инструментальные средства для отладки ПЛИС**

В настоящее время рядом как зарубежных, так и отечественных фирм предлагается широкий спектр аппаратных инструментальных решений

(модулей), позволяющих проводить на ПЛИС прототипирование проектов для различных приложений, включая построение интерфейсов, цифровую обработку сигналов, специализированные устройства обработки и т.д.

Как правило, подобные инструментальные средства довольно дороги и не преследуют цели использования в серийном производстве. Однако существует ряд отечественных инструментальных модулей, которые за счет своей универсальности, оптимизированной структуры, цены позволяют довольно эффективно использовать их и для серийных изделий.

## **8. САПР: Обзор продукции**

### **8.1. Программное обеспечение Foundation Series**

ПО Foundation Series было разработано с целью предоставить пользователю полный самодостаточный пакет программных средств для проектирования ПЛИС фирмы «Xilinx». Для достижения этой цели к трассировщику из пакета Alliance Series были добавлены средства схемного ввода, моделирования, а также редактор HDL (Abel, VHDL, Verilog) и средства синтеза из HDL.

Основные модули пакета Foundation Series

Project Manager — графическое средство управления файлами проекта и основными модулями пакета.

Synthesis Constraints Editor — редактор ограничений, накладываемых на проект, написанный на VHDL/Verilog, перед синтезом.

Synthesis Timing Analyzer — анализатор временных параметров синтезированных проектов.

Synopsys FPGA Express Synthesis — программа синтеза проектов, написанных на VHDL/Verilog.

HDL Design Tools — набор утилит для упрощения ввода проекта на языках высокого уровня VHDL/Verilog, включающий в себя текстовый редактор, мастер готовых шаблонов основных конструкций языка, проверку синтаксиса, редак-



тор диаграмм состояний.

ABEL Synthesis — модуль синтеза проектов, написанных на Abel.

Schematic Editor — графический редактор позволяющий вводить проекты в схемном виде на основе библиотек логических элементов (простые вентили, регистры, счетчики, элементы памяти и т.д.).

Simulator (Functional and Timing) — графический редактор, позволяющий произвести моделирование до трассировки и после.

Design Manager — интерфейсный модуль, осуществляющий управление всеми средствами автоматической трассировки и дающий пользователю доступ к ним.

Flow Engine — отображает и выполняет все этапы по размещению проекта в кристалл, состоящие из трансляции входного файла универсального формата во внутренний формат; разбиения логики по КЛБ; размещения по кристаллу элементов логики и связей; создания конфигурационного файла для загрузки в кристалл; создания отчета о статических временных параметрах и создания файла для моделирования с учетом временных задержек в форматах VHDL, Verilog, EDIF или XNF;

LogiBLOX — графическое средство создания параметризованных и оптимизированных под конкретную архитектуру логических элементов (счетчики, память, регистры, мультиплексоры и т.д.).

CORE Gen — встроенный модуль генерации параметризованных и оптимизированных под конкретную архитектуру модулей, выполняющих сложные функции, например такие модули, как корреляторы, фильтры, спектральные преобразования, элементарные блоки ЦОС и т.д.

Floorplanner — графическое средство, позволяющее контролировать процесс автоматического размещения логики в кристалл FPGA или полностью «вручную» произвести размещение;

FPGA Editor — графическое средство, позволяющее просмотреть и отредактировать результаты размещения логики и связей, а также «вручную» спроектировать кристалл FPGA на уровне КЛБ и линий связи;

Hardware Debugger — программа загрузки и верификации проекта с компьютера.

PROM Files Formatter — программа создания конфигурационного файла для хранения в последовательных или параллельных ПЗУ. Доступно три формата: MCS, EXO, TEX. Для микропроцессорной загрузки формируется файл в формате TEX.

### **Конфигурации ПО Foundation Series**

Данный пакет проектирования включает в себя комплекс средств, позволяющих осуществить разработку ПЛИС фирмы «Xilinx», начиная от описания внутреннего содержимого устройства до загрузки конфигурации ПЛИС и отладки непосредственно на печатной плате. Пакет Foudation Series версии 3.П обеспечивает поддержку всех семейств ПЛИС фирмы «Xilinx» типа FPGA.

В настоящий момент поставляется четыре основные конфигурации программного обеспечения Foundation Series, различающиеся по своим функциональным возможностям и, соответственно, стоимости (Рис. 2): Base (FND-BAS), Base

Express (FND-BSX), Express (FND-EXP), Elite (FND-ELI).

Конфигурации отличаются логическим объемом поддерживаемых кристаллов, модулями ввода проекта и стоимостью. Перечень поддерживаемых кристаллов и включенных модулей представлен в Табл. 19.

### **Системные требования**

- Операционная система:
  - Windows NT 4.0 SP5,
  - Windows 2000,
  - Windows 98SE.
- Платформа:
  - PC Intel Pentium или совместимая,
  - Оперативная память (минимум) 32 Мбайт.
- CD-ROM ISO9669 совместимый.
- Монитор SVGA (рекомендуемое разрешение 1024X768).

### **8.2. Программное обеспечение Alliance Series**

Пакет программного обеспечения Alliance Series разработан для пользователей, использующих системы автоматизированного проектирования для своих разработок, следующих фирм: «Aldec», «Cadence», «Simplicity», «Mentor Graphics», «Synopsys» и другие. Alliance Series включает в себя программу трассировки ПЛИС, схемные библиотеки и интерфейсы под САПР перечисленных фирм и воспринимает файлы в формате EDIF, SDF, XNF, VITAL и STAMP. В отличие от Foundation Series не содержит собственного редактора схемного и текстового ввода проекта и моделирования.

#### **Основные модули программы трассировки**

Design Manager — интерфейсный модуль, осуществляющий управление всеми средствами пакета Alliance Series и дающий пользователю доступ к ним для загрузки проекта из САПР других фирм в Alliance Series и размещения его в ПЛИС фирмы «Xilinx».

Flow Engine — отображает и выполняет все этапы по размещению проекта в кристалл, состоящие из трансляции входного файла универсального

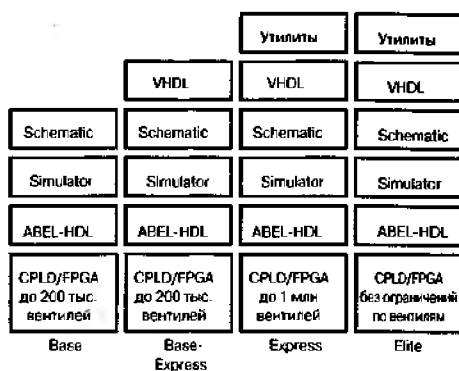


Рис. 2. Основные конфигурации пакета *Foundation Series*

Таблица 19. Отличия различных конфигураций пакета *Foundation Series*

Модуль	Foundation Series			
	FND-BAS-PC	FND-BSX-PC	FND-EXP-PC	FND-ELI-PC
Схемный ввод	Aldec Schematic			
Текстовый ввод	Abel	Abel/VHDL/Verilog		
Редактор состояний	Aldec	Aldec	Aldec	Aldec
Компьютер	PC	PC	PC	PC
Моделирование на вентиляном уровне	+	+	+	+
Моделирование VHDL/Verilog	MTI*	MTI*	MTI*	MTI*
Синтезатор HDL кода FPGA Express	—	+	+	+
Редактор ограничений	+	+	+	+
Планировщик кристалла	+	+	+	+
CPLD ChipViewer	+	+	+	+
Автоматическая разводка кристалла	+	+	+	+
Ручная разводка	+	+	+	+
Генератор логических ядер	+	+	+	+
Конфигурирование с компьютера	+	+	+	+
Архивация проектов	+	+	+	+

Таблица 19 (окончание)

Модуль	Foundation Series			
	FND-BAS-PC	FND-BSX-PC	FND-EXP-PC	FND-ELI-PC
Кристаллы				
Virtex (XCV50)	+	+	+	+
Virtex (до XCV1000)	—	—	+	+
VirtexE (XCV50E)	+	+	+	+
VirtexE (до XCV1000E)	—	—	+	+
VirtexE (до XCV3200E)	—	—	—	+
VirtexEM	—	—	+	+
Virtex-II (XC2V80)	+	+	+	+
Virtex-II (до XC2V1000)	—	—	+	+
Virtex-II (до XC2V10000)	—	—	—	+
Spartan	+	+	+	+
SpartanXL	+	+	+	+
Spartan2	+	+	+	+
XC9500/XL/XV	+	+	+	+
XC4000E/L/EX	+	+	+	+
XC4000XL/XLA(до 4020)	+	+	+	+
XC4000XL/XLA(все)	—	—	+	+
XC4000XV	—	—	+	+
XC3000A/L	+	+	+	+
XC3100A/L	+	+	+	+
XC5200	+	+	+	+

\* MTI — программное обеспечение *ModelSim*. В состав пакетов включена версия *ModelSim Starter*, позволяющая моделировать HDL-код объемом не более 500 строк. При превышении лимита программа работает на порядок медленнее. Полнофункциональный пакет *ModelSim XE* поставляется отдельно.

формата во внутренний формат; разбиения логики по КЛБ; размещения по кристаллу элементов логики и связей; создания конфигурационного файла для загрузки в кристалл; создания отчета о статических временных параметрах и создания файла для моделирования с учетом временных задержек в форматах VHDL, Verilog, EDIF или XNF.

LogiBLOX — графическое средство создания параметризованных и оптимизированных под конкретную архитектуру логических элементов (счетчики, память, регистры, мультиплексоры и т.д.).

CORE Gen — встроенный модуль генерации параметризованных и оптимизированных под конкретную архитектуру модулей, выполняющих сложные функции, например такие модули, как корреляторы, фильтры, спектральные преобразования, элементарные блоки ЦОС и т.д.

Floorplanner — графическое средство, позволяющее контролировать процесс автоматического размещения логики в кристалл FPGA или полностью «вручную» произвести размещение.

FPGA Editor — графическое средство, позволяющее просмотреть и отредактировать результаты размещения логики и связей, а также «вручную» спроектировать кристалл FPGA на уровне КЛБ и линий связи.

Hardware Debugger — программа загрузки и верификации проекта с компьютера.

PROM Files Formatter — программа создания конфигурационного файла для хранения в последовательных или параллельных ПЗУ. Доступно три формата: MCS, EXO, TEX. Для микропроцессорной загрузки формируется файл в формате TTX.

## Конфигурации пакета

Alliance Series поставляется в двух конфигурациях: Standard; Elite. Конфигурации отличаются логическим объемом поддерживаемых кристаллов и стоимостью. Перечень кристаллов представлен в Табл. 20.

Таблица 20. Отличия различных конфигураций пакета Alliance Series

Модуль	Alliance Series	
	ALI-STD	ALI-ELI
Схемный ввод	—	—
Текстовый ввод	—	—
Редактор состояний	—	—
Компьютер	PC/UNIX	PC/UNIX
Моделирование на вентильном уровне	—	—
Моделирование VHDL/Verilog	MTI*	MTI*
Синтезатор HDL кода FPGA Express	—	—
Редактор ограничений	+	+
Планировщик кристалла	+	+
CPLD ChipViewer	+	+
Автоматическая разводка кристалла	+	+
Ручная разводка	+	+
Генератор логических ядер	+	+
Конфигурирование с компьютера	+	+
Работа из командной строки	+	+
Архивация проектов	+	+

— 44 —

Таблица 20 (окончание)

Модуль	Alliance Series	
	ALI-STD	ALI-ELI
Кристаллы		
Virtex (XCV50)	+	+
Virtex (до XCV1000)	+	+
VirtexE (XCV50E)	+	+
VirtexE (до XCV1000E)	+	+
VirtexE (до XCV3200E)	—	+
VirtexEM	+	+
Virtex-II (до XC2V1000)	+	+
Virtex-II (до XC2V10000)	—	+
Spartan	+	+
SpartanXL	+	+
Spartan2	+	+
XC9500	+	+
XC9500XL	+	+
XC9500XV	+	+
XC4000E/L/EX	+	+
XC4000XL/XLA(до 4020)	+	+
XC4000XL/XLA (все)	+	+
XC4000XV	+	+
XC3000A/L	+	+
XC3100A/L	+	+
XC5200	+	+

\* MTI — программное обеспечение ModelSim. В состав пакетов включена версия ModelSim Starter, позволяющая моделировать HDL-код объемом не более 500 строк. При превышении лимита программа работает на порядок медленнее. Полнофункциональный пакет ModelSim XE поставляется отдельно.

## Системные требования

- Операционная система:
  - Solaris 2.6/2.7,
  - HP-UX 10.20 и 11.00,
  - Windows NT 4.0 SP5,

- Windows 2000,
- Windows 98SE.
- Платформа:
  - PC Intel Pentium или совместимая,
  - Sun SPARCstation или HP/UX.
- Оперативная память (минимум) 32 Мбайт.
- Рабочая станция — 64 Мбайт.
- CD-ROM ISO9669 совместимый.
- Монитор SVGA (рекомендуемое разрешение 1024X768).

### **8.3. Программное обеспечение WebPACK**

WebPACK— набор бесплатных программных модулей, доступных для скачивания с WWW-сервера компании «Xilinx». Данные программные модули содержат средства проектирования ПЛИС CPLD серии XC9500 и CoolRunner. Перед скачиванием необходимо зарегистрироваться по адресу: [www.xilinx.com/sxpresso/webpack.htm](http://www.xilinx.com/sxpresso/webpack.htm).

Фирма «Xilinx» выпустила очередную редакцию WebPACK: WebPACK ISE V3.2i WP3.0. Список входящих в нее утилит:

`webpack_design_entry.exe` — в этом файле находятся модули схемного и текстового ввода, интерфейсы к остальным модулям WebPack и другим системам проектирования, включая утилиту по трансляции проектов из Altera MAX+PlusII;

`webpack_cpdljitter.exe` — в этом файле находится модуль XC9500 Fitter Tools, который включает в себя программу автоматической трассировки CPLD серии XC9500 (fitter), редактор временных и топологических ограничений (Constraints Editor);

`\vebpack_xplajitter.exe` — в этом файле находится модуль CoolRunner Fitter Tools, который включает в себя программу автоматической трассировки CPLD серии CoolRunner (fitter), редактор временных и топологических ограничений (Constraints Editor);

`\vebpack_spartan2.exe` — в этом файле находятся модули для автоматической трассировки и отладки кристаллов семейства Spartan-II и кристалла XCV300E;

`webpack_programmer.exe` — в этом файле находится модуль JTAG Programmer, который включает в себя утилиту программирования CPLD серии XC9500 из PC посредством загрузочного кабеля;

`\vebpack_xplajprogrammer.exe` — в этом файле находится модуль XPLA PC-ISP3 Programmer, который включает в себя утилиту программирования CPLD серии CoolRunner из PC посредством загрузочного кабеля;

`webpack_mxe_simulator.exe` — в этом файле находится модуль ModelSim XE Starter, предназначенный для моделирования проекта до и после трассировки;

`\vebpackjidlbencher.exe` — в этом файле находится утилита по написанию тестовых воздействий для моделирования в ModelSim;

`webpack_statecad.exe` — в этом файле находится модуль редактора состояний;

`\vebpack_chipviewer.exe` — в этом файле находится модуль CPLD Chip Viewer, который включает в себя программу просмотра топологии CPLD;

webpack\_ecs\_cpdlldlib.exe — в этом файле находятся библиотеки для схемного ввода.

Требования, предъявляемые к PC:

— ЦП не хуже Pentium 75 МГц;

— ОЗУ не менее 16 Мбайт;

— свободного места на диске — не менее 60 Мбайт.

#### 8.4. Программное обеспечение WebFitter

WebFitter — программа трассировки кристаллов CPLD серии XC9500 — свободно доступная через Internet. Программа работает на сервере компании «Xilinx» и представляет собой последнюю версию трассировщика CPLD-кристаллов, который поставляется в составе пакетов Foundation и Alliance Series. Для доступа к данной программе необходимы программы Netscape Communicator 4.0 (или новее) или Microsoft Internet Explorer 4.0 (или новее). При использовании Netscape в меню Edit->Preferences->Advanced необходимо пометить опцию Enable JavaScript. При использовании Internet Explorer в меню View->Internet Options->Security->Custom необходимо пометить опцию Enable Active Scripting. Подробную информацию можно посмотреть по адресу: [www.xilinx.com/sxpresso/webfitter.htm](http://www.xilinx.com/sxpresso/webfitter.htm). В Табл. 21 представлены свойства ПО WebFitter.

Таблица 21. Свойства программы WebFitter

Поддерживаемые кристаллы	XC9500 (5 В), XC9500XL (3.3 В) и XC9500XV (2.5 В) CPLD
Форматы входных файлов	VHDL, Verilog, ABEL, EDIF, TDF, NCR и XNF
Файлы ограничений	Поддерживаются
Доступные параметры кристаллов	Емкость, корпуса, быстродействие
Выходные файлы	Отчет о задержках, отчет о трассировке, загрузочный файл конфигурации (JEDEC), файл для моделирования с учетом трассировки (VHDL, Verilog или EDIF)

#### 9. Специализированные библиотеки проектирования

В настоящее время для пакета проектирования Foundation доступны следующие библиотеки и средства их генерации:

- Встроенная библиотека элементов схемотехнического редактора Foundation.
- Встроенный генератор логических блоков LogiBLOX.
- Программные продукты LogiCORE.
- Программные продукты AllianceCORE.
- М-модули отечественной разработки.
- CORE генератор фирмы «Xilinx».

Кроме того, разработанный фирмой «Elnix» пакет системного моделирования System View также имеет интерфейс с CORE генератором фирмы «Xilinx» и позволяет реализовать цифровые блоки разрабатываемой системы на ПЛИС фирмы «Xilinx».

### 9.1. Встроенная библиотека элементов схемотехнического редактора Foundation

Данная библиотека содержит широкий набор элементов, реализующих самые различные функции, начиная от простых логических элементов типа 2И-НЕ и заканчивая высокоскоростными многоразрядными загружаемыми счетчиками и арифметическими блоками типа аккумуляторов. Во встроенную библиотеку также включены ряд элементов популярной 74-й серии.

### 9.2. Встроенный генератор логических блоков LogiBLOX

Данная программа позволяет, задаваясь параметризованным описанием требуемого блока, генерировать библиотечные элементы с predetermined топологическими характеристиками и быстродействием. С помощью программы могут быть синтезированы блоки произвольной разрядности из ряда счетчиков, компараторов, арифметических блоков, блоков памяти и т.д.

### 9.3. Программные продукты LogiCORE

Фирма «Xilinx» предоставляет для пакета проектирования Foundation ряд специализированных библиотек интерфейсов, блоков ЦОС, базовых функций, а также ряд справочных проектов, помогающих разработчику освоить технику проектирования на ПЛИС «Xilinx». Все продукты и справочные проекты, за исключением наиболее сложных, типа PCI, БПФ, доступны через web-страницу фирмы «Xilinx» и предоставляются бесплатно.

Таблица 22. Продукты LogiBLOX

Базовые элементы	Делитель
	Компаратор
	Константа
	Счетчик
	Регистр
	Декодер
	Элементарные вентили
	Блоки ввода-вывода
	Мультиплексор
	Сдвиговый регистр
	Буфер с третьим состоянием
Математические функции	Аккумулятор
	Сумматор/вычитатель
Память	ПЗУ
	ОЗУ по уровню
	Синхронное ОЗУ
	Двухпортовое ОЗУ



Таблица 23. Продукты LogiCORE

Интерфейс PCI	PCI 32 Design Kit
	PCI 32 Master&Slave интерфейсы
	PCI 32 4000 Master&Slave интерфейс (2.0)
	PCI 64 Virtex Master&Slave интерфейс (66 МГц)
	PCI Master/Slave интерфейс (1.2.0)
Корреляторы	Одномерный коррелятор на ПЗУ/ОЗУ
Фильтры	Гребенчатый фильтр
	SDA КИХ-фильтр
	Двухканальный SDA КИХ-фильтр
	PDA КИХ-фильтр
Спектральные преобразования	БПФ
Элементарные блоки ЦОС	Контрольная логика SDA КИХ-структур
	Таблица sin/cos
	Линии задержки (3 типа)
	Константа
	2/3/4-входовой мультиплексор
	Регистр
Математические функции	Преобразователь в доп. код
	Масштабирующий аккумулятор (в 2 раза)
	Сумматор (4 типа)
	Интегратор
	Умножитель (4 типа)
	Функция извлечения квадратного корня
	Вычитатель (2 типа)
	Элементы задержки
Память	Синхронное FIFO
	Просмотровые таблицы — LUT (2 типа)
	ПЗУ, ОЗУ

## Глава 2. ПЛИС семейства Virtex™

### 1. Особенности

- Высокопроизводительные, большой емкости, программируемые пользователем логические интегральные схемы с архитектурой FPGA (Field Programmable Gate Arrays):
  - емкость от 50К до 1М системных вентиляей;
  - системная производительность до 200 МГц;
  - совместимы с шиной PCI 66 МГц;
  - поддерживают функцию Hot-swap для Compact PCI.
- Поддержка большинства стандартов ввода-вывода (технология SelectIO™):
  - 16 высокопроизводительных стандартов ввода — вывода;
  - прямое подключение к ZBT RAM устройствам.
- Встроенные цепи управления тактированием:
  - четыре встроенных модуля автоподстройки задержек (DLL — delay-locked loop) для расширенного управления тактовыми сигналами как внутри кристалла, так и всего устройства;
  - четыре глобальные сети распределения тактовых сигналов с малыми разбегами фронтов, плюс 24 локальные тактовые сети.
- Иерархическая система элементов памяти:
  - на базе 4-входовых таблиц преобразования (4-LUT — Look-Up Table), конфигурируемых либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр;

- встроенная блочная память, каждый блок конфигурируется как синхронное двухпортовое ОЗУ емкостью 4 Кбит;
- быстрые интерфейсы к внешнему высокопроизводительному ОЗУ.
- Гибкая архитектура с балансом быстродействия и плотности упаковки логики:
  - специальная логика ускоренного переноса для высокоскоростных арифметических операций;
  - специальная поддержка умножителей;
  - каскадируемые цепочки для функций с большим количеством входов;
  - многочисленные регистры/защелки с разрешением тактирования и синхронные/асинхронные цепи установки и сброса;
  - внутренние шины с тремя состояниями;
  - логика периферийного сканирования в соответствии со стандартом IEEE1149.1;
  - датчик температуры кристалла.
- Проектирование осуществляется пакетами программного обеспечения Foundation™ и Alliance Series, работающими на ПК или рабочей станции.
- Конфигурация кристалла хранится во внешнем ПЗУ, и загружается в кристалл после включения питания автоматически или принудительно:
  - неограниченное число циклов загрузки,
  - четыре режима загрузки.
- Производятся по 0.22-мкм КМОП-технологии с 5-слойной металлизацией на основе статического ОЗУ.
- 100%-ное фабричное тестирование.

## 2. Описание

Семейство FPGA Virtex™ позволяет реализовать высокопроизводительные, большой емкости, цифровые устройства на одном кристалле. Резкое увеличение эффективности реализаций достигнуто благодаря новой архитектуре, более эффективной для размещения и трассировки элементов, а также производству кристаллов на основе 0.22-мкм процесса с пятью слоями металлизации. Все это позволяет использовать кристаллы Virtex как альтернативу масочно-программируемым вентильным матрицам. В состав семейства Virtex входят девять микросхем, отличающихся логической емкостью (Табл. 1).

Таблица 1. Основные характеристики семейства Virtex

Прибор	Системные вентили	Матрица КЛБ	Логические ячейки	Число доступных входов-выходов	Блочная память [бит]	Память на базе LUT [бит]
XCV50	57 906	16×24	1 728	180	32 768	24 576
XCV100	108 904	20×30	2 700	180	40 960	38 400
XCV150	164 674	24×36	3 888	260	49 152	55 296
XCV200	236 666	28×42	5 292	284	57 344	75 264
XCV300	322 970	32×48	6 912	316	65 536	98 304
XCV400	468 252	40×60	10 800	404	81 920	153 600
XCV600	661 111	48×72	15 552	512	98 304	221 184
XCV800	888 439	56×84	21 168	512	114 688	301 056
XCV1000	1 124 022	64×96	27 648	512	131 072	393 216

Созданное на основе опыта, приобретенного при разработках предыдущих се-

рий FPGA, семейство Virtex является революционным шагом вперед, определяющим новые стандарты в производстве программируемой логики. Сочетая большое разнообразие новых системных свойств, иерархию высокоскоростных и гибких трассировочных ресурсов с передовой кремниевой технологией изготовления, семейство Virtex предоставляет разработчику широкие возможности реализации быстродействующих, большой логической емкости цифровых устройств, при значительном снижении времени разработки.

### 3. Обзор архитектуры семейства Virtex

Основными особенностями архитектуры кристаллов семейства Virtex являются гибкость и регулярность. Кристаллы состоят из матрицы КЛБ (Конфигурируемый Логический Блок), которая окружена программируемыми блоками ввода-вывода (БВВ). Все соединения между основными элементами (КЛБ, БВВ) осуществляются с помощью набора иерархических высокоскоростных программируемых трассировочных ресурсов. Изобилие таких ресурсов позволяет реализовать на кристалле семейства Virtex даже самые громоздкие и сложные проекты.

Кристаллы семейства Virtex производятся на основе статического ОЗУ (Static Random Access Memory — SRAM), поэтому функционирование кристаллов определяется загружаемыми во внутренние ячейки памяти конфигурационными данными. Конфигурационные данные могут загружаться в кристалл несколькими способами. В ведущем последовательном режиме (Master Serial) загрузка осуществляется из внешнего ПЗУ и полностью управляется самой FPGA Virtex. В других режимах управление загрузкой осуществляется внешними устройствами — (режимы Select-MAP™, подчиненный-последовательный (Slave Serial) и JTAG).

Конфигурационные данные создаются пользователем при помощи программного обеспечения проектирования Xilinx Foundation™ и Alliance Series. Программное обеспечение включает в себя схемный и текстовый ввод, моделирование, автоматическое и ручное размещение и трассировку, создание, загрузку и верификацию загрузочных данных.

#### 3.1. Быстродействие

Кристаллы Virtex обеспечивают более высокую производительность, чем предыдущие поколения FPGA. Проекты могут работать на системных частотах до 200 МГц, включая блоки ввода-вывода. Блоки ввода-вывода Virtex полностью соответствуют спецификациям PCI-шины, поэтому кристалл позволяет реализовывать интерфейсные схемы, работающие на частоте 33 МГц или 66 МГц. В дополнение к этому кристаллы Virtex удовлетворяют требованию «hot-swap» для Compact PCI.

К настоящему времени кристаллы полностью протестированы на «эталонных» схемах. На основе тестов выявлено, что хотя производительность сильно зависит от конкретного проекта, большинство проектов работают на частотах превышающих 100 МГц и могут достигать системных частот до 200 МГц. В Табл. 2 представлены производительности некоторых стандартных функций, реализованных на кристаллах с градацией быстродействия '6'.

В отличие от предыдущих семейств ПЛИС фирмы «Xilinx», в сериях Virtex™ и

Spartan™ градация по быстродействию обозначается классом, а не задержкой на логическую ячейку. Соответственно, в семействах Virtex™ и Spartan™ чем больше класс, тем выше быстродействие.

#### 4. Описание архитектуры

##### 4.1. Матрица Virtex

Программируемая пользователем вентильная матрица серии Virtex показана на Рис. 1. Соединение между КЛБ осуществляется с помощью главных трассировочных матриц — ГТМ. ГТМ — это матрица программируемых

Таблица 2. Производительность стандартных функций Virtex-6

Функция	Разрядность [бит]	Производительность
Внутрисистемная производительность		
Сумматор	16	5.0 нс
	64	7.2 нс
Конвейерный умножитель	8×8	5.1 нс
	16×16	6.0 нс
Декодер адреса	16	4.4 нс
	64	6.4 нс
Мультиплексор	16:1	5.4 нс
Схема контроля по четности	9	4.1 нс
	18	5.0 нс
	36	6.9 нс
Системная производительность		
Стандарт HSTL Class IV		200 МГц
Стандарт LVTTTL		180 МГц

транзисторных двунаправленных переключателей, расположенных на пересечении горизонтальных и вертикальных линий связи. Каждый КЛБ окружен локальными линиями связи (VersaBlock™), которые позволяют осуществить соединения с матрицей ГТМ.

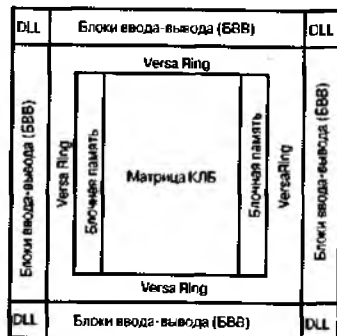


Рис. 1. Структура архитектуры Virtex

Интерфейс ввода-вывода VersaRing создает дополнительные трассировочные ресурсы по периферии кристалла. Эти трассы улучшают общую «трассируемость» устройства и возможности трассировки после закрепления электрических цепей к конкретным контактам.

Архитектура Virtex также включает следующие элементы, которые соединяются с матрицей ГТМ:

- Специальные блоки памяти (BRAMs) размером 4096 бит каждый.
- Четыре модуля автоподстройки задержек (DLL), предназначенных для компенсации задержек тактовых сигналов, а также деления, умножения и сдвига фазы тактовых частот.

- Буферы с тремя состояниями (BUFT), которые расположены вблизи каждого КЛБ и управляют горизонтальными сегментированными трассами.

Коды, записанные в ячейки статической памяти, управляют настройкой логических элементов и коммутаторами трасс, осуществляющих межсоединения в схеме. Эти коды загружаются в ячейки после включения питания и могут перезагружаться в процессе работы, если необходимо изменить реализуемые микросхемой функции.

#### 4.2. Блок ввода-вывода

Основным отличительным свойством БВВ семейства Virtex является поддержка широкого спектра стандартов сигналов ввода-вывода. На Рис. 2 представлена структурная схема БВВ. В Табл. 3 перечислены поддерживаемые стандарты. БВВ содержит три запоминающих элемента, функционирующих либо как D-триггеры, либо как триггеры-защелки. Каждый БВВ имеет входной сигнал синхронизации (CLK), распределенный на три триггера и независимые для каждого триггера сигналы разрешения тактирования (Clock Enable — CE).

Кроме того, на все триггеры заведен сигнал сброса/установки (Set/Reset-SR). Для каждого триггера этот сигнал может быть сконфигурирован независимо, как синхронная установка (Set), синхронный сброс (Reset), асинхронная предустановка (Preset) или асинхронный сброс (Clear).

Входные и выходные буферы, а также все управляющие сигналы в БВВ допускают независимый выбор полярности. Данное свойство не отображено на блок-схеме БВВ, но контролируется программой проектирования.

Все контакты защищены от повреждения электростатическим разрядом и от всплесков перенапряжения. Реализованы две формы защиты от перенапряжения, одна допускает 5-В совместимость, а другая нет. Для случая 5-В совместимости, структура, подобная диоду Зенера, закорачивает на землю контакт, когда напряжение на нем возрастает приблизительно

Таблица 3. Поддерживаемые стандарты ввода-вывода

Стандарт ввод/вывод	Напряжение порогового уровня входных каскадов, $V_{REF}$ [В]	Напряжение питания выходных каскадов, $V_{CCO}$ [В]	Напряжение согласования с платой, $V_{TT}$ [В]	5-В совместимость
LVTTL	нет	3.3	нет	да
LVC MOS2	нет	2.5	нет	да
PCI, 5 А	нет	3.3	нет	да
PCI, 3.3 А	нет	3.3	нет	нет
GTL	0.8	нет	1.2	нет
GTL+	1.0	нет	1.5	нет
HSTL Class I	0.75	1.5	0.75	нет
HSTL Class III	0.9	1.5	1.5	нет
HSTL Class IV	0.9	1.5	1.5	нет
SSTL3 Class I & II	1.5	3.3	1.5	нет
SSTL2 Class I & II	1.25	2.5	1.25	нет
CTT	1.5	3.3	1.5	нет
AGP	1.32	3.3	нет	нет

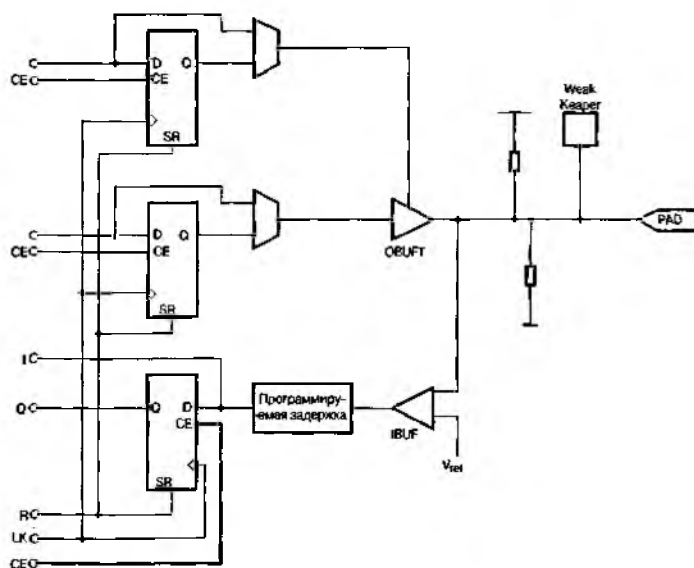


Рис. 2. БВВ Virtex

до 6.5 В. В случае, когда требуется 3.3-В PCI-совместимость, обычные диоды ограничения могут подсоединяться к источнику питания выходных каскадов, ^ш- Тип защиты от перенапряжения может выбираться независимо для каждого контакта. По выбору, к каждому контакту может подключаться:

1. Резистор, соединенный с общей шиной (pull-down).
2. Резистор, соединенный с шиной питания (pull-up).
3. Маломощная схема удержания последнего состояния (week-keeper).

До начала процесса конфигурирования микросхемы все выводы, не задействованные в этом процессе, принудительно переводятся в состояние высокого импеданса. Резисторы «pull-down» и элементы «week-keeper» неактивны, а резисторы «pull-up» можно активировать.

Активация резисторов «pull-up» перед конфигурацией управляется внутренними глобальными линиями через управляющие режимные контакты. Если резисторы «pull-up» не активны, то выводы находятся в состоянии неопределенного потенциала. Если в проекте необходимо иметь определенные логические уров-

ни до начала процесса конфигурирования нужно использовать внешние резисторы.

Все БВВ микросхемы Virtex совместимы со стандартом IEEE 1149.1 периферийного сканирования.

#### 4.2.1. Ввод сигнала

Входной сигнал БВВ может быть протрассирован либо непосредственно к блокам внутренней логики, либо через входной триггер.

Кроме того, между выходом буфера и D-входом триггера может быть подключен элемент задержки, исключающий время удержания для случая контакт-контакт. Данная задержка согласована с внутренней задержкой распределения сигнала тактирования FPGA, что гарантирует нулевое время удержания для распределения сигналов контакт-контакт.

Каждый входной буфер может быть сконфигурирован таким образом, чтобы удовлетворять одному из низковольтных сигнальных стандартов, поддерживаемых устройством. В некоторых из этих стандартов входной буфер использует напряжение порогового уровня ( $V_{KEP}$ ), формируемое пользователем. Использование напряжений  $U^{up}$  позволяет ввести в устройство принудительные опорные величины для различных, близких по используемым логическим уровням стандартов (см. также «Банки ввода-вывода»).

К каждому входу после окончания процесса конфигурирования могут быть, по выбору, подключены внутренние резисторы (либо pull-up, либо pull-down). Сопротивление этих резисторов лежит в пределах 50... 150 кОм.

#### 4.2.2. Вывод сигнала

Выходной сигнал проходит через буфер с тремя состояниями, выход которого соединен непосредственно с выводом микросхемы. Сигнал может быть протрассирован на вход буфера с тремя состояниями, либо непосредственно от внутренней логической структуры, либо через выходной триггер блока ввода-вывода.

Управление буфером с тремя состояниями также может осуществляться либо непосредственно от внутренней логической структуры, либо через специальный триггер БВВ, который позволяет создать синхронное управление сигналом разрешения и запрещения для буфера с тремя состояниями. Каждый такой выходной каскад рассчитан на втекающий ток до 48 мА и вытекающий ток до 24 мА. Программирование мощности и скорости нарастания сигнала выходного каскада позволяет минимизировать переходные процессы в шинах.

Для большинства сигнальных стандартов выходной уровень логической единицы зависит от приложенного извне напряжения  $V_{SSQ}$ . Использование напряжения  $V_{SSQ}$  позволяет ввести в устройство принудительные опорные величины для различных, близких по используемым логическим уровням стандартов (см. также «Банки ввода-вывода»).

По выбору, к каждому выходу может быть подключена схема «week-keeper». Если данная цепь активирована (пользователем на этапе создания схемы), то она следит за напряжением на контакте микросхемы и создает слабую нагрузку для входного сигнала, подключенную либо к «земле» (если на входе уровень логического нуля), либо к источнику питания (если на входе уровень логиче-

ской единицы). Если контакт подключен к нескольким источникам сигнала, эта цепь удерживает уровень входного сигнала в его последнем состоянии, при условии, что все источники были переведены в состояние с высоким импедансом. Поддержание таким путем одного из допустимых логических уровней позволяет ликвидировать неопределенность уровня шины.

Так как схема «week-keeper» использует входной буфер для слежения за входным уровнем, то необходимо использовать подходящее значение напряжения  $V_{KEP}$ , если выбранный сигнальный стандарт требует этого.

Подключение данного напряжения должно удовлетворять требованиям правил разбиения на банки.

#### 4.2.3, Банки ввода-вывода

Некоторые из описанных выше стандартов требуют подключения напряжения  $V_{CCO}$  и/или  $R_{CFR}$ . Эти внешние напряжения подключаются к контактам микросхемы, которые функционируют группами, называемыми банками.

Как показано на Рис. 3, каждая сторона кристалла микросхемы разделена на два банка. Каждый банк имеет несколько контактов  $V_{CCO}$ , но все они должны быть подключены к одному и тому же напряжению. Это напряжение определяется выбранным для данного банка стандартом выходных сигналов.

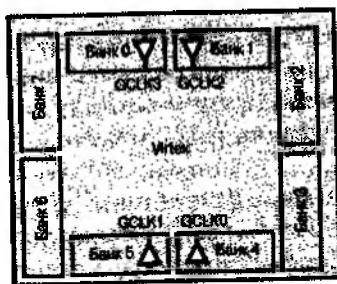


Рис. 3. Банки ввода-вывода Virtex

Стандарты для выходных сигналов конкретного банка могут быть различными только в том случае, если они используют одинаковое значение напряжения  $V_{CCO}$ . Совместимые стандарты показаны в Табл. 4. GTL и GTL+ присутствуют везде, поскольку их выходы с открытым стоком не зависят от значения  $V_{CCO}$ .

Таблица 4. Выходные совместимые стандарты

$V_{CCO}$	Совместимые стандарты
3.3 В	PCI, LVTTTL, SSTL3 I, SSTL3 II, CTT, AGP, GTL, GTL+
2.5 В	SSTL2 I, SSTL2 II, LVCMOS2, GTL, GTL+
1.5 В	HSTL I, HSTL III, HSTL IV, GTL, GTL+

Некоторые сигнальные стандарты требуют подачи соответствующих пороговых напряжений FMF на входные каскады. При этом определенные

— 60 —

БВВ автоматически конфигурируются как входы, соответствующие напряжению  $V_{REF}$ . Приблизительно один контакт из шести в каждом банке может выполнять эту роль.

Контакты  $F_{REF}$  в пределах одного банка внутренне между собой соединены, следовательно, только одно значение напряжения  $F_{REF}$  может быть использовано в рамках одного банка. Для правильной работы все контакты  $V_j^{pr}$  одного банка должны быть подсоединены к внешнему источнику напряжения.

В пределах одного банка можно одновременно использовать входы, которые



требуют напряжения  $P^r$  и входы, которые этого не требуют. В то же время, только одно значение напряжения  $FREF$  может быть использовано в рамках одного банка. Входные буферы, которые используют  $FREF$ , не совместимы с сигналами 5-В стандартов.

Контакты  $V_{SSO}$  и  $V^r$  для каждого банка приведены в таблицах и диаграммах под конкретный корпус и кристалл. На диаграммах также показано, к какому банку относится конкретный контакт ввода-вывода.

В рамках конкретного типа корпуса микросхемы число контактов  $V_{SSO}$  и  $VREF$  может меняться в зависимости от емкости кристалла. Чем больше кристалл по логической емкости, тем большее число контактов ввода-вывода преобразовано в контакты типа  $VREF$ . Поскольку существует максимальный набор контактов  $VREF$  для меньших кристаллов, имеется возможность проектирования печатной платы, позволяющей также использовать на ней и большие кристаллы с таким же типом корпуса. Все контакты  $VREF$ , предполагаемые к использованию для больших кристаллов, при этом должны быть подсоединены к напряжению  $V^r$  и не должны использоваться как контакты ввода-вывода.

В меньших кристаллах некоторые из контактов  $V_{SSO}$ , используемые в больших кристаллах, не соединены внутри корпуса. Эти не присоединенные контакты могут быть оставлены не присоединенными вне микросхемы или быть подключены к напряжению  $V_{SSO}$  при необходимости обеспечения совместимости разрабатываемой печатной платы с большими кристаллами.

В корпусах типа TQ-144 и PQ-240/HQ-240 все контакты  $V_{SSO}$  соединены вместе внутри микросхемы и, следовательно, ко всем из них должно быть подключено одно и то же напряжение  $V_{SSO}$ . В корпусе CS-144 пары банков, расположенные на одной стороне, внутренне соединены, обеспечивая, таким образом, возможность выбора только четырех возможных

значений напряжения для  $V_{SSO}$ . Контакты  $VREF$  остаются внутренне соединенными в рамках каждого из восьми банков и могут использоваться, как было описано выше.

#### 4.3. Конфигурируемый логический блок — КЛБ

Базовым элементом КЛБ является логическая ячейка — ЛЯ (Logic Cell — LC). ЛЯ состоит из 4-входового функционального генератора, логики ускоренного переноса и запоминающего элемента. Выход каждого функционального генератора каждой логической ячейки подсоединен к выходу КЛБ и к D-входу триггера. Каждый КЛБ серии Virtex содержит четыре логические ячейки, организованные в виде двух одинаковых секций (Рис. 4). На Рис. 5 представлено детальное изображение одной секции.

В дополнение к четырем базовым логическим ячейкам, КЛБ серии Virtex содержит логику, которая позволяет комбинировать ресурсы функциональных генераторов для реализации функций от пяти или шести переменных. Таким образом, при оценке числа эквивалентных системных вентилях для микросхем семейства Virtex, каждый КЛБ приравнивается к 4.5 ЛЯ.

##### 4.3.1. Таблица преобразования

Функциональные генераторы реализованы в виде 4-входовых таблиц преобразования (Look-Up Table — LUT). Кроме использования в качестве функцио-

нальных генераторов, каждый LUT-элемент может быть также использован как синхронное ОЗУ размерностью 16X1 бит. Более того, из двух LUT-элементов в рамках одной секции можно реализовать синхронное ОЗУ размерностью 16X2 бита или 32X1 бит, либо двухпортовое синхронное ОЗУ размерностью 16X1 бит.

На LUT-элементе микросхемы Virtex может быть реализован 16-разрядный сдвиговый регистр, который идеально подходит для захвата высокоскоростных или пакетных потоков данных. Этот режим может также использоваться для запоминания данных в приложениях цифровой обработки сигналов.

#### 4.3.2. Запоминающие элементы

Запоминающие элементы в каждой секции КЛБ Virtex могут конфигурироваться как динамические триггеры (чувствительные к фронту сигнала) D-типа, либо как триггеры-защелки, чувствительные к уровню сигнала. D-вход триггера может управляться либо от функционального генера-

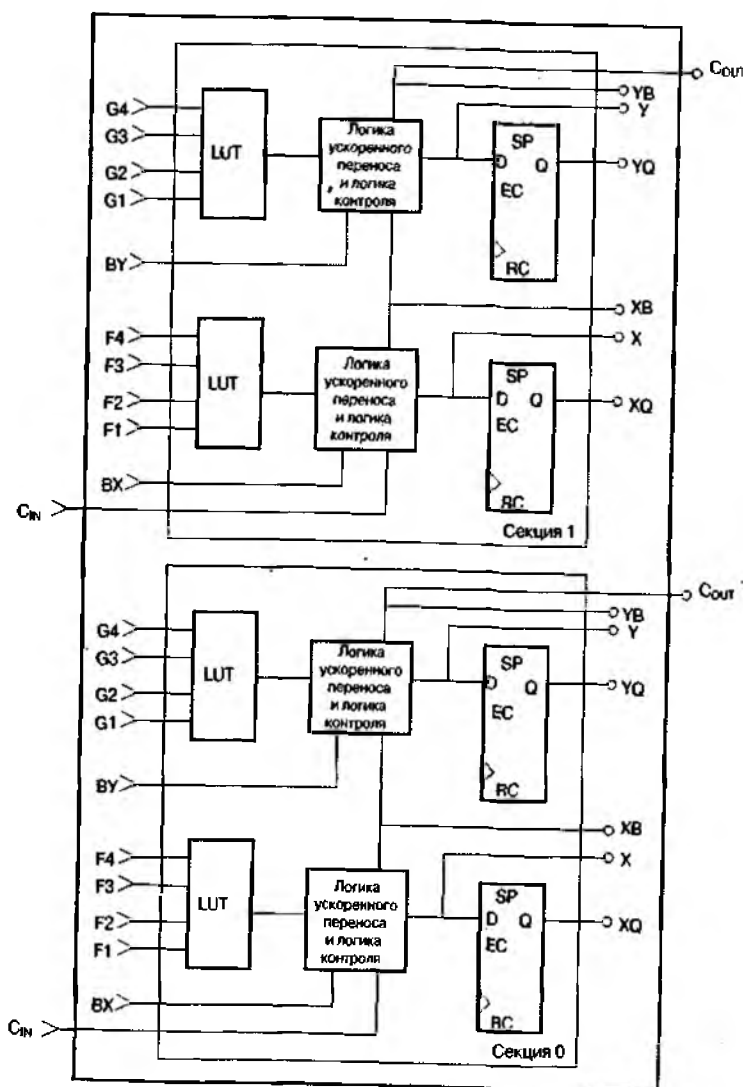


Рис. 4. 2-секционный КЛБ Virtex

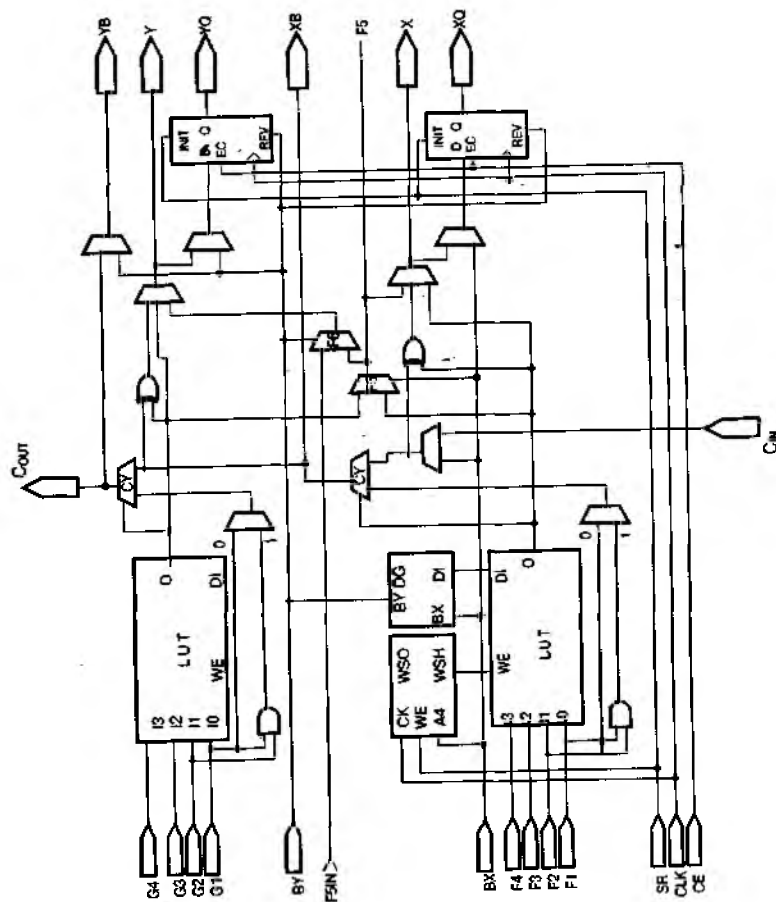


Рис. 5. Детальный вид секции Virtex

тора в рамках той же секции КЛБ, либо непосредственно от входов данной секции КЛБ, минуя функциональные генераторы.

Кроме сигналов синхронизации (Clock) и разрешения синхронизации (Clock Enable — CE) в каждой секции КЛБ есть сигналы синхронной установки (Set) и сброса (Reset). Обозначение этих сигналов — SR и BY соответственно. Сигнал SR переводит запоминающий элемент в состояние, определенное для него в конфигурационных данных, а сигнал BY — в противоположное состояние. Эти же сигналы могут быть использованы также в качестве асинхронной предустановки (Preset) и очистки (Clear). Все сигналы управления могут быть независимо про-инвертированы. Они подаются на оба триггера в рамках конкретной секции КЛБ.

#### 4.3.3. Дополнительная логика

Дополнительная логика, входящая в каждый КЛБ, представлена двумя мультиплексорами: F5 и F6.

На вход мультиплексора F5 подаются сигналы с выходов функциональных генераторов данной секции КЛБ. Этот узел может работать как функциональный генератор, реализующий любую 5-входовую функцию, либо как мультиплексор 4:1, либо как некоторая функция от девяти входных переменных.

Аналогично, мультиплексор F6 объединяет выходы всех четырех функ-

циональных генераторов КЛБ, используя один из выходов мультиплексора F5. Это позволяет реализовать либо любую 6-входовую функцию, либо мультиплексор 8:1, либо некоторую функцию до 19 переменных.

Каждый КЛБ имеет четыре сквозных линии — по одной на каждую логическую ячейку. Эти линии используются как дополнительные входы данных, либо как дополнительные трассировочные ресурсы, не расходующие логические ресурсы.

#### 4.3.4. Арифметическая логика

Каждая ЛЯ содержит специальную логику ускоренного переноса, которая обеспечивает наилучшую реализацию на ПЛИС различных арифметических функций. КЛБ содержит две отдельные цепи переноса — по одной на каждую секцию. Размерность цепи переноса — два бита на КЛБ.

Арифметическая логика включает в себя элемент, реализующий функцию исключающего ИЛИ, который позволяет реализовать однобитовый сумматор в одной логической ячейке.

В каждой логической ячейке имеется элемент, реализующий функцию И (AND), который предназначен для построения быстроедействующих умножителей.

Специальные трассы логики ускоренного переноса могут также использоваться для каскадного включения функциональных генераторов при необходимости создания функций с большим количеством входных переменных.

#### 4.3.5. Буферы с тремя состояниями

Каждый КЛБ Virtex содержит два буфера с тремя состояниями, которые нагружены на внутренние шины (см. также п. 4.4.4 «Специальные трассировочные ресурсы»). Каждый буфер BUFT имеет независимый вход управления с третьим состоянием и независимый входной контакт.

#### 4.3.6. Блочная память (Block RAM)

В FPGA Virtex встроена особая блочная память (Block Select RAM) большой емкости. Она создана в дополнение к распределенной памяти небольшой емкости (Select RAM), реализованной на таблицах преобразования (Look Up Table RAM — LUTRAM).

Блоки памяти Block Select RAM+ организованы в виде столбцов. Все устройства Virtex содержат два таких столбца, по одному вдоль каждой вертикальной стороны кристалла. Эти колонки увеличивают полный размер кристалла. Каждый блок памяти равен по высоте четырем КЛБ, таким образом, микросхема Virtex, имеющая 64 КЛБ по высоте, содержит 16 блоков памяти на колонку и 32 блока памяти в целом. В Табл. 5 приводятся емкости блочной памяти для различных кристаллов Virtex.

Таблица 5. Емкость блочной памяти

Кристалл Virtex	Число блоков	Общий объем блочной памяти [бит]
XCV50	8	32 768
XCV100	10	40 960
XCV150	12	49 152
XCV200	14	57 344
XCV300	16	65 536
XCV400	20	81 920
XCV600	24	98 304
XCV800	28	114 688
XCV1000	32	131 072

Каждый блок памяти, как показано на Рис. 6, это полностью синхронное двух-портовое ОЗУ с независимым управлением для каждого порта. Размерность шины данных для обоих портов может быть сконфигурирована независимо, что позволяет создавать преобразователи размерности шины. В Табл. 6 показаны возможные соотношения размерностей шин данных и адреса.

В кристаллах Virtex созданы специальные трассировочные ресурсы для связи блочной памяти с блоками КЛБ и другими блоками памяти.

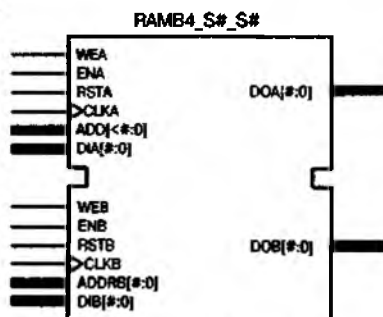


Рис. 6. Блок памяти

Таблица 6. Соотношение шин адреса и данных

Разрядность	Глубина	Шина адреса	Шина данных
1	4096	ADDR<11:0>	DATA<0>
2	2048	ADDR<10:0>	DATA<1:0>
4	1024	ADDR<9:0>	DATA<3:0>
8	512	ADDR<8:0>	DATA<7:0>
16	256	ADDR<7:0>	DATA<15:0>

#### 4.4. Программируемая трассировочная матрица

Быстродействие проекта, рассчитанного для наихудшего случая, ограничивает величина задержки для наиболее длинной трассы. Поэтому архитектура трассировочных ресурсов и программы размещения и трассировки создавались с учетом использования их в едином процессе оптимизации. Этот совместный процесс оптимизации минимизирует наиболее длинные пути и, таким образом, создает проект с наилучшей системной производительностью.

Кроме того, совместная оптимизация сокращает время компиляции, так как программное обеспечение и архитектура микросхемы создавались с учетом наилучшего взаимодействия. Циклы проектирования, таким образом, сократились благодаря более коротким временам каждой из итераций всего процесса.

##### 4.4.1. Локальные связи

Как показано на Рис. 7, в кристалле Virtex созданы локальные трассировочные

ресурсы, называемые VersaBlock. Они позволяют реализовать три типа соединений:

\*•

1. Связи между таблицами преобразования (LUT), триггерами и главной трассировочной матрицей (ГТМ).
2. Внутренние обратные связи КЛБ, которые создают высокоскоростные связи с таблицами преобразования в рамках одного КЛБ и позволяют соединять их в виде цепочек с минимальными задержками распространения сигналов.
3. Прямые трассы, которые создают высокоскоростные соединения с соседними по горизонтали КЛБ, избегая при этом больших задержек, присущих трассам ГТМ.

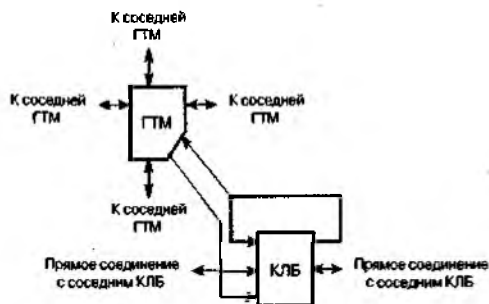


Рис. 7. Локальные связи в кристалле Virtex

#### 4.4.2. Трассировочные ресурсы общего назначения

Большинство связей в кристаллах Virtex реализуются с помощью трассировочных ресурсов общего назначения, и, следовательно, большая часть ресурсов межсоединений связана с этим типом трассировочной иерархии. Трассировочные ресурсы общего назначения расположены в виде горизонтальных и вертикальных трассировочных каналов и размещены в непосредственной близости от строк и столбцов матрицы, образованной блоками КЛБ. Ниже перечислены эти ресурсы:

- Примыкающая к каждому КЛБ главная трассировочная матрица (ГТМ) — это матрица переключателей, с помощью которых коммутируются горизонтальные и вертикальные трассы и посредством которых блоки КЛБ получают доступ к трассировочным ресурсам общего назначения.
- ГТМ связана в каждом из четырех направлений с соседней ГТМ посредством 24 трасс одинарной длины.
- 96 буферизованных НЕХ-линий трассируют сигналы ГТМ к шести другим ГТМ в каждом из четырех направлений. НЕХ-линии организованы в виде зигзагообразных линий. НЕХ-линии могут подключаться к источникам сигнала только в своих конечных точках или серединных (три блока от источника). Одна третья часть НЕХ-линий является двунаправленными, в то время как остальные — однонаправленные.
- 12 длинных линий являются буферизованными, двунаправленными линиями, распространяющими сигналы в микросхеме быстро и эффективно. Вертикальные длинные линии имеют протяженность, равную полной высоте кристалла, а горизонтальные длинные линии — полной ширине.

#### 4.4.3. Трассировочные ресурсы для блоков ввода-вывода

Кристалл Virtex имеет дополнительные трассировочные ресурсы, распо-

женные по периферии всей микросхемы. Эти трассировочные ресурсы формируют добавочный интерфейс между КЛБ и БВВ. Эти дополнительные ресурсы, называемые VersaRing, улучшают возможности закрепления сигналов за контактами и переназначения уже сделанного закрепления, если это требование накладывается расположением сигналов на печатной плате. При этом сокращается время изготовления всего проекта, т. к. изготовление и проектирование печатной платы можно выполнять одновременно с проектированием FPGA.

#### 4.4.4. Специальные трассировочные ресурсы

Некоторые классы сигналов требуют наличия специальных трассировочных ресурсов для получения максимального быстродействия. В устройстве Virtex специальные трассировочные ресурсы создавались для двух классов сигналов:

Горизонтальные трассировочные ресурсы создавались для реализации микросхеме шин с тремя состояниями. Четыре разделенные линии шин реализованы для каждой строки КЛБ, позволяя организовывать сразу несколько шин в пределах одной строки (Рис. 8). Две специальные линии для распространения сигналов быстрого переноса к прилегающему КЛБ в вертикальном направлении.

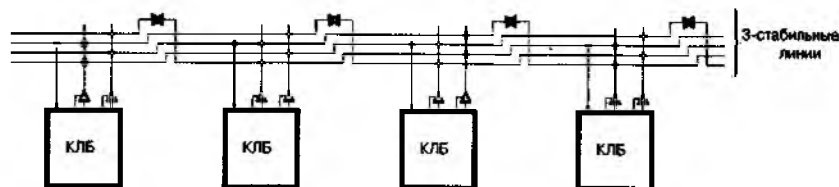


Рис. 8. Подключение 3-стабильных буферов к горизонтальным линиям

#### 4.4.5. Глобальные трассировочные ресурсы

Глобальные трассировочные ресурсы распределяют тактовые сигналы и другие сигналы с большим коэффициентом разветвления по выходу на всем пространстве кристалла. Кристалл Virtex имеет два типа глобальных трассировочных ресурсов, называемых соответственно первичными и вторичными:

- Первичные глобальные трассировочные ресурсы представляют собой четыре специальные глобальные сети со специально выделенными входными контактами и связанными с ними глобальными буферами, спроектированными для распределения сигналов синхронизации с высоким коэффициентом разветвления и с минимальными разбегами фронтов. Каждая такая сеть может быть нагружена на входы синхронизации всех КЛБ, БВВ и Block RAM — блоков микросхемы. Источниками сигналов для этих сетей могут быть только глобальные буферы. Всего имеется четыре глобальных буфера — по одному для каждой глобальной сети.
- Вторичные глобальные трассировочные ресурсы состоят из 24 магистральных линий, 12 — вдоль верхней стороны кристалла и 12 — вдоль нижней. По этим связям может быть распространено до 12 уникальных сигналов на колонку по 12 длинным линиям данной колонки. Вторичные ресурсы являются более гибкими, чем первичные, т.к. эти сигналы, в отличие от первичных, могут трассироваться не только до входов синхронизации.

#### 4.5. Распределение сигналов синхронизации

Как было описано выше, Virtex имеет высокоскоростные, с малыми искажениями трассировочные ресурсы для распределения сигналов синхро-

низации на всем пространстве микросхемы. Типичное распределение цепей синхронизации показано на Рис. 9.

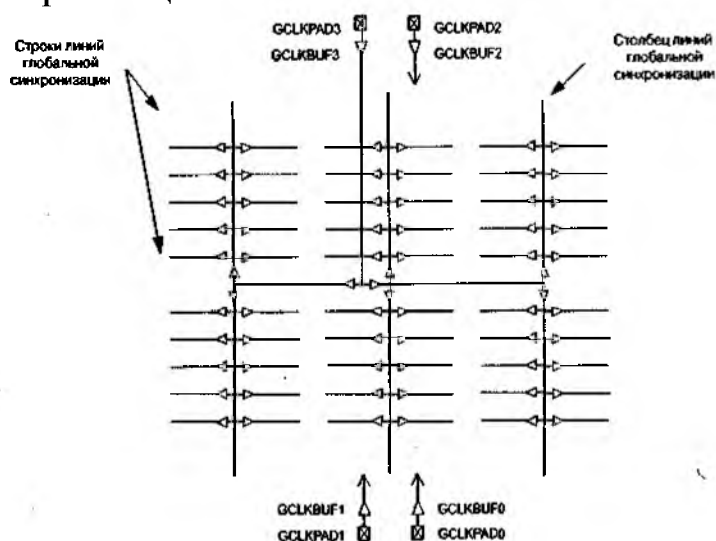


Рис. 9. Глобальные цепи синхронизации

В микросхему встроено четыре глобальных буфера, два — в середине верхней части микросхемы, два — в середине нижней части. Эти буферы через первичные глобальные сети могут подводить сигналы синхронизации на любой тактовый вход.

Для каждого глобального буфера имеется соответствующий, примыкающий к нему контакт микросхемы. Сигнал на вход глобального буфера может подаваться как с этих контактов, так и от сигналов, трассируемых ресурсами общего назначения.

#### 4.5.1. Модули автоподстройки задержки (DLL)

Полностью цифровая автоподстройка задержки (DLL), связанная с каждым глобальным буфером, может устранять перекося задержек между синхросигналом на входном контакте микросхемы и сигналами на тактовых входах внутренних схем устройства. Каждая DLL может быть нагружена на две глобальные цепи синхронизации. Схема DLL отслеживает сигнал синхронизации на входном контакте микросхемы и тактовый сигнал, распределяемый внутри кристалла, затем автоматически устанавливает необходимую задержку. Дополнительная задержка вводится таким образом, что фронты сигналов синхронизации достигают внутренних триггеров в точности на один период синхронизации позже их прихода на входной контакт. Эта система с обратной связью эффективно устраняет задержку распределения сигналов синхронизации, гарантируя, что фронты синхросигналов на входе микросхемы и на внутренних тактовых входах с большой точностью синхронны.

Вдобавок, для устранения задержек, возникающих при распределении тактовых сигналов, DLL создает новые возможности управления функциями синхронизации. Модуль DLL может создавать четыре квадратурные фазы из исходного источника синхросигнала; удваивать частоту синхросигнала или делить эту частоту на 1.5, 2, 2.5, 3, 4, 5, 8 или 16.

Модуль DLL также функционирует как тактовое зеркало. Путем вывода из микросхемы сигнала с выхода DLL и последующего ввода этого сигнала снова



внутри кристалла, схема DLL может устранить разбег фаз для тактовых сигналов на уровне печатной платы, при работе с несколькими устройствами Virtex. Чтобы гарантировать, что системная синхронизация будет нормально функционировать до момента окончания конфигурирования системы и начала штатной работы, схема DLL имеет возможность задерживать процесс конфигурирования до нормальной синхронизации с системой.

#### 4.6. Периферийное сканирование (ПС)

Микросхемы Virtex поддерживают команды периферийного сканирования, приведенные в спецификации стандарта IEEE 1149.1. Порт Test Access Port (TAP) и регистры реализованы для выполнения команд Extest, INTEST, Sample/Preload, Bypass, IDCODE, USERCODE и HIGHZ. Кроме того, порт TAP поддерживает две внутренние сканирующие цепочки и позволяет загрузить/считать конфигурацию кристалла.

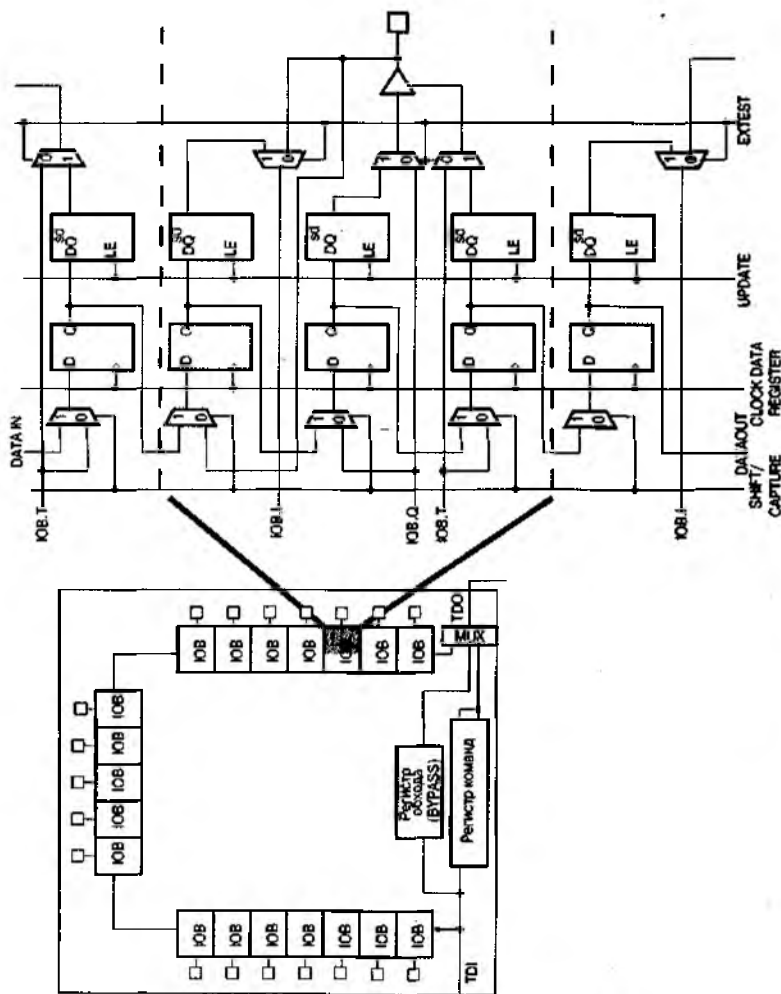
Порт TAP использует predetermined контакты микросхемы и LVTTTL уровни сигналов. Для того чтобы выход ТОО выдавал сигналы на уровнях LVTTTL, на контакт V<sub>SSO</sub> второго банка должно быть подано напряжение 3.3 В. В противном случае напряжение на выходе ТОО будет меняться в пределах от нуля до V<sub>SSO</sub>.

Операции периферийного сканирования не зависят от конкретных конфигураций блоков ввода-вывода и типа корпуса. Все блоки ввода-вывода, включая неподключенные к контактам, рассматриваются как независимые двунаправленные контакты с тремя состояниями, в единой цепочке сканирования. Сохранение возможности осуществлять двунаправленное тестирование после конфигурирования облегчает тестирование внешних межсоединений.

В Табл. 7 приведены команды периферийного сканирования, поддерживаемые кристаллами Virtex. Внутренние сигналы могут быть проанализированы в процессе выполнения команды Extest посредством подключения их к неиспользуемым выходам блоков ввода-вывода, либо к блокам ввода-вывода, не присоединенным к контактам. Они могут быть также подсоединены к неиспользуемым выходам блоков ввода-вывода, которые определены как однонаправленные входные контакты.

**Таблица 7. Инструкции периферийного сканирования**

Команда	Двоичный код (4:0)	Описание
EXTEST	00000	Разрешает операцию периферийного сканирования EXTEST
SAMPLE/PRELOAD	00001	Разрешает операцию периферийного сканирования SAMPLE/PRELOAD
USER1	00010	Доступ к определенному пользователем регистру 1
USER2	00011	Доступ к определенному пользователем регистру 2
CFG_OUT	00100	Доступ к конфигурационной шине для операций считывания
CFG_IN	00101	Доступ к конфигурационной шине для операций записи
INTEST	00111	Разрешает операцию периферийного сканирования INTEST
USERCODE	01000	Разрешает считываниепользовательского кода
IDCODE	01001	Разрешает считывание ID кода
HIGHZ	01010	Переводит выходы в третье состояние во время операции BYPASS
JSTART	01100	Активизирует вход TCK порта TAP
BYPASS	11111	Разрешает BYPASS
RESERVED	Любой другой	Зарезервированные инструкции



**Рис. 10. Логика периферийного скаанирования серии Virtex**

До конфигурации кристалла доступны все команды кроме USER1 и USER2. После конфигурации кристалла доступны все команды без исключения. Во

время конфигурации не рекомендуется использовать команды Exttest, INtest и Sample/Preload.

В дополнение к описанным выше тестовым командам поддерживаются команды, позволяющие загрузить/считать конфигурацию кристалла.

На Рис. 10 показана логика периферийного сканирования кристаллов серии Virtex. Логика периферийного сканирования состоит из 3-разрядного регистра данных на один БВВ, контроллера порта TAP и регистра команд с декодированием.

#### 4.6.1. Регистры данных

Первичный регистр данных является регистром периферийного сканирования. Для каждого вывода микросхемы, связанного с программируемым БВВ, регистр данных ПС содержит три разряда сдвигового регистра и три разряда регистра-защелки (для входа, выхода и управления третьим состоянием). Выводы, не доступные для программирования пользователем, имеют только по одному разряду в регистре данных ПС (для входа или выхода).

Другим регистром данных является регистр BYPASS. Данный регистр осуществляет синхронизацию данных, проходящих через кристалл, в следующее устройство с периферийным сканированием. В кристалле имеется только один такой регистр.

Кристалл семейства Virtex содержит две дополнительные внутренние цепи сканирования, которые могут быть задействованы использованием в проекте макромодуля BSCAN. Выводы SEL1 и SEL2 макромодуля BSCAN переводятся в логическую единицу при командах USER1 и USER2 соответственно, задействуя эти цепи. Данные с выхода TDO считываются входами TDO1 или TDO2 макромодуля BSCAN. Макромодуль BSCAN также имеет отдельные тактовые входы DRCK1 и DRCK2 для каждого пользовательского регистра ПС, общий вход TDI и общие выходы RESET, SHIFT и UPDATE, отражающие состояние контроллера порта TAP.

#### 4.6.2. Порядок битов регистра данных ПС

Порядок в каждом БВВ: Вход, Выход, Высокий импеданс. Только входные контакты представлены одним битом, а только выходные — всеми тремя.

Если смотреть на кристалл, как он представлен в программном обеспечении проектирования (модуль FPGA EDITOR), то последовательность битов в регистре данных ПС будет определяться, как на Рис. 11.

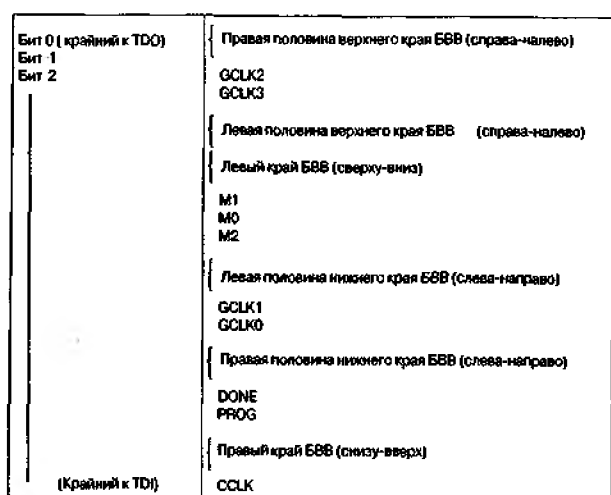


Рис. 11. Последовательность битов ПС

#### 4.6.3. Идентификационные регистры

Имеются два идентификационных регистра: IDCODE-регистр и USER-CODE-регистр. IDCODE позволяет определить микросхему, подсоединенную к JTAG-порту.

IDCODE имеет следующий двоичный формат:

vvvv : ffif: fffa : aaaa : aaaa : cccc : cccc : cccl,

где v — код корпуса, f — код семейства кристаллов (03h для семейства Virtex), a — число строк матрицы КЛБ (от 01 0h для XCV50 до 040h для XCV1000), c — код компании производителя (49h для фирмы «Xilinx»)

В Табл. 8 приведены идентификационные коды (IDCODEs), присвоенные кристаллам серии Virtex.

Используя USERCODE, пользователь может записать и считать свой идентификационный номер для данного проекта. Пользовательский идентификационный код включается в конфигурационный файл во время его создания. USERCODE может быть считан только после конфигурации кристалла.

Таблица 8. Идентификационные коды (IDCODEs), присвоенные кристаллам серии Virtex

Кристалл	IDCODE
XCV50	v0610093h
XCV100	v0614093h
XCV150	v0618093h
XCV200	v061C093h
XCV300	v0620093h
XCV400	v0628093h
XCV600	v0630093h
XCV800	v0638093h
XCV1000	v0640093h

#### 4.6.4. Включение ПС в проект

Так как все контакты, необходимые для ПС, предопределены в каждом кристалле, то не нужно включать в проект дополнительных элементов, если не будут использоваться пользовательские регистры (USER1 и USER2). Для задействования этих регистров в проект необходимо включить элемент BSCAN и соединить соответствующие выводы.

### 5. Система проектирования

Разработка кристаллов Virtex осуществляется программным обеспечением проектирования Xilinx Foundation и/или Xilinx Alliance. Процесс проектирования включает: ввод проекта, размещение в кристалл и верификацию. Для ввода проекта могут применяться стандартные электронные САПР, таких фирм, как «Aldec», «Cadence», «Exemplar», «Simplicity», «Mentor Graphics» или «Synopsys». Для размещения в кристалл и верификации используются специализированные под архитектуру САПР, выпускаемые только фирмой «Xilinx».

Система проектирования фирмы «Xilinx» интегрирована в управляющую программу, называемую Xilinx Design Manager (XDM), которая обеспечивает доступ к общему пользовательскому интерфейсу, независимо от выбора вида программы ввода или верификации. Программа XDM упрощает выбор настроек, необходимых для выполнения проекта, благодаря наличию разветвленного меню и легко доступной справочной системе (on-line help).

Прикладные программы, начиная от создания схемы (schematic capture), до размещения и трассировки (Placement and Routing — PAR), доступны из программы XDM. Цепочка команд, определяющих последовательность обрабатываемых процессов, генерируется до начала их исполнения и запоминается для последующего документирования.

Несколько расширенных свойств программного обеспечения облегчает проектирование микросхем Virtex. Например, схемные относительно расположенные макросы (Relationally Placed Macros — RPMs), в которых содержится информация о принудительной взаимной ориентации составных частей элементов проекта, дают необходимую информацию для их реального размещения на кристалле. Они помогают обеспечить оптимальное выполнение стандартных логических функций.

Для ввода проектов с помощью языков описания аппаратных средств (Hardware Description Language — HDL), система проектирования Xilinx Foundation предоставляет интерфейсы к синтезаторам следующих фирм:

- «Synopsis» (FPGA Compiler, FPGA Express);
- «Exemplar» (Spectrum);
- «Simplicity» (Symplify).

Для схемного ввода проектов системы проектирования Xilinx Foundation и Alliance предоставляют интерфейсы к следующим системам создания схем:

- Mentor Graphics V8 (Design Architect Quick Sim II);
- Innoveda (Viewdraw).

Существует множество других производителей, которые предлагают аналогичные по функциям системы ввода проекта.

Для упрощения взаимодействия различных САПР существует стандартный формат файлов (EDIF), который поддерживается всеми производителями САПР.

САПР для Virtex включает унифицированную библиотеку стандартных функций. Эта библиотека содержит свыше 400 примитивов и макросов, от двухвходовых вентилях И, до 16-битовых аккумуляторов и включает арифметические функции, компараторы, счетчики, регистры данных, дешифраторы, шифраторы, функции ввода-вывода, защелки, булевы функции, мультиплексоры и сдви-

гающие регистры.

Часть библиотеки, содержащей детальные описания общих логических функций, реализованных в виде «нежестких» макросов (soft macro), не содержит никакой информации о разбиении этих функций на реальные физические блоки и об их размещении в кристалле. Быстродействие данных макросов зависит, таким образом, от этих двух процедур, которые реализуются на этапе размещения проекта в кристалл. В то же время относительно расположенные макросы (RPMs) содержат в себе предварительно определенную информацию о разбиении на физические блоки и о размещении, которая дает возможность для оптимального выполнения этих функций. Пользователи могут создать свою собственную библиотеку «нежестких» макросов и RPM из примитивов и макросов стандартной библиотеки.

Среда проектирования поддерживает ввод иерархических проектов, в которых схемы верхнего уровня содержат основные функциональные блоки, в то время как системы нижнего уровня определяют логические функции этих блоков. Данные элементы иерархического проекта автоматически объединяются соответствующими средствами на этапе размещения в кристалл. При иерархической реализации могут объединяться различные средства ввода проекта, давая возможность каждую из частей вводить наиболее подходящим для нее методом.

#### 5.1. Размещение проекта в кристалл

Программное средство размещения и трассировки (place and route — PAR) обеспечивает автоматическое протекание процесса размещения проекта в кристалл, которое описывается ниже. Процедура разбиения на физические блоки получает исходную информацию о проекте в виде перечня связей формата EDIF и осуществляет привязку абстрактных логических элементов к реальным физическим ресурсам архитектуры FPGA (БВВ, КЛБ). Затем процедура размещения определяет наилучшее место для их размещения, руководствуясь информацией о межсоединениях и желаемом быстродействии. В завершении, процедура трассировки выполняет соединения между блоками.

Алгоритмы программы PAR поддерживают автоматическое выполнение большинства проектов. Тем не менее, в некоторых приложениях пользователь при необходимости может осуществлять контроль и управление процессом. На этапе ввода проекта пользователь может задавать свою информацию для разбиения, размещения и трассировки.

В программное обеспечение встроено средство Timing Wizard, управляющее процессом размещения и трассировки с учетом требований к временам распространения сигналов. При вводе проекта пользователь задает эту информацию в виде временных ограничений для определенных цепей. Процедуры анализа временных параметров связей анализируют эти, заданные пользователем, требования и пытаются удовлетворить им.

Временные требования вводятся в схему в виде непосредственных системных ограничений, таких, как минимально допустимая частота синхронизации, или максимально допустимая задержка между двумя регистрами. При таком подходе результирующее быстродействие системы с учетом суммарной протяженности путей автоматически подгоняется под требования пользователя. Таким об-

разом, задание временных ограничений для отдельных цепей становится не нужным.

## 5.2. Верификация проекта

В дополнение к обычному программному моделированию FPGA, пользователь может использовать метод непосредственной отладки реальных цепей. Благодаря неограниченному количеству циклов перепрограммирования кристаллов FPGA, работоспособность проектов можно проверить в реальном масштабе времени, вместо того чтобы использовать большой набор тестовых векторов, необходимых при программном моделировании.

Система проектирования устройств Virtex поддерживает и программное моделирование и метод отладки непосредственно аппаратных цепей. Для выполнения моделирования система извлекает временную информацию, полученную после размещения из базы данных проекта, и вводит ее в сетевой перечень. Пользователь может и сам проверить критичные по времени части проекта, используя статический временной анализатор TRACE.

Для непосредственной отладки цепей к системе проектирования поставляется кабель для загрузки конфигурационных данных и обратного считывания данных из микросхемы. Этот кабель соединяет персональный компьютер или рабочую станцию с микросхемой FPGA, установленной в законченное устройство. После загрузки проекта в FPGA, пользователь может выполнить один шаг изменения логического состояния схемы, затем выполнить обратное считывание состояния триггеров в компьютер и проанализировать правильность работы схемы. Простейшие модификации проекта при этом можно осуществлять в считанные минуты.

## 6. Конфигурирование кристалла в устройстве

Микросхемы Virtex конфигурируются путем загрузки конфигурационных данных во внутреннюю конфигурационную память. Часть специальных контактов, которые при этом используются, не могут применяться для других целей, в то же время некоторые из них могут после завершения конфигурирования служить в качестве контактов ввода-вывода общего назначения. К специальным контактам конфигурирования относятся следующие:

- контакты режима конфигурирования (M2, M1, M0);
- контакт синхронизации процесса конфигурирования (CCLK);
- контакт INIT;
- контакт DONE;
- контакты порта периферийного сканирования (TDI, TDO, TMS, TCK).

В зависимости от выбранного режима конфигурирования контакт CCLK может быть либо источником сигнала синхронизации, либо наоборот — приемником сигнала от внешнего генератора синхросигналов.

### 6.1. Режимы конфигурирования

Virtex поддерживает следующие четыре режима конфигурирования:

- подчиненный последовательный режим (Slave-serial);
- ведущий последовательный режим (Master-serial);
- режим SelectMap;
- режим периферийного сканирования (Boundary Scan — JTAG). Комбинация

кодов на специальных входных контактах (M2, M1, M0) позволяет выбрать один из режимов конфигурирования, при этом четыре из восьми кодов соответствуют «подтянутому» (pull-up) состоянию входов блоков ввода-вывода до начала процедуры конфигурирования, и еще четыре комбинации состоянию неопределенного потенциала блоков ввода-вывода. Соответствие этих кодов необходимому режиму приведено в Табл. 9.

Таблица 9. Конфигурационные коды

Режим	M2	M1	M0	CCLK	Разрядность данных	Последовательный выход DOUT	Контакты «подтянуты»
Master-serial	0	0	0	Выход	1	Есть	Нет
Boundary-scan	1	0	1		1	Нет	Нет
SelectMAP	1	1	0	Вход	8	Нет	Нет
Slave-serial	1	1	1	Вход	1	Есть	Нет
Master-serial	1	0	0	Выход	1	Есть	Да
Boundary-scan	0	0	1		1	Нет	Да
SelectMAP	0	1	0	Вход	8	Нет	Да
Slave-serial	0	1	1	Вход	1	Есть	Да

Конфигурирование микросхемы FPGA через порт периферийного сканирования доступно всегда, независимо от значения этого кода. Задание кода отключает другие режимы. Все три контакта режима конфигурирования имеют внутренние «подтягивающие» резисторы и по умолчанию задают, таким образом, состояния высокого логического уровня, если отсутствуют внешние подключения.

#### 6.1.1. Подчиненный последовательный режим

В этом режиме FPGA принимает конфигурационные данные в последовательной форме от последовательного ПЗУ или от другого источника последовательных конфигурационных данных.

Данные последовательного битового потока (bitstream) должны быть установлены на входе DIN незадолго до появления нарастающего фронта сигнала, генерируемого внешним источником и подаваемого на вход CCLK.

Несколько микросхем FPGA могут быть соединены в цепочку для конфигурирования от единого внешнего источника конфигурационных данных. После того как одна из микросхем сконфигурирована, данные для следующей появляются на выходе DOUT. Изменение данных на выходе DOUT происходит после нарастающего фронта сигнала на входе CCLK.

Процесс стробирования данных, подаваемых на вход DIN по нарастающему фронту CCLK, отличается от аналогичного процесса в старых семействах микросхем FPGA, но это не приводит к возникновению проблем для смешанных конфигурационных цепочек. Такое изменение сделано для увеличения скоростей последовательного конфигурирования цепочек FPGA, состоящих только из микросхем Virtex.

На Рис. 12 изображена полная схема, совмещающая подчиненные режимы и ведущий режим. FPGA Virtex, конфигурируемые в подчиненном режиме, должны быть подключены так же, как устройство, изображенное третьим слева. Подчиненный последовательный режим выбирается заданием кода <111> на входах режима конфигурирования (M2, M1, M0). Внутренние высокоомные резисторы на режимных контактах «подтягивают» данные входы в состояние вы-



сокого логического уровня и, таким образом, задают этот режим по умолчанию, если ^выходы не имеют внешних подключений. На Рис. 13 изображена временная диаграмма для данного режима.

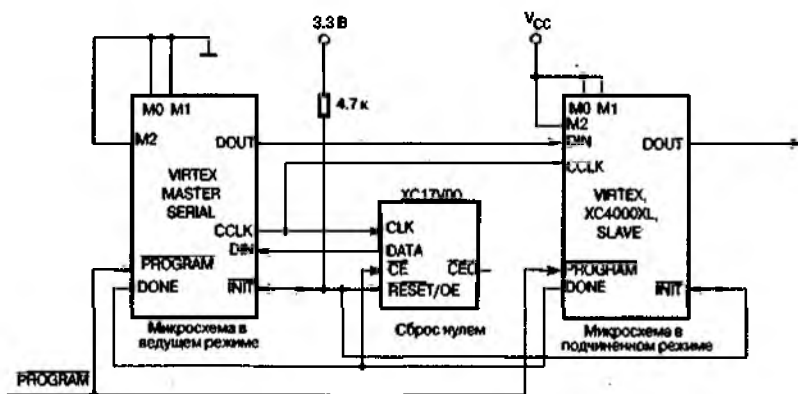


Рис. 12. Ведущий/подчиненный режимы конфигурации

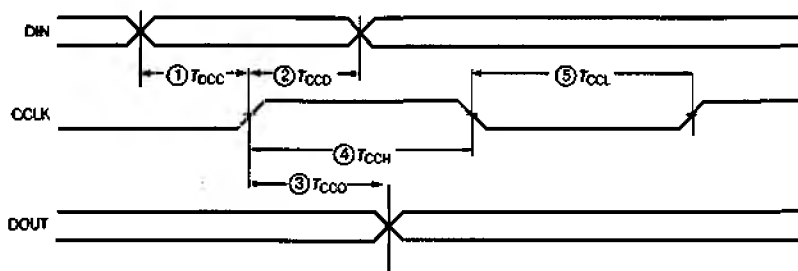


Рис. 13. Временная диаграмма подчиненного режима конфигурации

В Табл. 10 содержится более подробная информация для величин, приведенных на Рис. 13. Для FPGA, соединенных в цепочку, процесс конфигурирования должен быть задержан до тех пор, пока на контактах INIT всех микросхем цепочки не появится высокий логический уровень.

Таблица 10. Параметры сигналов подчиненного и ведущего режимов

Параметр	Обозначение	Значение	
		min	max
Предустановка/удержание входного сигнала DIN, подчиненный режим	1/2*	$T_{DCC}/T_{CCD}$	5.0 нс/0 нс
Предустановка/удержание входного сигнала DIN, ведущий режим	1/2*	$T_{DSCC}/T_{SCCD}$	5.0 нс/0 нс
Задержка сигнала DOUT	3*	$T_{CCO}$	12 нс
Длительность высокого уровня	4*	$T_{CCH}$	5.0 нс
Длительность низкого уровня	5*	$T_{CCL}$	5.0 нс
Частота		$F_{CC}$	66 МГц

\*См. рис. 13.

## 6.1.2. Ведущий последовательный режим

В ведущем последовательном режиме с выхода CCLK FPGA сигнал подается на соответствующий вход микросхемы ППЗУ, которая передает данные на DIN-вход той же микросхемы FPGA. Прием данных в FPGA осуществляется по ка-

ждому нарастающему фронту сигнала CCLK. После полного конфигурирования микросхемы, данные для следующих устройств, соединенных цепочкой, появляются на выходе DOUT после каждого нарастающего фронта сигнала CCLK. Данные конфигурирования, поступающие на все микросхемы FPGA, соединенные в цепочку, обязательно начинаются с блока, называемого преамбулой.

Интерфейс, поддерживающий этот режим, идентичен интерфейсу подчиненного режима, за исключением того, что для генерации синхросигнала конфигурирования используется внутренний осциллятор FPGA. Частота для этого синхросигнала может быть выбрана из широкого диапазона значений, но по умолчанию всегда используется низкая частота. Переключение на более высокую частоту происходит Данными, которые распознаются микросхемой в самом конфигурационном потоке, после чего оставшаяся часть потока загружается уже с новой скоростью. Переключение снова на более низкую частоту запрещается. Частота синхронизации CCLK устанавливается выбором ConfigRate в программе генерации кон-

фигурационного потока. Максимальная частота ССс, которая может быть выбрана — 60 МГц. Выбирая конкретную частоту CCLK, необходимо убедиться, что используемые ПЗУ и все соединенные в цепочку микросхемы FPGA рассчитаны на конфигурирование в таком темпе.

После включения питания, частота CCLK равна 2.5 МГц. Эта частота используется до момента загрузки битов ConfigRate, после чего частота меняется на новое значение, определенное этими битами. Если в проекте не задается другая частота, то используемая по умолчанию частота равна 4 МГц.

На Рис. 12 показана полная система, содержащая кристалл в ведущем и кристалл в подчиненном режимах. В этой схеме крайнее левое устройство работает в ведущем последовательном режиме. Остальные устройства работают в подчиненном последовательном режиме. На вход RESET микросхемы ППЗУ подается сигнал с контактов INIT микросхемы FPGA. Аналогично, на вход CE — с выхода DONE. При этом в зависимости от выбранной стартовой последовательности существует конфликт потенциалов на контакте DONE.

Для последовательного конфигурирования микросхем FPGA необходимо использовать последовательность, изображенную в виде алгоритма на Рис. 14.

Временная диаграмма для ведущего последовательного режима показана на Рис. 15. Данный режим выбирается заданием кода <000> или <100> на входах M2, M1, M0. Необходимую временную информацию для этого режима содержит Табл. 10.

Время нарастания напряжения питания  $V_{cc}$  от уровня 1 В до минимально допустимого значения  $F_{cc}$  не должно превышать 50 мс, в противном случае необходимо удерживать сигнал PROGRAM в состоянии низкого логического уровня до момента достижения допустимого уровня  $V_{cc}$ .

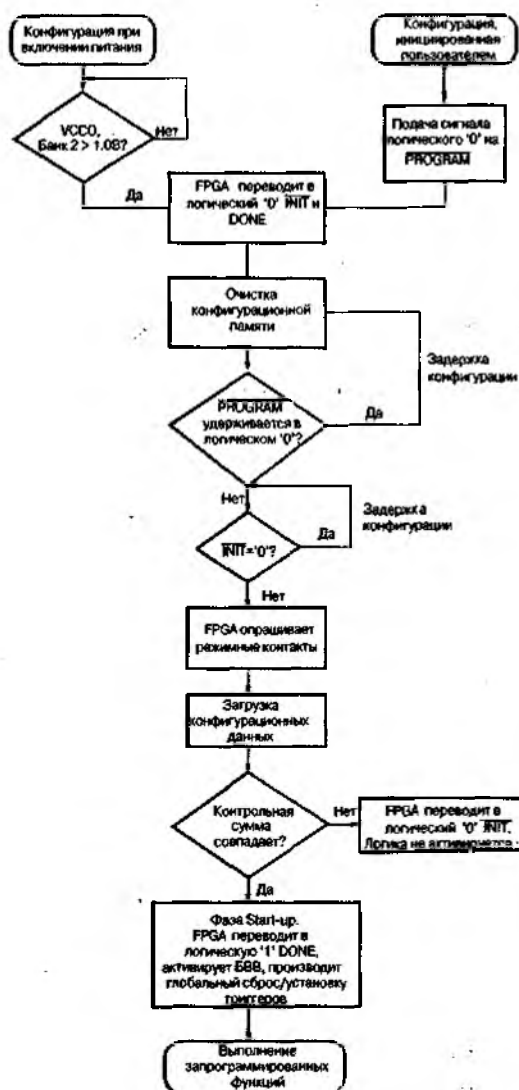
### 6.1.3. Режим SelectMAP

SelectMAP — самый быстрый режим конфигурирования. В этом режиме данные записываются в FPGA побайтно с использованием флага BUSY, управляющего потоком данных.

Внешний источник создает байтовый поток данных и сигналы CCLK, выбор кристалла (Chip Select — CS), запись (WRITE). Если установлен высокий логический уровень сигнала BUSY, данные должны удерживаться до тех пор, пока BUSY не будет переведен в состояние низкого уровня.

Используя этот режим можно считать данные. Если сигнал WRITE не установлен (т.е. находится в состоянии высокого логического уровня), конфигурационные данные читаются обратно из FPGA, как часть операции обратного считывания.

После окончания конфигурирования контакты порта SelectMAP могут использоваться как дополнительные пользовательские входы-выходы.



• Рис. 14. Алгоритм конфигурирования микросхем Virtex в последовательных режимах

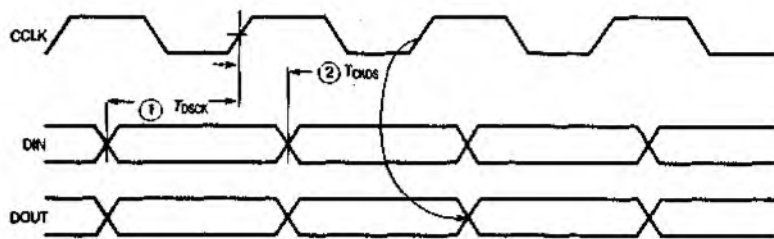


Рис. 15. Временная диаграмма ведущего режима конфигурации

Можно использовать этот порт для быстрого 8-битового обратного считывания конфигурационных данных.

Сохранение такой возможности после конфигурирования реализуется на этапе создания битового потока. Для сохранения такой возможности необходимо использовать ограничения типа PROHIBIT, предохраняющие контакты порта SelectMAP от использования в качестве пользовательских.

Несколько FPGA Virtex могут конфигурироваться в режиме SelectMAP, и далее одновременно запускаться для штатного функционирования. Для конфигурирования нескольких устройств таким способом, необходимо соединить параллельно индивидуальные сигналы отдельных микросхем CCLK, Data, WRITE и BUSY. Конкретные микросхемы конфигурируются по очереди за счет поочередной подачи активного сигнала на контакт выборки (CS) этой FPGA и записи соответствующих ей данных. В Табл. 11 представлены временные параметры сигналов режима SelectMAP.

#### Запись

Процедура записи посылает пакеты конфигурационных данных в FPGA. Необходимо отметить, что конфигурационный пакет можно расщепить на несколько таких последовательностей. ^ Пакет не должен быть закончен за время одной активизации сигнала CS, изображенной на Рис. 16.

Последовательность операций:

1. Установить сигналы WRITE и CS в состояние низкого логического уровня. Отметим, что если сигнал CS активизируется во время уже функционирующего сигнала CCLK, сигнал WRITE должен оставаться неизменным. В противном случае, как описано далее, будет инициировано преждевременное прекращение процедуры.

Таблица 11. Параметры сигналов режима SelectMAP

Параметр	Обозначение	Значение	
		min	max
Предустановка/удержание входных сигналов D0-D7	1/2* $T_{\text{SMDCC}}/T_{\text{SMCCD}}$	5.0 нс/0 нс	
Предустановка/удержание входного сигнала $\overline{\text{CS}}$	3/4* $T_{\text{SMCSCC}}/T_{\text{SMCCCS}}$	7.0 нс/0 нс	
Предустановка/удержание входного сигнала WRITE	5/6* $T_{\text{SMCCW}}/T_{\text{SMWCC}}$	7.0 нс/0 нс	
Задержка распространения сигнала BUSY	7* $T_{\text{SMCKBY}}$		12.0 нс
Частота	$F_{\text{CC}}$		66 МГц
Частота без подтверждения получения данных	$F_{\text{CCNH}}$		50 МГц

\*См. рис. 16.

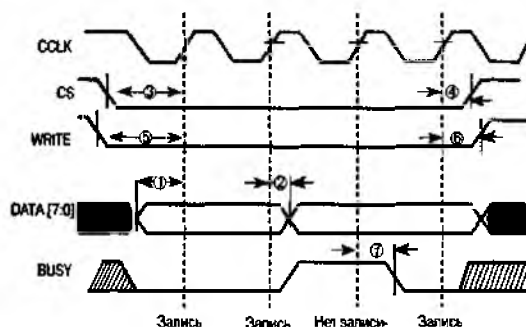


Рис. 16. Операции записи

- Данные подать на вход D[7:0]. Отметим, что для избежания конфликта между данными от различных источников, информация не должна выдаваться во время, когда сигнал CS имеет значение '0'. WRITE — значение '1'. Также нельзя активизировать больше одного CS, в то время когда сигнал WRITE имеет значение '1'.
- Данные принимаются по нарастающему фронту CCLK при условии, что сигнал BUSY при этом имеет значение '0'. В случае, если сигнал BUSY имел значение '1' от предыдущей записи, данные не принимаются. Данные снова будут приниматься по первому же нарастающему фронту CCLK после перехода BUSY в состояние '0'; при этом данные должны удерживаться до этого события.
- Повторять шаги 2 и 3 до тех пор, пока не будут переданы все данные.
- Перевести сигналы CS и WRITE в неактивное состояние. Алгоритм процедуры записи показан на Рис. 17. Отметим, что если сигнал CCLK медленнее, чем FCCNH, FPGA не будет выставлять сигнал BUSY, в этом случае обмен подтверждениями готовности после реального приема данных не нужен, и данные могут просто вводиться в FPGA по каждому циклу сигнала CCLK.

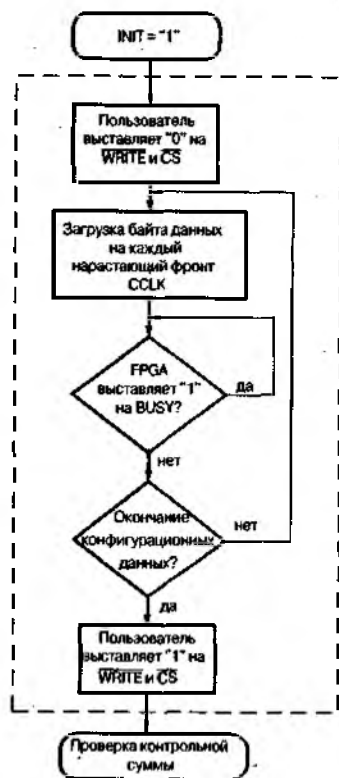


Рис. 17. Алгоритм процедуры записи в режиме SelectMAP

#### Преждевременное прекращение процедуры

После установки активного уровня сигнала CS, пользователь не может переключаться с записи на чтение или наоборот. В противном случае такое действие приведет к преждевременному прекращению текущей пакетной команды. Устройство будет оставаться в состоянии BUSY (занято) до тех пор, пока прерванная процедура будет завершена. После прекращения процедуры, для продолжения приема пакета, необходимо повторить передачу того слова, которое было прервано не на границе слова.

Для того чтобы инициировать преждевременное прекращение процедуры записи, необходимо перевести сигнал WRITE в неактивное состояние. Как показано на Рис. 18, прекращение процедуры начнется с приходом нарастающего фронта CCLK.

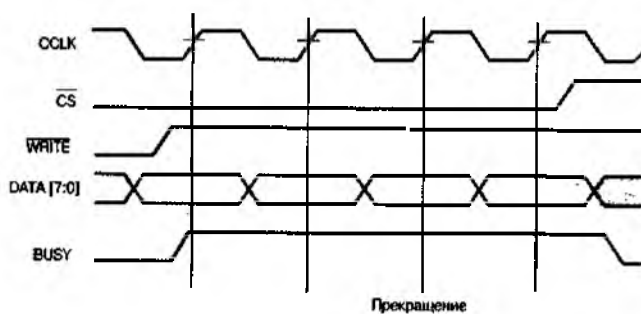


Рис. 18. Преждевременное прекращение процедуры записи при режиме SelectMAP

#### 6.1.4. Использование режима периферийного сканирования для конфигурирования Virtex

Для конфигурирования в режиме периферийного сканирования используются только специальные контакты порта тестового доступа (Test Access Port — TAP) в соответствии со стандартом IEEE 1149.1.

Конфигурирование через порт TAP выполняется с помощью специальной команды CFG\_IN. Эта команда позволяет преобразовать входные данные, поступающие на вход TDI, в пакет данных для внутренней шины конфигурирования.

Для конфигурирования FPGA через порт периферийного сканирования необходимо выполнить следующие действия:

1. Загрузить команду CFG\_IN во внутренний регистр команд (instruction register — IR).
2. Ввести состояние Shift-DR (SDR).
3. Выдать стандартный конфигурационный bitstream на TDI.
4. Возвратиться к состоянию Run-Test-Idle (RTI).
5. Загрузить в регистр IR команду JSTART.
6. Ввести состояние SDR.
7. Выдать TCK для длины последовательности (длина — программируемая).
8. Возвратиться к состоянию RTI.

Как отмечалось ранее, конфигурирование и обратное считывание всегда доступно в режиме периферийного сканирования. Для выборки режима необходимо подать код <101> или <001> на контакты M2, M1, M0.

## 6.2. Последовательность конфигурации

Конфигурирование устройств Virtex — процесс, состоящий из трех фаз. В первой фазе конфигурирования очищается память. Следующая фаза — загрузка данных в конфигурационную память. Наконец, активизируется логика (фаза Start-Up).

Обычно процесс конфигурирования запускается автоматически после подачи напряжения питания, однако, как будет описано далее, он может быть задержан пользователем. Конфигурационный процесс может также быть инициирован установкой активного уровня сигнала PROGRAM. Переход сигнала INIT в состояние T означает окончание фазы очистки памяти, а установка активного уровня сигнала DONE ('1') означает окончание процесса в целом.

Временная диаграмма для конфигурационных сигналов после подачи напряжения питания показана на Рис. 19, а соответствующие временные характеристики — в Табл. 12.

### 6.2.1. Задержка конфигурирования

Конфигурирование FPGA может быть задержано удержанием сигнала , на контакте PROGRAM в состоянии низкого логического уровня до момента готовности системы к конфигурированию. На протяжении фазы очистки конфигурационной памяти последовательность операций состоит

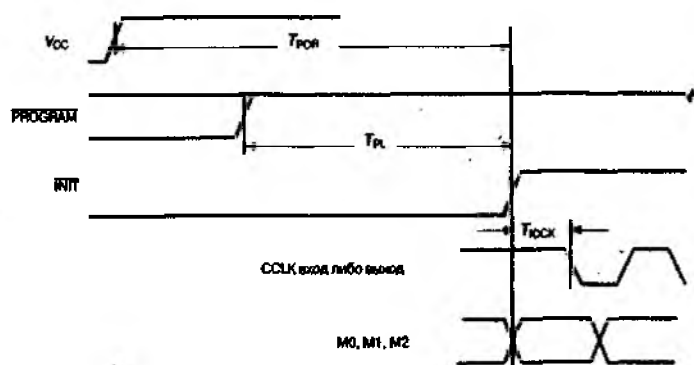


Рис. 19. Временные диаграммы при подаче питания

Таблица 12. Значения временных параметров при подаче питания

Параметр	Значение	
	min	min
$T_{POR}$		2.0 мс
$T_{PL}$		100 мкс
$T_{CCLK}$	0.5 мкс	4.0 мкс
$T_{PROGRAMM}$	300 нс	

из повторения цикла очистки памяти по всем адресам. Эти операции продолжаются до окончания одного полного цикла очистки памяти по всем адресам после установки сигнала на входе PROGRAM в состояние Т. Таким образом, задержка процесса конфигурирования равнозначна продолжению фазы очистки памяти.

Другой вариант — подача от источника с открытым стоком сигнала низкого уровня на вход INIT. Источник сигнала с открытым стоком необходим потому, что контакт INIT — двунаправленный и работает как выход, имеющий низкий логический уровень во время фазы очистки памяти. Увеличение времени удержания низкого логического уровня на этом контакте приводит к тому, что конфигурационный автомат продолжает выполнять фазу очистки памяти. Таким образом, процесс конфигурирования задерживается, не входя в фазу загрузки данных.

#### 6.2.2. Последовательность вхождения в штатный режим работы

При выполнении вхождения в штатный режим работы по умолчанию глобальный сигнал управления третьим состоянием (global tristate — GTS) активизируется через один цикл CCLK после перехода сигнала DONE в состояние 'Г. Это позволяет выходам FPGA включиться надлежащим образом.

Одним циклом CCLK позже активизируются сигнал глобальной установки/сброса (Global Set/Reset — GSR) и глобального разрешения записи (Global Write Enable — GWE). Это создает условия для начала нормальной работы внутренних запоминающих элементов.

Временная диаграмма для этих событий может быть изменена. Кроме того, события GTS, GSR и GWE могут активизироваться после перехода всех выходов DONE в высокое состояние при конфигурировании множественных устройств FPGA, что позволяет начинать их работу в штатном режиме синхронно. Во время выполнения последовательности допускается включение на любой фазе



паузы до момента нормального захвата следящей системы схемы автоподстройки задержки (DLL).

### 6.3. Формат потока конфигурационных данных

Кристаллы Virtex конфигурируются последовательной загрузкой в них фреймов данных, которые объединены в двоичный поток (bitstream). В Табл. 13 представлены объемы конфигурационной последовательности для кристаллов Virtex.

Таблица 13. Размер конфигурационной последовательности для различных микросхем семейства Virtex

Кристалл	Конфигурационные биты
XCV50	559 200
XCV100	781 216
XCV150	1 040 096
XCV200	1 335 840
XCV300	1 751 808
XCV400	2 546 048
XCV600	3 607 968
XCV800	4 715 616
XCV1000	6 127 744

### 7. Обратное считывание

Конфигурационные данные, записанные в конфигурационной памяти FPGA, могут быть считаны обратно для выполнения верификации. Наряду с этими данными возможно обратное считывание содержимого всех триггеров/защелок, LUTRAMs, BlockRAMs. Эта возможность используется для выполнения отладки проектов в реальном масштабе времени.

### 8. Характеристики микросхем семейства Virtex по постоянному току

В Табл. 14 приведены максимально допустимые значения параметров микросхем семейства Virtex по постоянному току.

Таблица 14. Диапазон максимально допустимых значений параметров микросхем семейства Virtex по постоянному току

Обозначение	Описание	Значение	Единица измерения
$V_{CCINT}$	Напряжение питания ядра относительно GND	-0.5...3.0	В
$V_{CCO}$	Напряжение питания выходных каскадов относительно GND	-0.5...4.0	В
$V_{REF}$	Входное опорное напряжение	-0.5...3.6	В
$V_{IN}$	Напряжение входного сигнала относительно GND	Используя $V_{REF}$	-0.5...3.6 В
		Не используя $V_{REF}$	-0.5...5.5 В
$V_{TS}$	Напряжение, прикладываемое к 3-стабильному выходу	-0.5...5.5	В
$V_{CC}$	Максимальное время нарастания напряжения питания от 1 до 2.375 В	50	мс
$T_{STG}$	Температура хранения (окружающей среды)	-65...+150	°C
$T_{SOL}$	Максимальная температура припоя	+260	°C
$T_J$	Максимальная рабочая температура контактов	+125	°C

Внимание! Превышение максимальных значений ведет к повреждению кристалла.

В Табл. 15 приведены рекомендуемые значения параметров микросхем семейства Virtex по постоянному току.

Таблица 15. Рекомендуемые значения

Обозначение	Описание	Значения		Единица измерения
		min	max	
$V_{CCINT}$	Напряжение питания ядра при $T_J = 0...+85^{\circ}\text{C}$ (коммерческое исполнение)	2.5 – 5%	2.5 + 5%	В
	Напряжение питания ядра при $T_J = 0...+85^{\circ}\text{C}$ (промышленное исполнение)	2.5 – 5%	2.5 + 5%	В
$V_{CCO}$	Напряжение питания выходных каскадов при $T_J = 0...+85^{\circ}\text{C}$ (коммерческое исполнение)	1.4	3.6	В
	Напряжение питания выходных каскадов при $T_J = 0...+85^{\circ}\text{C}$ (промышленное исполнение)	1.4	3.6	В
$T_{IN}$	Время передачи входного сигнала		250	нс

Таблица 16. Корпуса

Корпус	Максимальное число пользовательских контактов								
	XCV50	XCV100	XCV150	XCV200	XCV300	XCV400	XCV600	XCV800	XCV1000
CS-144	94	94							
TQ-144	98	98							
PQ-240	166	166	166	166	166				
HQ-240						166	166	166	
BG-256	180	180	180	180					
BG-352			260	260	260				
BG-432					316	316	316	316	
BG-560						404	404	404	404
FG-256	176	176	176	176					
FG-456			260	284	312				
FG-676						404	444	444	
FG-680							512	512	512

## 9. Корпуса

В Табл. 16 приведены комбинации: кристалл Virtex — корпус, и число пользовательских выводов для каждой комбинации.

## 10. Обозначение микросхем семейства Virtex

Способ обозначения микросхем семейства Virtex показан на Рис. 20.

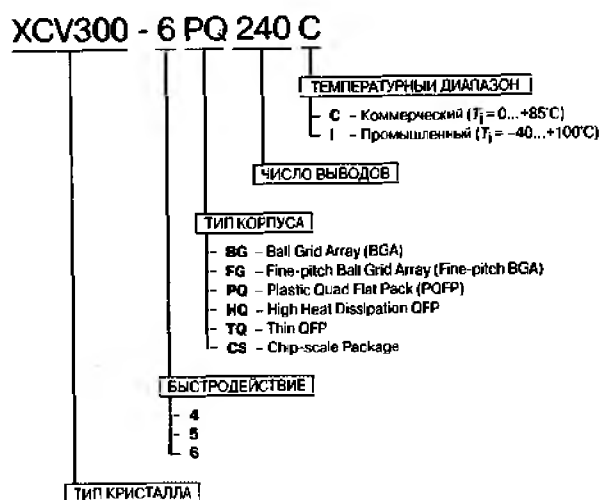


Рис. 20. Обозначение МС семейства Virtex

## Глава 3. ПЛИС семейства Spartan™-!!

Семейство Spartan™-!! — второе поколение ПЛИС (Программируемые Логические Интегральные Схемы), предназначенных для использования в крупно серийных проектах. Архитектура семейства Spartan™-!! основана на архитектуре популярного семейства Virtex™. ПЛИС семейства Spartan™-!! могут применяться в проектах как альтернатива специализированным интегральным схемам емкостью до 200 тыс. вентилях и системным быстродействием до 200 МГц. Напряжение питания ядра кристалла семейства Spartan™-!! составляет 2.5 В.

Стоимость ПЛИС Spartan™-!! эквивалентна стоимости заказных специализированных интегральных схем в партиях от 100 тыс. штук и в 3—4 раза меньше, чем стоимость ПЛИС семейства Virtex™ при розничных объемах. Такое снижение цены в сравнении с семейством Virtex™ достигнуто благодаря использованию новой технологии производства и уменьшению номенклатуры корпусов. Набор выполняемых функций аналогичен семейству Virtex™, но отсутствует термочувствительный диод.

Семейство состоит из 6 кристаллов, отличающихся логической емкостью. Сравнительные параметры приведены в Табл. 1.

Таблица 1. Основные характеристики семейства Spartan™-II

Кристалл	Логические ячейки	Системные вентили	Матрица КЛБ	КЛБ	Блочное ОЗУ [бит]	Пользовательские блоки ввода-вывода
XC2S15	432	15 000	8×12	96	16 384	86
XC2S30	972	30 000	12×18	216	24 576	132
XC2S50	1 728	50 000	16×24	384	32 768	176
XC2S100	2 700	100 000	20×30	600	40 960	196
XC2S150	3 888	150 000	24×36	864	49 152	260
XC2S200	5 292	200 000	28×42	1 176	57 344	284

— 97 —

## 1. Особенности

Высокопроизводительные, программируемые пользователем логические интегральные схемы с архитектурой FPGA (Field Programmable Gate Arrays):

- емкость от 15 до 200 тыс. системных вентилей;
- системная производительность до 200 МГц;
- совместимость с шиной PCI 66 МГц;
- поддержка функции «Hot-swap» для шины Compact PCI;
- поддержка большинства стандартов ввода-вывода (технология SelectIO™);
- 16 высокопроизводительных стандартов ввода-вывода;
- прямое подключение к ZBTRAM-устройствам;
- недорогие корпуса;
- совместимость по выводам кристаллов разной емкости в одинаковых корпусах.

Встроенные цепи управления тактированием:

- четыре встроенных модуля автоподстройки задержек (DLL — delay-locked loop) для расширенного управления тактовыми сигналами как внутри ПЛИС, так и всего устройства;
- четыре глобальные сети распределения тактовых сигналов с малыми разбегами фронтов, плюс 24 локальные тактовые сети.

Иерархическая система элементов памяти:

- на базе 4-входовых таблиц преобразования (4-LUT — Look-Up Table) конфигурируемых либо как 16-битовое ОЗУ (Random Access Memory), либо как 16-разрядный сдвиговый регистр;
- встроенная блочная память, каждый блок конфигурируется как синхронное двухпортовое ОЗУ емкостью 4 Кбит;
- быстрые интерфейсы к внешнему высокопроизводительному ОЗУ. Гибкая архитектура с балансом быстродействия и плотности упаковки логики;
- специальная логика ускоренного переноса для высокоскоростных арифметических операций;

1 — специальная поддержка умножителей;

- каскадируемые цепочки для функций с большим количеством входов;
- многочисленные регистры/защелки с разрешением тактирования и синхронные/асинхронные цепи установки и сброса;
- внутренние шины с тремя состояниями;
- логика периферийного сканирования в соответствии со стандартом

IEEE1149.1.

Проектирование осуществляется пакетами программного обеспечения Foundation™ и Alliance Series, работающими на ПК или рабочей станции.

Конфигурация кристалла хранится во внешнем ПЗУ и загружается в ПЛИС после включения питания автоматически или принудительно:

- неограниченное число циклов загрузки;

- четыре режима загрузки.

Производятся по гибридной 0.18-МКМ/0.22-МКМ КМОП-технологии с 6-слойной металлизацией на основе статического ОЗУ. 100%-ное фабричное тестирование.

## 2. Обзор архитектуры семейства Spartan™-II

Основными особенностями архитектуры кристаллов семейства Spartan™-II являются гибкость и регулярность. Кристаллы состоят из матрицы КЛБ (Конфигурируемый Логический Блок), которая окружена программируемыми блоками ввода-вывода (БВВ). Все соединения между основными элементами (КЛБ, БВВ) осуществляются с помощью набора иерархических высокоскоростных программируемых трассировочных ресурсов. Изобилие таких ресурсов позволяет реализовывать на ПЛИС семейства Spartan™-II даже самые насыщенные и сложные проекты.

Кристаллы семейства Spartan™-II производятся на основе статического ОЗУ (Static Random Access Memory — SRAM), поэтому функционирование кристаллов определяется загружаемыми во внутренние ячейки памяти конфигурационными данными. Конфигурационные данные могут загружаться в кристалл несколькими способами. В ведущем последовательном режиме (Master Serial) загрузка осуществляется из внешнего ПЗУ и полностью управляется самой FPGA Spartan™-II. В других режимах управление загрузкой осуществляется внешними устройствами (подчиненный параллельный режим (Slave Parallel), подчиненный последовательный (Slave Serial) и JTAG).

Конфигурационные данные создаются пользователем при помощи программного обеспечения проектирования Xilinx Foundation™ и Alliance Series. Программное обеспечение включает в себя модули схемного и текстового ввода, моделирования, автоматического и ручного размещения и трассировки, создания, загрузки и верификации конфигурационных данных.

### 2.1. Быстродействие

Кристаллы Spartan™-II обеспечивают более высокую производительность, чем предыдущие поколения FPGA. Проекты могут работать на системных частотах до 200 МГц и частотах внутри кристалла, превышающих 350 МГц. Блоки ввода-вывода Spartan™-II полностью соответствуют спецификациям шины PCI, поэтому микросхемы позволяют реализовывать интерфейсные схемы, работающие на частоте 33 МГц или 66 МГц. В дополнение к этому кристаллы Spartan™-II удовлетворяют требованию «hot-swap» для шины Compact PCI.

К настоящему времени кристаллы полностью протестированы на «эталонных» схемах. На основе тестов выявлено, что, хотя производительность сильно зависит от конкретного проекта, большинство проектов работают на частотах, превышающих 100 МГц, и могут достигать системных частот до 200 МГц.

### 3. Описание архитектуры

#### 3.1. Матрица Spartan™-II

Программируемая пользователем вентильная матрица кристалла серии Spartan™-II показана на Рис. 1. Основными программируемыми элементами матрицы являются:

- Конфигурируемый Логический Блок — КЛБ (в английском варианте Configurable Logic Block — CLB). КЛБ являются основными элементами, на основе которых реализуется вся логика.
- Блок Ввода-Вывода — БВВ (в английском варианте Input/Output Blocks — IOB). БВВ осуществляют интерфейс между контактами микросхемы и КЛБ.

Соединение между КЛБ осуществляется с помощью главных трассировочных матриц — ГТМ. ГТМ — это матрица программируемых транзис-

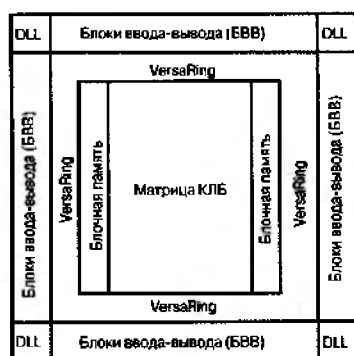


Рис. 1. Структура архитектуры Spartan™-II

торных двунаправленных переключателей, расположенных на пересечении горизонтальных и вертикальных линий связи. Каждый КЛБ окружен локальными линиями связи (VersaBlock™), которые позволяют осуществить соединения с матрицей ГТМ.

Интерфейс ввода-вывода VersaRing создает дополнительные трассировочные ресурсы по периферии кристалла. Эти трассы улучшают общую «трассируемость» устройства и возможности трассировки после закрепления электрических цепей к конкретным контактам.

Архитектура микросхем Spartan-II также включает следующие элементы, которые соединяются с матрицей ГТМ:

- Специальные блоки памяти (BRAMs) размером 4096 бит каждый.
- Четыре модуля автоподстройки задержек (DLL), предназначенных для компенсации задержек тактовых сигналов, а также деления, умножения и сдвига фазы тактовых частот.
- Буферы с тремя состояниями (BUFT), которые расположены вблизи каждого КЛБ и управляют горизонтальными сегментированными трассами.

Коды, записанные в ячейки статической памяти, управляют настройкой логических элементов и коммутаторами трасс, осуществляющих межсоединения в схеме. Эти коды загружаются в ячейки после включения питания и могут перезагружаться в процессе работы, если необходимо изменить реализуемые микросхемой функции.

ПЛИС семейства Spartan™-II

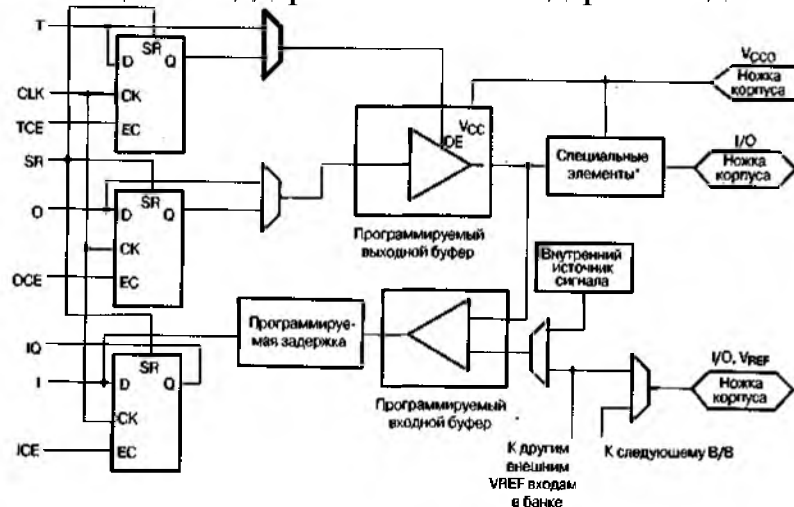
## ПЛИС семейства Spartan™-!!

### 3.2. Блок ввода-вывода

Основным отличительным свойством БВВ семейства Spartan™-!! является поддержка широкого спектра стандартов сигналов ввода-вывода, что позволяет сопрягать Spartan™-!! с большинством быстродействующих элементов памяти и шинных интерфейсов. На Рис. 2 представлена структурная схема БВВ. В Табл. 2 перечислены поддерживаемые стандарты.

БВВ содержит три запоминающих элемента, функционирующих либо как D-триггеры, либо как триггеры-защелки. Каждый БВВ имеет входной сигнал синхронизации (CLK), распределенный на три триггера и независимые для каждого триггера сигналы разрешения тактирования (Clock Enable — CE).

Таблица 2. Поддерживаемые стандарты ввода/вывода



•Специальные элементы включают:

- Программируемый резистор, соединенный с шиной земли (pull-down).
- Программируемый резистор, соединенный с шиной питания (pull-up).
- Маломощная схема удержания последнего состояния (week-keeper).
- Цепи защиты от перенапряжения и электростатического разряда.

Рис. 2. БВВ Spartan™-!!

Кроме того, на все триггеры заведен сигнал Сброса/Установки (Set/Reset — SR). Для каждого триггера этот сигнал может быть сконфигури-

— 102 —

Стандарт ввода/вывода	Напряжение порогового уровня входных каскадов, $V_{REF}$ [В]	Напряжение питания выходных каскадов, $V_{CCO}$ [В]	Напряжение согласования с платой, $V_{TT}$ [В]
LVTTL 2...24 mA	нет	3.3	нет
LVCNOS2	нет	2.5	нет
PCI	нет	3.3	нет
GTL	0.8	нет	1.2
GTL+	1.0	нет	1.5
HSTL Class I	0.75	1.5	0.75
HSTL Class III	0.9	1.5	1.5
HSTL Class IV	0.9	1.5	1.5
SSTL3 Class I & II	1.5	3.3	1.5
SSTL2 Class I & II	1.25	2.5	1.25
CTT	1.5	3.3	1.5
AGP	1.32	3.3	нет

рован независимо, как синхронная установка (Set), синхронный сброс (Reset),

асинхронная предустановка (Preset) или асинхронный сброс (Clear).

Входные и выходные буферы, а также все управляющие сигналы в БВВ допускают независимый выбор полярности. Данное свойство не отображено на блок-схеме БВВ, но контролируется программой проектирования.

Все контакты защищены от повреждения электростатическим разрядом и от всплесков перенапряжения. Реализованы две формы защиты от перенапряжения, одна допускает 5-В совместимость, а другая нет. Для случая 5-В совместимости структура, подобная диоду Зенера, закорачивает на землю контакт, когда напряжение на нем возрастает приблизительно до 6.5 В. В случае, когда требуется 3.3-В PCI совместимость, обычные диоды ограничения могут подсоединяться к источнику питания выходных каскадов, V<sub>CCO</sub>. Тип защиты от перенапряжения может выбираться независимо для каждого контакта.

По выбору, к каждому контакту может подключаться:

- Резистор, соединенный с шиной земли («pull-down»).
- Резистор, соединенный с шиной питания («pull-up»).
- Маломощная схема удержания последнего состояния (week-keeper). До начала процесса конфигурирования микросхемы все выводы, не задействованные в этом процессе, принудительно переводятся в состояние

— 103 —

высокого импеданса. Резисторы «pull-down» и элементы week-keeper неактивны, а резисторы «pull-up» можно активировать.

Активация резисторов «pull-up» перед конфигурацией управляется внутренними глобальными линиями через управляющие режимные контакты. Если резисторы «pull-up» не активны, то выводы находятся в состоянии неопределенного потенциала. Если в проекте необходимо иметь определенные логические уровни до начала процесса конфигурирования, то нужно использовать внешние резисторы.

Все БВВ микросхемы Spartan-II совместимы со стандартом периферийного сканирования IEEE 1149.1.

### 3.2.1. Ввод сигнала

"

Входной сигнал БВВ может быть протрассирован либо непосредственно к блокам внутренней логики, либо через входной триггер.

Кроме того, между выходом буфера и D-входом триггера может быть подключен элемент задержки, исключающий время удержания для случая контакт-контакт. Данная задержка согласована с внутренней задержкой распределения сигнала тактирования FPGA, что гарантирует нулевое время удержания для распределения сигналов контакт-контакт.

Каждый входной буфер может быть сконфигурирован таким образом, чтобы удовлетворять одному из стандартов ввода-вывода, поддерживаемых устройством. В некоторых из этих стандартов входной буфер использует напряжение порогового уровня (^REF), формируемое пользователем. Использование напряжений ^EP позволяет ввести в устройство принудительные опорные величины для различных, близких по используемым логическим уровням стандартов (см. также «Банки ввода-вывода»).

К каждому входу после окончания процесса конфигурирования могут быть, по



выбору, подключены внутренние резисторы (либо «pull-up», либо «pull-down»). Сопротивление этих резисторов лежит в пределах 50...150кОм.

### 3.2.2. Вывод сигнала

Выходной сигнал проходит через буфер с тремя состояниями, выход которого соединен непосредственно с выводом микросхемы. Сигнал может быть протрассирован на вход буфера с тремя состояниями либо непосредственно от внутренней логической структуры, либо через выходной триггер блока ввода-вывода.

Управление буфером с тремя состояниями также может осуществляться либо непосредственно от внутренней логической структуры, либо через специальный триггер БВВ, который позволяет создать синхронное управление сигналом разрешения и запрещения для буфера с тремя состояниями. Каждый такой выходной каскад рассчитан на втекающий ток до 48 мА и вытекающий ток до 24 мА. Программирование мощности и скорости нарастания сигнала выходного каскада позволяет минимизировать переходные процессы в шинах.

Для большинства стандартов ввода-вывода выходной уровень логической единицы зависит от приложенного извне напряжения  $V_{CC0}$ . Использование напряжения  $V_{CC0}$  позволяет ввести в устройство принудительные опорные величины для различных, близких по используемым логическим уровням стандартов (см. также «Банки ввода-вывода»).

По выбору, к каждому выходу может быть подключена схема week-keeper. Если данная цепь активирована (задается пользователем на этапе создания схемы), то она следит за напряжением на контакте микросхемы, и создает слабую нагрузку для входного сигнала, подключенную либо к «земле» (если на входе уровень логического нуля), либо к источнику питания (если на входе уровень логической единицы). Если контакт подключен к нескольким источникам сигнала, эта цепь удерживает уровень входного сигнала в его последнем состоянии, при условии, что все источники были переведены в состояние с высоким импедансом. Поддержание таким путем одного из допустимых логических уровней позволяет ликвидировать неопределенность уровня шины.

Так как схема week-keeper использует входной буфер для слежения за входным уровнем, то необходимо использовать подходящее значение напряжения  $I^p$ , если выбранный сигнальный стандарт требует этого. Подключение данного напряжения должно удовлетворять требованиям правил разбиения на банки.

### 3.2.3. Банки ввода-вывода

Некоторые из указанных выше стандартов требуют подключения напряжения  $U_{CC0}$  и/или KREF. Эти внешние напряжения подключаются к контактам микросхемы, которые функционируют группами, называемыми банками.

Как показано на Рис. 3, каждая сторона кристалла микросхемы разделена на два банка. Каждый банк имеет несколько контактов  $V_{CC0}$ , но все они

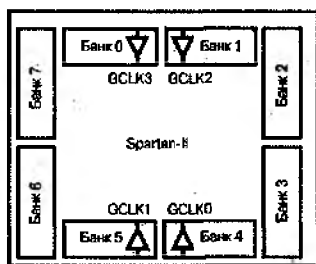


Рис. 3. Банки ввода-вывода Spartan-II

должны быть подключены к одному и тому же напряжению. Это напряжение определяется выбранным для данного банка стандартом выходных сигналов.

Стандарты для выходных сигналов конкретного банка могут быть различными только в том случае, если они используют одинаковое значение напряжения VCCQ. Совместимые стандарты показаны в Табл. 3. Стандарты GTL и GTL+ присутствуют во всех вариантах, поскольку их выходы с открытым стоком не зависят от значения Fcco.

Некоторые стандарты требуют подачи соответствующих пороговых напряжений FREF на входные каскады. При этом определенные БВВ автоматически конфигурируются как входы, соответствующие напряжению FREF. Приблизительно один контакт из шести в каждом банке может выполнять эту роль.

Контакты VREF в пределах одного банка внутренне между собой соединены, следовательно, только одно значение напряжения FREF может быть использовано в рамках одного банка. Для правильной работы все контакты VREF, одного банка, должны быть подсоединены к внешнему источнику напряжения.

В пределах одного банка можно одновременно использовать входы, которые требуют напряжения FRFF и входы, которые этого не требуют.

Таблица 3. Совместимые стандарты ввода-вывода

V <sub>CCQ</sub>	Совместимые стандарты
3.3 В	PCI, LVTTTL, SSTL3 I, SSTL3 II, CTT, AGP, GTL, GTL+
2.5 В	SSTL2 I, SSTL2 II, LVCMOS2, GTL, GTL+
1.5 В	HSTL I, HSTL III, HSTL IV, GTL, GTL+

Входные буферы, которые используют VREF, не совместимы с сигналами 5-В стандартов. БВВ, запрограммированные на стандарты LVTTTL, LVC-MOS2 и PCI, совместимы с 5-В стандартами.

Номера контактов Vcco и VREF для каждого банка приведены в таблицах и диаграммах под конкретный корпус и кристалл. На диаграммах также показано, к какому банку относится конкретный контакт ввода-вывода.

В рамках конкретного типа корпуса микросхемы число контактов Vcco и VREF может меняться в зависимости от емкости кристалла. Чем больше кристалл по логической емкости, тем большее число контактов ввода-вывода преобразовано в контакты типа VREF. Поскольку для меньших кристаллов существует максимальный набор контактов V<sup>п</sup>, имеется возможность проектирования печатной платы, позволяющей также использовать на ней и большие кристаллы с таким же типом корпуса. Все контакты VREF, предполагаемые к использованию для

больших кристаллов, при этом должны быть подсоединены к напряжению FREF и не должны использоваться как контакты ввода-вывода.

В меньших кристаллах некоторые из контактов VREF, используемые в больших кристаллах, не соединены внутри корпуса. Эти контакты могут быть оставлены неприсоединенными вне микросхемы или быть подключены к напряжению V<sub>CCO</sub> при необходимости обеспечения совместимости разрабатываемой печатной платы с большими кристаллами.

В корпусах TQ-144 и PQ-208 все контакты V<sub>CCO</sub> соединены вместе внутри микросхемы и, следовательно, ко всем из них должно быть подключено одно и то же напряжение VCCQ. В корпусе CS-144 пары банков, расположенные на одной стороне, внутренне соединены, обеспечивая, таким образом, возможность выбора только четырех возможных значений напряжения для V<sub>CCO</sub>. Контакты VREF остаются внутренне соединенными в рамках каждого из восьми банков и могут использоваться, как было описано выше.

### 3.3. Конфигурируемый логический блок

Базовым элементом КЛБ является логическая ячейка — ЛЯ. Логическая ячейка состоит из 4-входового функционального генератора, логики ускоренного переноса и запоминающего элемента. Выход каждого функционального генератора каждой логической ячейки подсоединен к выходу КЛБ и к D-входу триггера. Каждый КЛБ серии Spartan-II содержит четыре логические ячейки, организованные в виде двух одинаковых секций (Slice). Одна секция показана на Рис. 4.

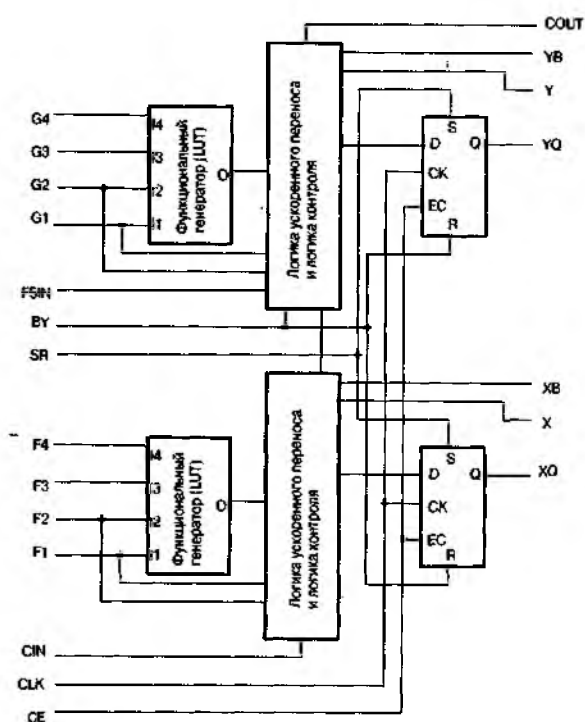


Рис. 4. Секция КЛБ семейства Spartan-II

В дополнение к четырем базовым логическим ячейкам, КЛБ серии Spartan-II содержит логику, которая позволяет комбинировать ресурсы функциональных генераторов для реализации функций от пяти или шести переменных. Таким образом, при оценке числа эквивалентных системных вентилей для микросхем семейства Spartan-II, каждый КЛБ приравнивается к 4.5 ЛЯ.

### 3.3.1. Таблица преобразования

Функциональные генераторы реализованы в виде 4-входовых таблиц преобразования (Look-Up Table — LUT). Кроме использования в качестве функциональных генераторов, каждый LUT-элемент может быть также использован как синхронное ОЗУ размерностью 16X1 бит. Более того, из двух LUT-элементов в рамках одной секции можно реализовать синхронное ОЗУ размерностью 16X2 бита или 32X1 бит, либо двухпортовое синхронное ОЗУ размерностью 16X1 бит.

На LUT-элементе микросхемы Spartan-II может быть реализован 16-разрядный сдвиговый регистр, который идеально подходит для захвата высокоскоростных или пакетных потоков данных. Этот режим может также использоваться для запоминания данных в приложениях цифровой обработки сигналов.

### 3.3.2. Запоминающие элементы

Запоминающие элементы в каждой секции КЛБ Spartan-II могут конфигурироваться как динамические триггеры (чувствительные к фронту сигнала) D-типа, либо как триггеры-зашелки, чувствительные к уровню сигнала. D-вход триггера может управляться либо от функционального генератора в рамках той же секции КЛБ, либо непосредственно от входов данной секции КЛБ, минуя функциональные генераторы.

Кроме сигналов синхронизации (Clock) и разрешения синхронизации (Clock Enable — CE) в каждой секции КЛБ есть сигналы синхронной установки (Set) и сброса (Reset). Обозначение этих сигналов — SR и BY соответственно. Сигнал SR переводит запоминающий элемент в состояние, определенное для него в конфигурационных данных, а сигнал BY — в противоположное состояние. Эти же сигналы могут быть использованы также в качестве асинхронной предустановки (Preset) и очистки (Clear). Все сигналы управления могут быть независимо про-инвертированы. Они заведены на оба триггера в рамках конкретной секции КЛБ.

### 3.3.3. Дополнительная логика

Дополнительная логика, входящая в каждый КЛБ, представлена двумя мультиплексорами: F5 и F6.

На вход мультиплексора F5 заведены сигналы с выходов функциональных генераторов данной секции КЛБ. Этот узел может работать как функциональный генератор, реализующий любую 5-входовую функцию, либо как мультиплексор 4:1, либо как некоторая функция от девяти входных переменных.

Аналогично, мультиплексор F6 объединяет выходы всех 4-функциональных генераторов КЛБ, используя один из выходов мультиплексора F5.

Это позволяет реализовать либо любую 6-входовую функцию, либо мультиплексор 8:1, либо некоторую функцию до 19 переменных.

Каждый КЛБ имеет четыре сквозных линии — по одной на каждую логическую ячейку. Эти линии используются как дополнительные входы данных, либо как дополнительные трассировочные ресурсы, не расходующие логические ресурсы.

### 3.3.4. Арифметическая логика

Каждая ЛЯ содержит специальную логику ускоренного переноса, которая обес-

печивает наилучшую реализацию на ПЛИС различных арифметических функций. КЛБ содержит две отдельные цепи переноса — по одной на каждую секцию. Размерность цепи переноса — два бита на КЛБ.

Арифметическая логика включает в себя элемент, реализующий функцию исключающего ИЛИ (XOR), который позволяет реализовать однобитовый сумматор в одной логической ячейке.

В каждой логической ячейке имеется элемент, реализующий функцию И, который предназначен для построения быстродействующих умножителей.

Специальные трассы логики ускоренного переноса могут также использоваться для каскадного включения функциональных генераторов при необходимости создания функций с большим количеством входных переменных.

### 3.3.5. Буферы с тремя состояниями

Каждый КЛБ Spartan-II содержит два буфера с тремя состояниями, которые нагружены на внутренние шины (см. также «Специальные трассировочные ресурсы»). Каждый буфер BUFT имеет независимый вход управления третьим состоянием и независимый входной контакт.

### 3.3.6. Блочная память (Block RAM)

В FPGA Spartan-II встроена особая блочная память (Block Select RAM) большой емкости. Она создана в дополнение к распределенной памяти небольшой емкости (Select RAM), реализованной на таблицах преобразования (Look Up Table RAM — LUTRAM).

Блоки памяти Block Select RAM организованы в виде столбцов. Все кристаллы Spartan-II содержат два таких столбца, по одному вдоль каждой вертикальной стороны кристалла. Эти колонки увеличивают полный размер кристалла. Каждый блок памяти равен по высоте четырем КЛБ, таким образом, микросхема Spartan-II, имеющая 8 КЛБ по высоте, содержит 2 блока памяти на колонку и 4 блока памяти в целом.

В Табл. 4 приводятся емкости блочной памяти для различных кристаллов Spartan-II.

Таблица 4. Емкость блочной памяти

Кристалл Spartan-II	Число блоков	Общий объем блочной памяти [бит]
XC2S15	4	16 384
XC2S30	6	24 576
XC2S50	8	32 768
XC2S100	10	40 960
XC2S150	12	49 152
XC2S200	14	57 344

Каждый блок памяти, как показано на Рис. 5, это полностью синхронное двухпортовое ОЗУ с независимым управлением для каждого порта. Размерность шины данных для обоих портов может быть сконфигурирована независимо, что позволяет создавать преобразователи размерности шины.

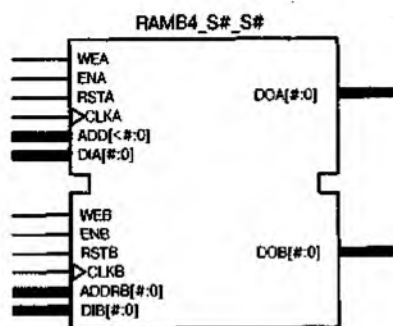


Рис. 5. Блок памяти

В Табл. 5 показаны возможные соотношения размерностей шин данных и адреса.

В кристаллах Spartan-II созданы специальные трассировочные ресурсы для связи блочной памяти с блоками КЛБ и другими блоками блочной памяти.

Таблица 5. Соотношение шин адреса и данных

Разрядность	Глубина	Шина адреса	Шина данных
1	4096	ADDR<11:0>	DATA<0>
2	2048	ADDR<10:0>	DATA<1:0>
4	1024	ADDR<9:0>	DATA<3:0>
8	512	ADDR<8:0>	DATA<7:0>
16	256	ADDR<7:0>	DATA<15:0>

### 3.4. Программируемая трассировочная матрица

Быстродействие проекта, рассчитанного для наихудшего случая, ограничивает величина задержки для наиболее длинной трассы. Поэтому архитектура трассировочных ресурсов и программы размещения и трассировки создавались с учетом использования их в едином процессе оптимизации. Этот совместный процесс оптимизации минимизирует наиболее длинные пути и, таким образом, создает проект с наилучшей системной производительностью.

Кроме того, совместная оптимизация сокращает время компиляции, так как программное обеспечение и архитектура микросхемы создавались с учетом наилучшего взаимодействия. Циклы проектирования, таким образом, сократились благодаря более коротким временам каждой из итераций всего процесса.

#### 3.4.1. Локальные связи

Как показано на Рис. 6, в кристалле Spartan-II созданы локальные трассировочные ресурсы, называемые VersaBlock. Они позволяют реализовать три типа соединений:

1. Связи между таблицами преобразования (LUT), триггерами и главной трассировочной матрицей — ГТМ.
2. Внутренние обратные связи КЛБ (CLB), которые создают высокоскоростные связи с таблицами преобразования (LUT) в рамках одного КЛБ (CLB), и позволяют соединять их в виде цепочек с минимальными задержками распространения сигналов.
3. Прямые трассы, которые создают высокоскоростные соединения с соседними по горизонтали КЛБ, избегая при этом больших задержек, присущих трассам главной трассировочной матрицы.

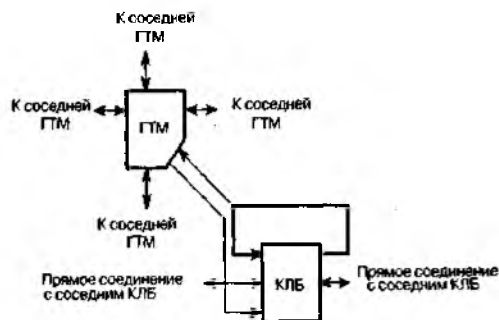


Рис. 6. Локальные связи в кристалле Spartan-II

### 3.4.2. Трассировочные ресурсы общего назначения

Большинство связей в кристаллах Spartan-II реализуются с помощью трассировочных ресурсов общего назначения и, следовательно, большая часть ресурсов межсоединений связана с этим типом трассировочной иерархии. Трассировочные ресурсы общего назначения расположены в виде горизонтальных и вертикальных трассировочных каналов и размещены в непосредственной близости от строк и столбцов матрицы, образованной блоками КЛБ. Ниже перечислены эти ресурсы:

- Примыкающая к каждому КЛБ главная трассировочная матрица — ГТМ. ГТМ — это матрица переключателей, с помощью которых коммутируются горизонтальные и вертикальные трассы и посредством которых блоки КЛБ получают доступ к трассировочным ресурсам общего назначения.
- ГТМ связана в каждом из четырех направлений с соседней ГТМ посредством 24 трасс одинарной длины.
- 96 буферизованных НЕХ-линий трассируют сигналы ГТМ к шести другим ГТМ в каждом из четырех направлений. НЕХ-линии организованы в виде зигзагообразных линий. НЕХ-линии могут подключаться к источникам сигнала только в своих конечных точках или серединных (три блока от источника). Одна третья часть НЕХ-линий является двунаправленными, в то время как остальные — однонаправленные.
- 12 длинных линий (Long lines) являются буферизованными, двунаправленными линиями, распространяющими сигналы в микросхеме быстро и эффективно. Вертикальные длинные линии имеют протяженность, равную полной высоте кристалла, а горизонтальные длинные линии — полной ширине.

### 3.4.3. Трассировочные ресурсы для блоков ввода-вывода

Микросхема Spartan-II имеет дополнительные трассировочные ресурсы, расположенные по периферии всего кристалла. Эти трассировочные ресурсы формируют добавочный интерфейс между блоками КЛБ и блоками БВВ. Эти дополнительные ресурсы, называемые VersaRing, улучшают возможности закрепления сигналов за контактами и переназначения уже сделанного закрепления, если это требование накладывается расположением проводников на печатной плате. При этом сокращается время изготовления всего проекта, т. к. изготовление и проектирование печатной платы можно выполнять одновременно с

проектированием FPGA.

#### 3.4.4. Специальные трассировочные ресурсы

Некоторые классы сигналов требуют наличия специальных трассировочных ресурсов для максимизации быстродействия. В устройстве Spartan-II специальные трассировочные ресурсы создавались для двух классов сигналов:

- Горизонтальные трассировочные ресурсы создавались для реализации в микросхеме шин с тремя состояниями. Четыре разделенные линии шин реализованы для каждой строки КЛБ, позволяя организовывать сразу несколько шин в пределах одной строки (Рис. 7).
- Две специальные линии для распространения сигналов быстрого переноса к прилегающему КЛБ в вертикальном направлении.

#### 3.4.5. Глобальные трассировочные ресурсы

Глобальные трассировочные ресурсы распределяют тактовые сигналы и другие сигналы с большим коэффициентом разветвления по выходу на

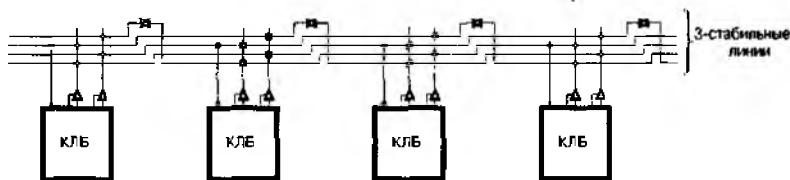


Рис. 7. Подключение 3-стабильных буферов к горизонтальным линиям

всем пространстве кристалла. Кристалл Spartan-II имеет два типа глобальных трассировочных ресурсов, называемых соответственно первичными и вторичными.

Первичные глобальные трассировочные ресурсы представляют собой четыре специальные глобальные сети со специально выделенными входными контактами и связанными с ними глобальными буферами, спроектированными для распределения сигналов синхронизации с высоким коэффициентом разветвления и с минимальными разбегами фронтов. Каждая такая сеть может быть нагружена на входы синхронизации всех КЛБ, БВВ и BlockRAM — блоков микросхемы. Источниками сигналов для этих сетей могут быть только глобальные буферы. Всего имеется четыре глобальных буфера — по одному для каждой глобальной сети.

Вторичные глобальные трассировочные ресурсы состоят из 24 магистральных линий, 12 — вдоль верхней стороны кристалла и 12 — вдоль нижней. По этим связям может быть распространено до 12 уникальных сигналов на колонку по 12 длинным линиям данной колонки. Вторичные ресурсы являются более гибкими, чем первичные, т. к. эти сигналы, в отличие от первичных, могут трассироваться не только до входов синхронизации.

#### 3.5. Распределение сигналов синхронизации

Как было описано выше, Spartan-II имеет высокоскоростные, с малыми искажениями трассировочные ресурсы для распределения сигналов синхронизации на всем пространстве микросхемы. Типичное распределение цепей синхронизации показано на Рис. 8.

В микросхему встроено четыре глобальных буфера, два — в середине верхней части микросхемы, два — в середине нижней части. Эти буферы через первич-



ные глобальные сети могут подводить сигналы синхронизации на любой тактовый вход.

Для каждого глобального буфера имеется соответствующий, примыкающий к нему контакт микросхемы. Сигнал на вход глобального буфера может подаваться как с этих контактов, так и от сигналов, трассируемых ресурсами общего назначения.

### 3.5.1. Модули автоподстройки задержки (DLL)

Полностью цифровая автоподстройка задержки (DLL), связанная с каждым глобальным буфером, может устранять перекося задержек между синхросигналом на входном контакте микросхемы и сигналами на тактовых входах

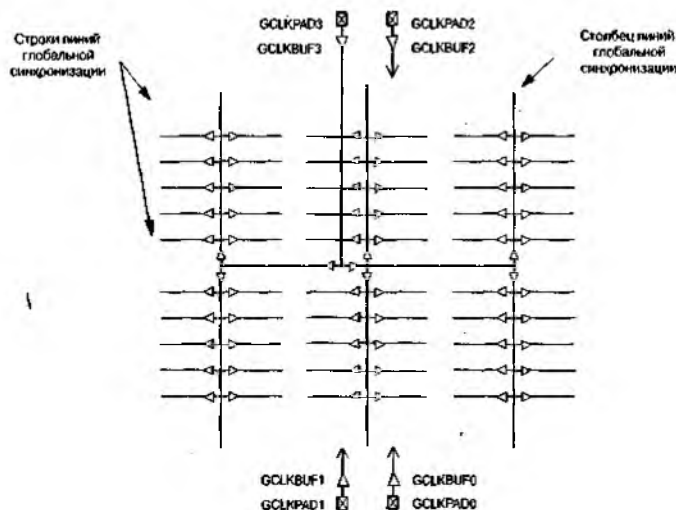


Рис. 8. Глобальные цепи синхронизации

внутренних схем устройства. Каждая DLL может быть нагружена на две глобальные цепи синхронизации. Схема DLL отслеживает сигнал синхронизации на входном контакте микросхемы и тактовый сигнал, распределяемый внутри кристалла, затем автоматически устанавливает необходимую задержку. Дополнительная задержка вводится таким образом, что фронты сигналов синхронизации достигают внутренних триггеров в точности на один период синхронизации позже их прихода на входной контакт. Эта система с обратной связью эффективно устраняет задержку распределения сигналов синхронизации, гарантируя, что фронты синхросигналов на входе микросхемы и на внутренних тактовых входах с большой точностью синхронны.

Вдобавок, для устранения задержек, возникающих при распределении тактовых сигналов, DLL создает новые возможности управления функциями синхронизации. Модуль DLL может создавать четыре квадратурные фазы из исходного источника синхросигнала; удваивать частоту синхросигнала или делить эту частоту на 1.5, 2, 2.5, 3, 4, 5, 8 или 16.

Модуль DLL также функционирует как тактовое зеркало. Путем вывода из микросхемы сигнала с выхода DLL и последующего ввода этого сигнала снова внутрь кристалла, схема DLL может устранить разбег фаз для тактовых сигналов на уровне печатной платы при работе с несколькими микросхемами Spartan-II.

Чтобы гарантировать, что системная синхронизация будет нормально функцио-

нирывать до момента окончания конфигурирования системы и начала штатной работы, схема DLL имеет возможность задерживать процесс конфигурирования до нормальной синхронизации с системой.

### 3.6. Периферийное сканирование (ПС)

Кристаллы Spartan-II поддерживают команды периферийного сканирования, приведенные в спецификации стандарта IEEE 1149.1. Порт Test Access Port (TAP) и регистры реализованы для выполнения команд Extest, INTEST, Sample/Preload, Bypass, IDCODE, USERCODE и HIGHZ. Кроме того, порт TAP поддерживает две внутренние сканирующие цепочки и позволяет загрузить/считать конфигурацию кристалла.

TAP использует predetermined контакты микросхемы и LVTTTL стандарт сигналов. Для того чтобы выход TAP выдавал сигналы в стандарте LVTTTL, на контакт V<sub>cco</sub> второго банка должно быть подано напряжение 3.3 В. В противном случае напряжение на выходе TAP будет меняться в пределах от нуля до V<sub>cco</sub>.

Операции периферийного сканирования не зависят от конкретных конфигураций блоков ввода-вывода и типа корпуса. Все блоки ввода-вывода, включая неподключенные к контактам, рассматриваются как независимые двунаправленные контакты с тремя состояниями, в единой цепочке сканирования. Сохранение возможности осуществлять двунаправленное тестирование после конфигурирования, облегчает тестирование внешних межсоединений.

В Табл. 6 приведены команды периферийного сканирования, поддерживаемые кристаллами Spartan-II. Внутренние сигналы могут быть проанализированы в процессе выполнения команды Extest посредством подключения их к неиспользуемым выходам блоков ввода-вывода, либо к блокам ввода-вывода, не присоединенным к контактам. Они могут быть также подсоединены к неиспользуемым выходам блоков ввода-вывода, которые определены как однонаправленные входные контакты.

До конфигурации кристалла доступны все команды кроме USER1 и USER2. После конфигурации кристалла доступны все команды без исклю-

Таблица 6. Команды периферийного сканирования

Команда	Двоичный код (4:0)	Описание
Extest	00000	Разрешает операцию периферийного сканирования Extest
Sample/Preload	00001	Разрешает операцию периферийного сканирования Sample/Preload
USER1	00010	Доступ к определенному пользователем регистру 1
USER2	00011	Доступ к определенному пользователем регистру 2
CFG_OUT	00100	Доступ к конфигурационной шине для операций считывания
CFG_IN	00101	Доступ к конфигурационной шине для операций записи
INTEST	00111	Разрешает операцию периферийного сканирования INTEST
USERCODE	01000	Разрешает считывание пользовательского кода
IDCODE	01001	Разрешает считывание ID кода
HIGHZ	01010	Переводит выходы в третье состояние во время операции BYPASS
JSTART	01100	Активизирует вход TCK порта TAP
BYPASS	11111	Разрешает BYPASS
RESERVED	Любой другой	Зарезервированные инструкции

чения. Во время конфигурации не рекомендуется использовать команды Extest, Sample/Preload и INtest.

В дополнение к описанным выше тестовым командам поддерживаются команды, позволяющие загрузить/считать конфигурацию кристалла.

На Рис. 9 показана логика периферийного сканирования кристаллов серии Spartan-II. Логика периферийного сканирования состоит из 3-разрядного регистра данных на один БВВ, контроллера порта TAP и регистра команд с декодированием.

### 3.6.1. Регистры данных

Первичный регистр данных является регистром периферийного сканирования. Для каждого вывода микросхемы, связанного с программируемым БВВ, регистр данных ПС содержит три разряда сдвигового регистра и три разряда регистра-защелки (для входа, выхода и управления третьим состоянием). Выводы, не доступные для программирования пользователем, имеют только по одному разряду в регистре данных ПС (для входа или выхода).

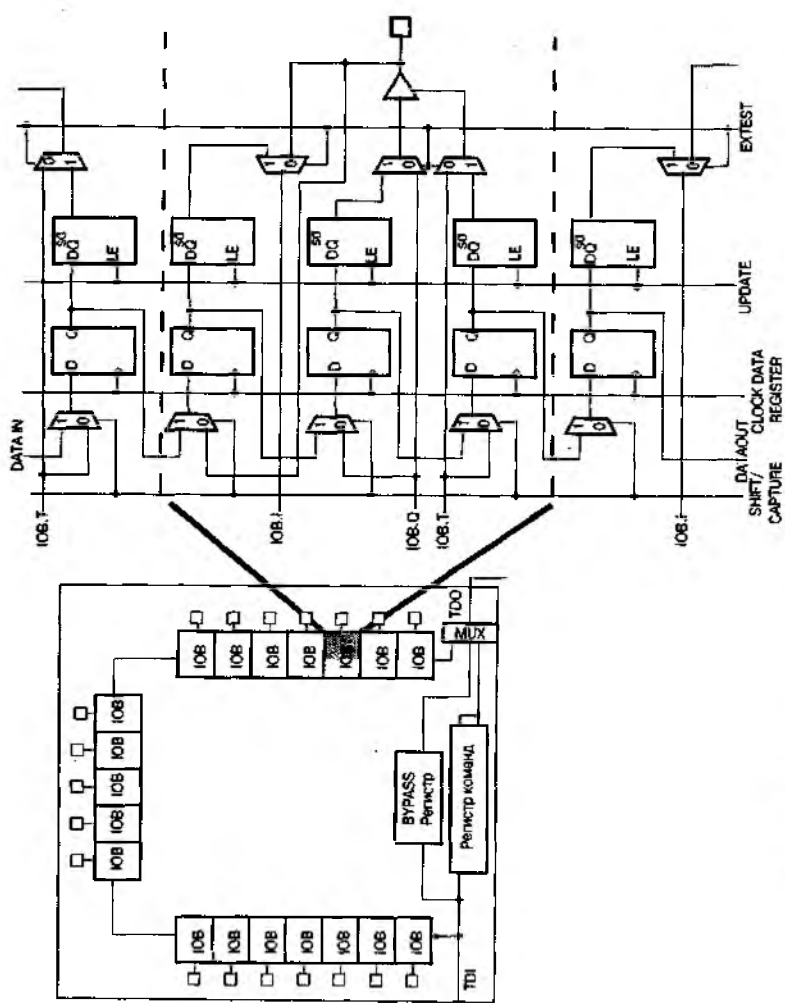


Рис. 9. Логика периферийного сканирования серии Spartan-II

Другим регистром данных является регистр BYPASS. Данный регистр осуществляет синхронизацию данных, проходящих через кристалл в следующее устройство с периферийным сканированием. В кристалле имеется только один такой регистр.

Кристалл семейства Spartan-II содержит две дополнительные внутренние цепи сканирования, которые могут быть задействованы использованием в проекте макромодуля BSCAN. Выводы SEL1 и SEL2 макромодуля BSCAN переводятся в логическую единицу при командах USER1 и USER2 соответственно, задействуя эти цепи. Данные с выхода TDO считываются входами TDO1 или TDO2 макромодуля BSCAN. Также макромодуль BSCAN имеет отдельные тактовые входы DRCK1 и DRCK2 для каждого пользовательского регистра ПС, общий вход TDI и общие выходы RESET, SHIFT и UPDATE, отражающие состояние контроллера порта TAP.

### 3.6.2. Порядок битов регистра данных ПС

Порядок в каждом БВВ: Вход, Выход, Высокий импеданс. Только входные контакты представлены одним битом, а только выходные — всеми тремя.

Если смотреть на кристалл, как он представлен в программном обеспечении

проектирования (модуль FPGA EDITOR), то последовательность битов в регистре данных ПС будет определяться как на Рис. 10.

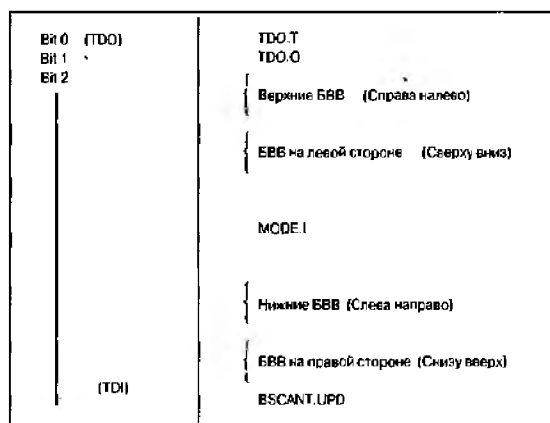


Рис. 10. Последовательность битов ПС

### 3.6.3 Включение ПС в проект

Так как все контакты, необходимые для ПС, предопределены в каждом кристалле, то не нужно включать в проект дополнительных элементов, если не будут использоваться пользовательские регистры (USER1 и USER2). Для задействования этих регистров в проект необходимо включить элемент BSCAN и соединить соответствующие выводы.

## 4. Система проектирования

Разработка кристаллов Spartan-II осуществляется программным обеспечением проектирования Xilinx Foundation и/или Xilinx Alliance. Процесс проектирования включает: ввод проекта, размещение в кристалл и верификацию. Для ввода проекта могут применяться стандартные электронные САПР, таких фирм как «Aldec», «Cadence», «Exemplar», «Simplicity», «Mentor Graphics» или «Synopsys». Для размещения в кристалл и верификации используются специализированные под архитектуру САПР, выпускаемые только фирмой «Xilinx».

Система проектирования фирмы «Xilinx» интегрирована в управляющую программу называемую Xilinx Design Manager (XDM), которая обеспечивает доступ к общему пользовательскому интерфейсу, независимо от выбора вида программы ввода или верификации. Программа XDM упрощает выбор настроек, необходимых для выполнения проекта, благодаря наличию разветвленного меню и легкодоступной справочной системе (on-line help).

Прикладные программы, начиная от создания схемы (schematic capture), до размещения и трассировки (Placement and Routing — PAR), доступны из программы XDM. Цепочка команд, определяющих последовательность обрабатываемых процессов, генерируется до начала их исполнения и запоминается для последующего документирования.

Несколько расширенных свойств программного обеспечения облегчает проектирование микросхем Spartan-II. Например, схемные относительно расположенные макросы (Relationally Placed Macros — RPMs), в которых содержится информация о принудительной взаимной ориентации составных частей элементов проекта, дают необходимую информацию для их реального размещения на кристалле. Они помогают обеспечить оптимальное выполнение стандартных

логических функций.

Для ввода проектов с помощью языков описания аппаратных средств (Hardware Description Language — HDU), система проектирования Xilinx Foundation предоставляет интерфейсы к синтезаторам следующих фирм:

- «Synopsis» (FPGA Compiler, FPGA Express)',
- «Exemplar» (Spectrum);
- «Simplicity» (Simplify).

Для схемного ввода проектов системы проектирования Xilinx Foundation и Alliance предоставляют интерфейсы к следующим системам создания схем:

- Mentor Graphics V8 (Design Architect Quick Sim II);
- Viewlogic System (Viewdraw).

Существует множество других производителей, которые предлагают аналогичные по функциям системы ввода проекта.

Для упрощения взаимодействия различных САПР существует стандартный формат файлов (EDIF), который поддерживается всеми производителями САПР.

САПР для Spartan-II включает унифицированную библиотеку (Unified library) стандартных функций. Эта библиотека содержит свыше 400 примитивов и макросов, от двухвходовых вентилях И, до 16-битовых аккумуляторов, и включает арифметические функции, компараторы, счетчики, регистры данных, дешифраторы, шифраторы, функции ввода/вывода, защелки, булевы функции, мультиплексоры и сдвигающие регистры.

Часть библиотеки, содержащей детальные описания общих логических функций, реализованных в виде «нежестких» макросов (soft macro), в тоже время, не содержит никакой информации о разбиении этих функций на реальные физические блоки и об их размещении в кристалле. Быстродействие данных макросов зависит, таким образом, от этих двух процедур, которые реализуются на этапе размещения проекта в кристалл. В тоже время, относительно расположенные макросы (RPMs) содержат в себе предварительно определенную информацию о разбиении на физические блоки и о размещении, которая дает возможность для оптимального выполнения этих функций. Пользователи могут создать свою собственную библиотеку «нежестких» макросов и RPM из примитивов и макросов стандартной библиотеки.

Среда проектирования поддерживает ввод иерархических проектов, в которых схемы верхнего уровня содержат основные функциональные блоки, в то время как системы нижнего уровня определяют логические функции этих блоков. Данные элементы иерархического проекта автоматически объединяются соответствующими средствами на этапе размещения в кристалл. При иерархической реализации могут объединяться различные средства ввода проекта, давая возможность каждую из частей вводить наиболее подходящим для нее методом.

#### 4Л. Размещение проекта в кристалл

Программное средство размещения и трассировки (place-and-route, PAR) обеспечивает автоматическое протекание процесса размещения проекта в кристалл, которое описывается ниже. Процедура разбиения на физические блоки получа-

ет исходную информацию о проекте в виде перечня связей формата EDIF и осуществляет привязку абстрактных логических элементов к реальным физическим ресурсам архитектуры FPGA (БВВ, КЛБ). Затем процедура размещения определяет наилучшее место для их размещения, руководствуясь информацией о межсоединениях и желаемом быстродействии. В завершении процедура трассировки выполняет соединения между блоками.

Алгоритмы программы PAR поддерживают автоматическое выполнение большинства проектов. Тем не менее в некоторых приложениях пользователь, при необходимости, может осуществлять контроль и управление процессом. На этапе ввода проекта пользователь может задавать свою информацию для разбиения, размещения и трассировки.

В программное обеспечение встроено средство Timing Wizard, управляющее процессом размещения и трассировки с учетом требований к временам распространения сигналов. При вводе проекта пользователь задает эту информацию в виде временных ограничений для определенных цепей. Процедуры анализа временных параметров связей анализируют эти, заданные пользователем, требования и пытаются удовлетворить им.

Временные требования вводятся в схему в виде непосредственных системных ограничений, таких, как минимально допустимая частота синхронизации или максимально допустимая задержка между двумя регистрами. При таком подходе результирующее быстродействие системы с учетом суммарной протяженности путей автоматически подгоняется под требования пользователя. Таким образом, задание временных ограничений для отдельных цепей становится ненужным.

#### 4.2. Верификация проекта

В дополнение к обычному программному моделированию FPGA, пользователь может использовать метод непосредственной отладки реальных цепей. Благодаря неограниченному количеству циклов перепрограммирования кристаллов FPGA, работоспособность проектов можно проверить в реальном масштабе времени, вместо того чтобы использовать большой набор тестовых векторов, необходимых при программном моделировании.

Система проектирования устройств Spartan-II поддерживает и программное моделирование и метод отладки непосредственно аппаратных цепей. Для выполнения моделирования система извлекает временную информацию, полученную после размещения из базы данных проекта, и вводит ее в сетевой перечень. Пользователь может и сам проверить критичные по времени части проекта, используя статический временной анализатор trace.

Для непосредственной отладки цепей к системе проектирования поставляется кабель для загрузки конфигурационных данных и обратного считывания данных из микросхемы. Этот кабель соединяет персональный компьютер или рабочую станцию с микросхемой FPGA, установленной в законченное устройство. После загрузки проекта в FPGA, пользователь может выполнить один шаг изменения логического состояния схемы, затем выполнить обратное считывание состояния триггеров в компьютер и проанализировать правильность работы схемы. Простейшие модификации проекта при этом можно осуществлять в

считанные минуты.

## 5. Конфигурирование кристалла в устройстве

Конфигурирование — это процесс загрузки битовой последовательности, полученной с помощью программного обеспечения проектирования, во внутреннюю конфигурационную память кристаллов FPGA. Spartan-II может загружаться как побитно (ведущий/подчиненный последовательные режимы и JTAG), так и побайтно (подчиненный параллельный режим).

Конфигурационные данные при выключенном питании должны храниться во внешнем устройстве статической памяти. Обычно для этого применяются ПЗУ фирмы «Xilinx» серии XC1700 или XC18V00. В Табл. 7 представлены объемы конфигурационной последовательности для кристаллов Spartan-II.

### 5.1. Режимы конфигурирования

Spartan-II поддерживает следующие четыре режима конфигурирования:

- подчиненный последовательный режим (Slave-serial);
- ведущий последовательный режим (Master-serial);

Таблица 7. Размер конфигурационной последовательности для  
- микросхем Spartan-II

Кристалл	Объем конфигурационной последовательности [бит]
XC2S15	197 696
XC2S30	336 768
XC2S50	559 200
XC2S100	781 216
XC2S150	1 040 096
XC2S200	1 335 840

- подчиненный параллельный режим (Slave Parallel);
- режим периферийного сканирования (JTAG — Boundary Scan). Комбинация кодов на специальных входных контактах (M2, M1, M0) позволяет выбрать один из режимов конфигурирования, при этом четыре из восьми кодов соответствуют «подтянутому» (pull-up) состоянию входов блоков ввода-вывода до начала процедуры конфигурирования, и еще четыре комбинации состоянию неопределенного потенциала блоков ввода-вывода. Соответствие этих кодов необходимому режиму приведено в Табл. 8.

Таблица 8. Конфигурационные коды

Режим	M2	M1	M0	CCLK	Разрядность данных	Последовательный выход DOUT	Контакты подтянуты
Master-serial	0	0	0	Выход	1	Есть	Нет
Boundary-scan	1	0	1		1	Нет	Нет
Slave Parallel	1	1	0	Вход	8	Нет	Нет
Slave-serial	1	1	1	Вход	1	Есть	Нет
Master-serial	1	0	0	Выход	1	Есть	Да
Boundary-scan	0	0	1		1	Нет	Да
Slave Parallel	0	1	0	Вход	8	Нет	Да
Slave-serial	0	1	1	Вход	1	Есть	Да

Конфигурирование через порт периферийного сканирования (режим Boundary-scan) может осуществляться при любом значении M2, M1, M0. Установка значений, перечисленных в Табл. 8, отключает все остальные режимы. Контакты M2, M1, M0 внутри кристалла подключены к pull-up резисторам, поэтому если



на плате они никуда не подключены, то на них присутствует логическая единица.

## 5.2. Сигналы конфигурации

Микросхемы Spartan-II конфигурируются путем загрузки конфигурационных данных во внутреннюю конфигурационную память. Часть специальных контактов, которые при этом используются, не могут применяться для других целей, в то же время некоторые из них могут после завершения конфигурирования служить в качестве контактов ввода-вывода общего назначения.

К специальным контактам конфигурирования относятся следующие:

- контакты режима конфигурирования (M2, M1, MO);
- контакт синхронизации процесса конфигурирования (CCLK);
- контакт PROGRAM;
- контакт Done;
- контакты периферийного сканирования (TDI, TDO, TMS, TCK). В зависимости • от выбранного режима конфигурирования, контакт CCLK может быть либо источником сигнала синхронизации, либо наоборот — приемником сигнала от внешнего генератора синхросигналов

## 5.3. Последовательность конфигурации

Конфигурирование микросхем Spartan-II — процесс, состоящий из трех фаз. В первой фазе конфигурирования очищается конфигурационная память. Следующая фаза — загрузка данных в конфигурационную память. Наконец, активизируется логика (фаза Start-Up). Алгоритм выполняемых операций при этом процессе показан на Рис. 11.

Первая и последняя фазы одинаковы для всех режимов конфигурирования, а фаза загрузки данных в конфигурационную память различаются и будут описаны ниже, в разделах, посвященных конкретному режиму конфигурирования.

### 5.3.7. Инициализация конфигурирования

Обычно процесс конфигурирования запускается автоматически после подачи напряжения питания, однако, как будет описано далее, он может быть задержан пользователем. Конфигурационный процесс может также быть инициирован установкой активного уровня сигнала PROGRAM. Переход сигнала INITs состояние логической единицы означает окончание фазы очистки памяти, а установка активного уровня сигнала DONE (T) означает окончание процесса в целом.

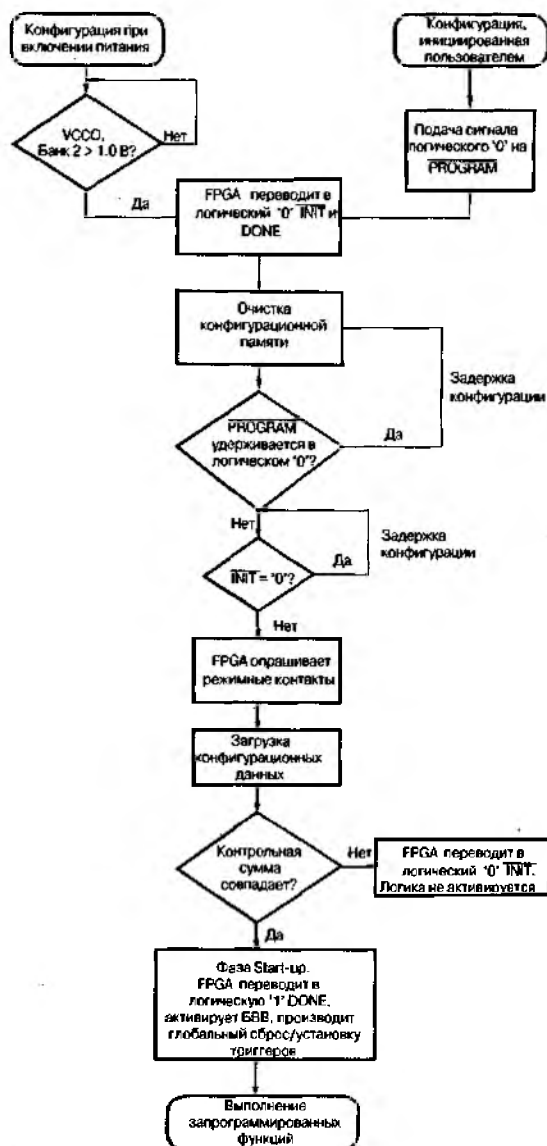


Рис. 11. Алгоритм конфигурирования

Для того чтобы при включении питания начался процесс конфигурирования, необходимо, чтобы напряжение на контактах VCCO2 банка 2 превышало 1.0 В, а на все VCCINT было подано напряжение 2.5 В.

Временная диаграмма для конфигурационных сигналов после подачи напряжения питания показана на Рис. 12, а соответствующие временные характеристики — в Табл. 9.

Таблица 9. Значения временных параметров конфигурирования при подаче питания

Параметр	Значение	
	min	max
$T_{POR}$		2.0 мс
$T_{PL}$		100 мкс
$T_{KCK}$	0.5 мкс	4.0 мкс
$T_{PROGRAM}$	300 нс	

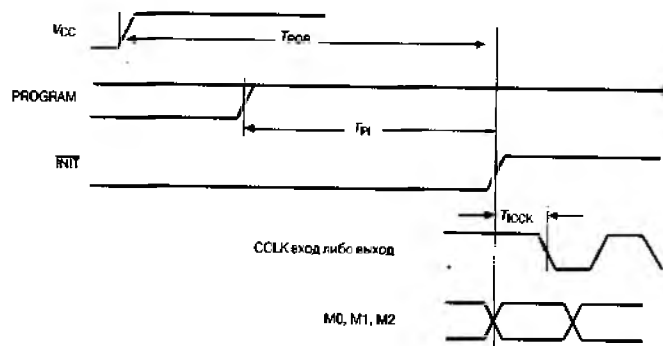


Рис. 12. Временные диаграммы конфигурирования при подаче питания

### 5.3.2. Очистка конфигурационной памяти

Процесс очистки конфигурационной памяти обозначается выставлением микросхемой Spartan-II логического нуля на контакте INIT. В это время конфигурирование FPGA может быть приостановлено удержанием сигнала на контакте PROGRAM в состоянии низкого логического уровня до момента готовности системы к конфигурированию.

На протяжении фазы очистки конфигурационной памяти последовательность операций состоит из повторения цикла очистки памяти по всем адресам. Эти операции продолжаются до окончания одного полного цикла очистки памяти по всем адресам после установки сигнала на входе PROGRAM в состояние логической единицы. Таким образом, задержка процесса конфигурирования равнозначна продолжению фазы очистки памяти.

Другой вариант задержки конфигурирования — подача от источника с открытым стоком сигнала низкого уровня на вход INIT. Источник сигнала с открытым стоком необходим потому, что контакт INIT — двунаправленный и работает как выход, имеющий низкий логический уровень во время фазы очистки памяти. Увеличение времени удержания низкого логического уровня на этом контакте приводит к тому, что конфигурационный автомат продолжает выполнять фазу очистки памяти. Таким образом, процесс конфигурирования задерживается, не входя в фазу загрузки данных.

Окончание фазы очистки памяти обозначается выставлением микросхемой Spartan-II логической единицы на контакте INIT.

### 5.3.3. Загрузка конфигурационных данных

После перехода INIT в логическую единицу можно начинать загрузку конфигурационных данных. Процесс загрузки для каждого режима специфичен и будет описан далее, в разделах, посвященных конкретному режиму.

### 5.3.4. Проверка контрольной суммы

Во время загрузки конфигурационных данных контрольная сумма, записанная в загружаемом файле, сравнивается с контрольной суммой данных в конфигура-

ционной памяти микросхемы Spartan-II. В случае их несовпадения микросхема Spartan-II переводит INIT в ноль и прекращает процесс загрузки.

Для реконфигурирования нужно подать логический ноль на контакт PROGRAM на время не меньшее 300 нс.

#### 5.3.5. Последовательность вхождения в штатный режим работы

При выполнении вхождения в штатный режим работы выполняются четыре операции:

1. Сигнал DONE переводится в '1'. Если этого не произошло, то процедура загрузки конфигурационных данных прошла с ошибками.
2. Проходит глобальный сигнал управления третьим состоянием (global tristate — GTS). Это позволяет выходам FPGA включиться надлежащим образом.
3. Проходит сигнал глобальной установки/сброса (Global Set/Reset — GSR).
4. Проходит сигнал глобального разрешения записи (Global Write Enable — GWE). Это создает условия для начала нормальной работы внутренних запоминающих элементов.

По умолчанию процедура вхождения в штатный режим работы синхронизована с сигналом CCLK. Вся процедура занимает 8 тактов CCLK, обозначаемых как CO..C7, после чего загруженный проект может функционировать в штатном режиме. Временная диаграмма представлена на Рис. 13 а. Четыре операции могут выполняться на любом такте CCLK с C1 по C6. Такт выполнения операции программируется программным обеспечением проектирования. На рисунке жирной линией показана временная диаграмма, заданная по умолчанию.

На Рис. 13б показана временная диаграмма другой часто используемой версии процедуры вхождения в штатный режим. В этой версии сигналы GSR, GTS, GWE проходят одновременно, после перехода DONE в единицу. Данный метод применяется при конфигурации в последовательном режиме цепочки из нескольких микросхем FPGA. Данный метод реализуется путем выставления в ПО GSR, GTS, GWE через такт после DONE.

#### 5.4. Последовательные режимы конфигурации

Существует два вида последовательного режима конфигурирования:

- ведущий последовательный, при котором загрузкой управляет микросхема FPGA и ее контакт CCLK является выходом, то есть источником синхросигнала для внешней памяти, где хранится конфигурационный файл;
- подчиненный последовательный, при котором загрузкой управляет внешнее устройство (микропроцессор, CPLD, другая микросхема FPGA и т. д.). Контакт CCLK при этом является входом.

В обоих случаях за один такт CCLK загружается 1 бит конфигурационных данных. Первым загружается старший бит конфигурационного байта данных. Последовательность операций изображена на Рис. 14. Данная схема является более полным представлением блока «Загрузка конфигурационных данных» на Рис. 11.

##### 5.4.1. Подчиненный последовательный режим (Slave Serial)

В этом режиме FPGA принимает конфигурационные данные в последовательной форме от последовательного ПЗУ (Serial Programmable Read Only Memory — SPROM) или от другого источника последовательных конфигура-

ционных данных. Данные последовательного битового потока

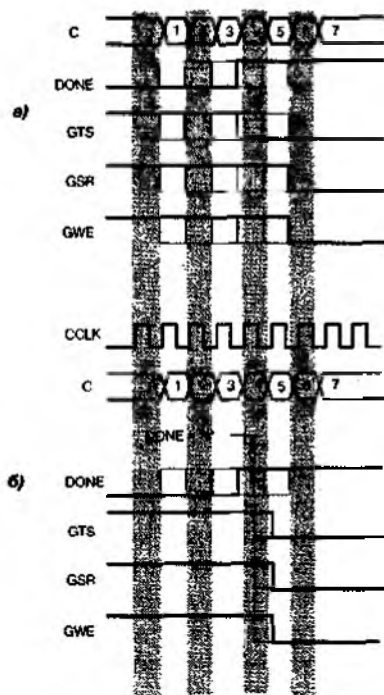


Рис. 13. Временные диаграммы фазы Start-up

(bitstream) должны быть установлены на входе DIN незадолго до появления нарастающего фронта сигнала, генерируемого внешним источником и подаваемого на вход CCLK.

Несколько микросхем FPGA могут быть соединены в цепочку для конфигурирования от единого внешнего источника конфигурационных данных. После того как одна из микросхем сконфигурирована, данные для следующей появляются на выходе DOUT. Изменение данных на выходе DOUT происходит после нарастающего фронта сигнала на входе CCLK.

Процесс стробирования данных, подаваемых на вход DIN по нарастающему фронту CCLK, отличается от аналогичного процесса в старых семействах микросхем FPGA, но это не приводит к возникновению проблем для смешанных конфигурационных цепочек. Такое изменение сделано для



Рис. 14. Загрузка конфигурационных данных в последовательных режимах

увеличения скоростей последовательного конфигурирования цепочек FPGA,

состоящих только из микросхем Spartan-II. На Рис. 15 изображена полная схема, совмещающая подчиненный режим и ведущий режим. FPGA Spartan-II, конфигурируемые в подчиненном режиме, должны быть подключены так же, как устройство, изображенное третьим слева.

Подчиненный последовательный режим выбирается заданием кода <111> на входах режима конфигурирования (M2, M1, M0). Внутренние выскоомные резисторы на режимных контактах «подтягивают» данные

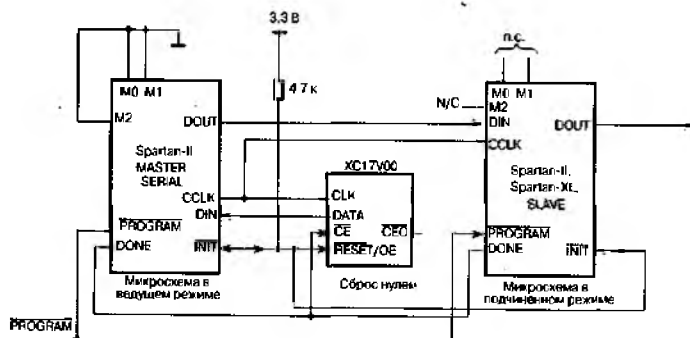


Рис. 15: Ведущий/подчиненный режимы конфигурации

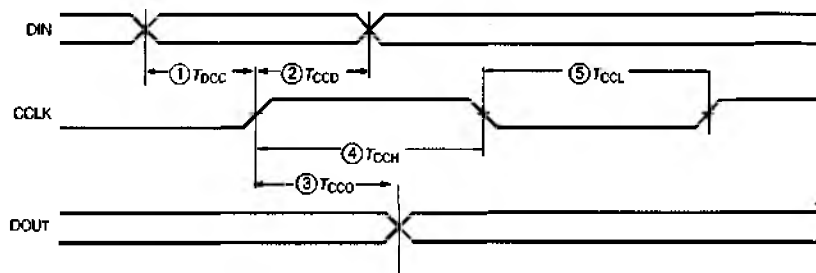


Рис. 16. Временная диаграмма подчиненного режима конфигурации

входы в состояние высокого логического уровня и, таким образом, задают этот режим по умолчанию, если выходы не имеют внешних подключений. На Рис. 16 изображена временная диаграмма для данного режима.

В Табл. 10 содержится более подробная информация для величин, приведенных на Рис. 16. Для FPGA, соединенных в цепочку, процесс конфигурирования должен быть задержан до тех пор, пока на контакте INIT присутствует высокий логический уровень.

Таблица 10. Параметры сигналов подчиненного режима

Параметр	Обозначение	Значение	
		min	max
Предустановка входного сигнала DIN	1*	$T_{DCC}/T_{CCD}$	5.0 нс
Удержание входного сигнала DIN	2*	$T_{DCC}/T_{CCD}$	0 нс
Задержка сигнала DOUT	3*	$T_{CCO}$	12 нс
Длительность высокого уровня	4*	$T_{CCH}$	5.0 нс
Длительность низкого уровня	5*	$T_{CCL}$	5.0 нс
Частота		$F_{CC}$	66 МГц

\*См. рис. 16.

#### 5.4.2. Ведущий последовательный режим (Master Serial)

В ведущем последовательном режиме с выхода CCLK FPGA сигнал подается на соответствующий вход микросхемы последовательного ПЗУ которая передает данные на DIN-вход той же микросхемы FPGA. Прием данных в FPGA осуще-

ствляется по каждому нарастающему фронту сигнала CCLK. После полного конфигурирования микросхемы данные для следующих устройств, соединенных цепочкой, появляются на выходе DOUT после каждого нарастающего фронта сигнала CCLK. Данные конфигурирования, поступающие на все FPGA, соединенные в цепочку, обязательно начинаются с блока, называемого преамбулой.

Интерфейс, поддерживающий этот режим, идентичен интерфейсу подчиненного режима (Slave), за исключением того, что для генерации синхросигнала конфигурирования используется внутренний осциллятор FPGA. Частота для этого синхросигнала может быть выбрана из широкого диапазона значений, но по умолчанию всегда используется низкая частота. Переключение на более высокую частоту происходит данными, которые распознаются микросхемой в самом конфигурационном потоке, после чего оставшаяся часть потока загружается уже с новой скоростью. Переключение снова на более низкую частоту запрещается. Частота синхронизации CCLK устанавливается выбором ConfigRate в программе генерации конфигурационного потока. Максимальная частота CCLK, которая может быть выбрана — 60 МГц. Выбирая некоторую частоту CCLK, необходимо убедиться, что используемые SPROM и все соединенные в цепочку FPGA рассчитаны на конфигурирование в таком темпе.

После включения питания, частота CCLK равна 4 МГц. Эта частота используется до момента загрузки битов ConfigRate, после чего частота меняется на новое значение, определенное этими битами. Если в проекте не задается другая частота, то используемая по умолчанию частота равна 4 МГц.

На Рис. 15 показана полная система, содержащая кристалл в ведущем и кристалл в подчиненном режимах. В этой схеме крайнее левое устройство работает в ведущем последовательном режиме. Остальные устройства работают в подчиненном последовательном режиме. На вход RESET микросхемы последовательного ПЗУ (SPROM) подается сигнал с контактов INIT устройства FPGA. Аналогично, на вход CE — с выхода DONE. При этом, в зависимости от выбранной стартовой последовательности, существует конфликт потенциалов на контакте DONE.

Временная диаграмма для ведущего последовательного режима показана на Рис. 17. Данный режим выбирается заданием кода 000 или 100 на входах M2, M1, M0. Необходимую временную информацию для этого режима содержит Табл. Ц. Время нарастания напряжения питания  $F_{cc}$  от уровня 1 В до минимально допустимого значения  $F_{CC}$  не должно превышать 50 мс, в противном случае необходимо удерживать сигнал PROGRAM в состоянии низкого логического уровня до момента достижения допустимого уровня  $F_{CC}$ .

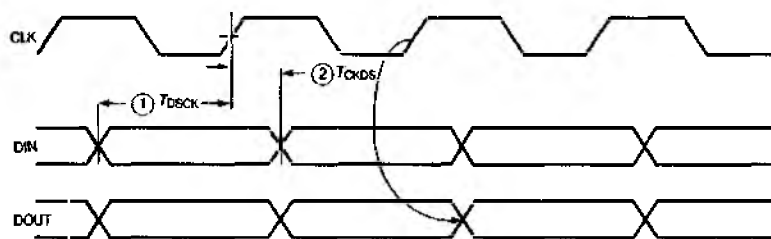


Рис. 17. Временная диаграмма ведущего режима конфигурации

Таблица 11. Параметры сигналов ведущего режима

Параметр	Обозначение		Значение	
			min	max
Предустановка входного сигнала DIN	1*	$T_{DSCCK}/T_{CCD}$	5.0 нс	
Удержание входного сигнала DIN	2*	$T_{DSCCK}/T_{SCKD}$	0 нс	

\*См. рис. 17.

### 5.5. Подчиненный параллельный режим (Slave Parallel)

Подчиненный параллельный режим — самый быстрый режим конфигурирования. В этом режиме данные записываются в FPGA побайтно с использованием флага BUSY, управляющего потоком данных на системных частотах, превышающих 50 МГц. На Рис. 18 показаны две микросхемы Spartan-II, использующие подчиненный параллельный режим для конфигурирования. Режим выбирается подачей на MO, M1, M2 либо <011>, либо <010>.

Внешний источник создает байтовый поток данных и сигналы CCLK, выбор кристалла (Chip Select — CS), запись (WRITE). Если установлен высокий логический уровень сигнала BUSY, данные должны удерживаться до тех пор, пока BUSY не будет переведен в состояние низкого уровня.

Используя этот режим, можно считать данные. Если сигнал WRITE не установлен (т. е. находится в состоянии высокого логического уровня), конфигурационные данные читаются обратно из FPGA, как часть операции обратного считывания.

После окончания конфигурирования контакты порта могут использоваться как дополнительные пользовательские входы/выходы. Можно использовать этот порт для быстрого 8-битового обратного считывания конфигурационных данных.



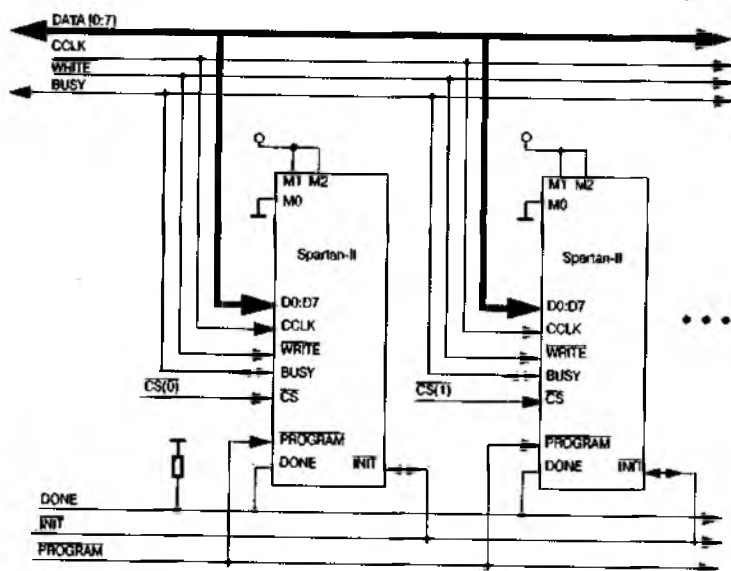


Рис. 18. Подчиненный параллельный режим

Сохранение такой возможности после конфигурирования реализуется на этапе создания битового потока. Для сохранения такой возможности, необходимо использовать ограничения типа PROHIBIT, предохраняющие контакты порта от использования в качестве пользовательских.

Несколько FPGA Spartan-II могут конфигурироваться в подчиненном параллельном режиме, и далее одновременно запускаться для штатного функционирования. Для конфигурирования нескольких устройств таким способом, необходимо соединить параллельно индивидуальные сигналы отдельных микросхем CCLK, Data, WRITE и BUSY. Конкретные микросхемы конфигурируются по очереди за счет поочередной подачи активного сигнала на контакт выборки (CS) этой FPGA и записи соответствующих ей данных.

#### 5.5.7. Запись

Процедура записи посылает байтовые пакеты конфигурационных данных в FPGA. Последовательность операций для процедуры записи показана на Рис. 19. Данная схема является более полным представлением блока «Загрузка конфигурационных данных» на Рис. П. Временная

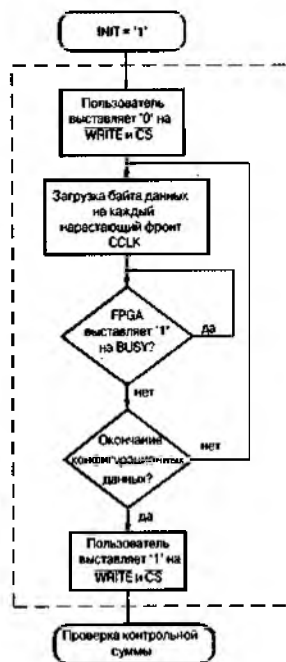


Рис. 19. Загрузка конфигурационных данных в подчиненном параллельном режиме загрузки

диаграмма операций представлена на Рис. 20, а в Табл. 12 представлены ее параметры.

Последовательность операций:

1. Установить сигналы WRITE и CS в состояние низкого логического уровня. Отметим, что, если сигнал CS активизируется во время уже функционирующего сигнала CCLK, WRITE должен оставаться неизменным. В противном случае, как описано далее, будет инициировано преждевременное прекращение процедуры.
2. Данные подать на вход D[7:0]. Отметим, что для избежания конфликта между данными от различных<sup>^</sup> источников, информация не должна выдаваться во время, когда сигнал CS имеет значение '0', а WRITE — значение '1'. Также нельзя активизировать больше одного CS в то время, когда сигнал WRITE имеет значение '1'.
3. Данные принимаются по нарастающему фронту CCLK при условии, что сигнал BUSY при этом имеет значение '0'. В случае если сигнал BUSY имел значение '1' от предыдущей записи, данные не принимаются. Данные снова будут приниматься по первому же нарастающему фронту CCLK после перехода BUSY в состояние '0'; при этом данные должны удерживаться до этого события.
4. Повторять шаги 2 и 3 до тех пор, пока будут переданы все данные.
5. Перевести сигналы CS и WRITE в неактивное состояние.

Если сигнал CCLK медленнее, чем <sup>^</sup>CCNH, FPGA не будет выставлять сигнал BUSY, в этом случае обмен подтверждениями готовности после реального приема данных не нужен, и данные могут просто вводиться в FPGA по каждому циклу сигнала CCLK.

Необходимо отметить, что конфигурационный пакет можно расщепить на несколько таких последовательностей. Пакет не должен быть закончен за время одной активизации сигнала CS.

### 5.5.2. Преждевременное прекращение процедуры

После установки активного уровня сигнала, пользователь не может переключаться с записи на чтение или наоборот. В противном случае такое действие приведет к преждевременному прекращению текущей пакетной команды. Устройство будет оставаться в состоянии BUSY (занято) до тех пор, пока прерванная процедура будет завершена. После прекращения процедуры, для продолжения приема пакета, необходимо повторить передачу того слова, которое было прервано.

Для того чтобы инициировать преждевременное прекращение процедуры записи, необходимо перевести сигнал WRITE в неактивное состояние. Как показано на Рис. 21, прекращение процедуры начнется с приходом нарастающего фронта CCLK.

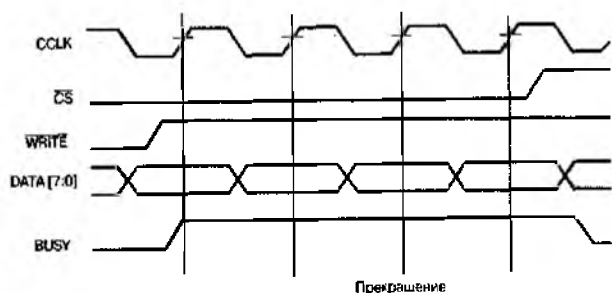


Рис. 21. Преждевременное прекращение процедуры записи в подчиненном параллельном режиме загрузки

### 5.6. Использование режима периферийного сканирования для конфигурирования Spartan-II

Для конфигурирования в режиме периферийного сканирования используются только специальные контакты порта тестового доступа (Test Access Port — TAP) в соответствии со стандартом IEEE 1149.1.

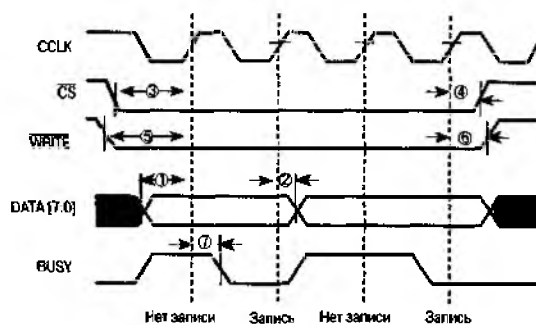


Рис. 20. Временная диаграмма операций записи подчиненного параллельного режима

Таблица 12. Параметры сигналов подчиненного параллельного режима

Параметр	Обозначение		Значение	
			min	max
Предустановка входных сигналов D0...D7	1*	$T_{SMDCC}$	5.0 нс	
Удержание входных сигналов D0...D7	2*	$T_{SMCCD}$	0 нс	
Предустановка входного сигнала CS	3*	$T_{SMCSCC}$	7.0 нс	
Удержание входного сигнала CS	4*	$T_{SMCCCS}$	0 нс	
Предустановка входного сигнала WRITE	5*	$T_{SMCCW}$	7.0 нс	
Удержание входного сигнала WRITE	6*	$T_{SMWCC}$	7.0 нс	
Задержка распространения сигнала BUSY	7*	$T_{SMCKBY}$		12.0 нс
Частота		$F_{CC}$		66 МГц
Частота без подтверждения получения данных		$F_{CCNH}$		50 МГц

\* См. рис. 20.

Конфигурирование через порт TAP выполняется с помощью специальной команды CFG\_IN. Эта команда позволяет преобразовать входные данные, поступающие на вход TDI в пакет данных для внутренней шины конфигурирования. Для конфигурирования FPGA через порт периферийного сканирования необходимо выполнить следующие действия:

1. Загрузить команду CFG\_IN во внутренний регистр команд (instruction register -IR).
2. Ввести состояние Shift-DR (SDR).
3. Выдать стандартный конфигурационный битовый поток на TDI.
4. Возвратиться к состоянию Run-Test-Idle (RTI).
5. Загрузить в регистр IR команду JSTART.
6. Ввести состояние SDR.
7. Выдать TCK для длины последовательности (длина — программируемая).
8. Возвратиться к состоянию RTI.

Как отмечалось ранее, конфигурирование и обратное считывание всегда доступно в режиме периферийного сканирования. Для выборки режима необходимо подать код <101> или <001> на контакты M2, M1, M0.

#### 6. Обратное считывание

Конфигурационные данные, записанные в конфигурационной памяти FPGA, могут быть считаны обратно для выполнения верификации. Наряду с этими данными возможно обратное считывание содержимого всех триггеров/защелок, LUTRAMs, BlockRAMs. Эта возможность используется для выполнения отладки проектов в реальном масштабе времен.

#### 7. Характеристики микросхем семейства Spartan-II по постоянному току

В Табл. 13 приведены максимально допустимые значения параметров микросхем семейства Spartan-II по постоянному току.

Внимание! Превышение максимальных значений ведет к повреждению кристалла.

Таблица 13. Диапазон максимально допустимых значений микросхем семейства Spartan-II

Обозначение	Параметр		Значение	Единица измерения
$V_{CCINT}$	Напряжение питания ядра относительно GND		-0.5...3.0	В
$V_{CCO}$	Напряжение питания выходных каскадов относительно GND		-0.5...4.0	В
$V_{REF}$	Входное опорное напряжение		-0.5...3.6	В
$V_{IN}$	Напряжение входного сигнала относительно GND	Используя $V_{REF}$	-0.5...3.6	В
		Не используя $V_{REF}$	-0.5...5.5	В
$V_{TS}$	Напряжение, прикладываемое к 3-стабильному выходу		-0.5...5.5	В
$t_{CC}$	Максимальное время нарастания напряжения питания от 1 до 2.375 В		50	мс
$T_{STG}$	Температура хранения (окружающей среды)		-65...+150	°C
$T_{SOL}$	Максимальная температура припоя		+260	°C
$T_J$	Максимальная рабочая температура контактов		+125	°C

В Табл. 14 приведены рекомендуемые значения параметров микросхем семейства Spartan-II по постоянному току.

Таблица 14. Рекомендуемые значения

Обозначение	Параметр	Значение		Единица измерения
		min	max	
$V_{CCINT}$	Напряжение питания ядра при $T_J = 0...+85^{\circ}\text{C}$ (коммерческое исполнение)	2.5 -5%	2.5 +5%	В
	Напряжение питания ядра при $T_J = 0...+85^{\circ}\text{C}$ (промышленное исполнение)	2.5 -5%	2.5 +5%	В
$V_{CCO}$	Напряжение питания выходных каскадов при $T_J = 0...+85^{\circ}\text{C}$ (коммерческое исполнение)	1.4	3.6	В
	Напряжение питания выходных каскадов при $T_J = 0...+85^{\circ}\text{C}$ (промышленное исполнение)	1.4	3.6	В
$T_{IN}$	Время передачи входного сигнала		250	нс

## 8. Корпуса

В Табл. 15 приведены комбинации: кристалл Spartan-II — корпус, и число пользовательских выводов для каждой комбинации.

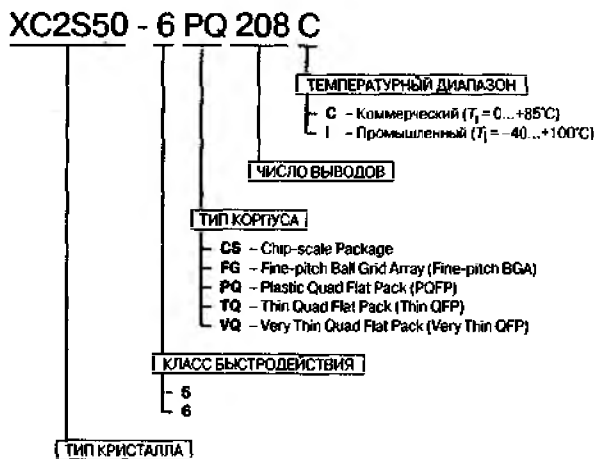


Рис. 22. Обозначение микросхем семейства Spartan-II

## 9. Обозначение микросхем Spartan-II

Способ обозначения микросхем семейства Spartan-II показан на Рис. 22.

Таблица 15. Корпуса

Корпус	Максимальное число пользовательских контактов					
	XC2S15	XC2S30	XC2S50	XC2S100	XC2S150	XC2S200
VQ-100	60	60	—	—	—	—
TQ-144	86	92	92	92	—	—
CS-144	86	92	—	—	—	—
PQ-208	—	132	140	140	140	140
FG-256	—	—	176	176	176	176
FG-456	—	—	—	196	260	284

## Глава 4. ПЛИС CPLD семейства XC9500

### 1. Особенности семейства

- Высокая производительность:
  - задержка от входа до выхода по всем выводам до 5 нс;
  - частота работы 16-разрядного счетчика до 125 МГц.
- Широкий диапазон выбора микросхем по степени интеграции:
  - от 36 до 288 макроячеек, или от 800 до 6 400 вентиляей.
- Возможность перепрограммирования в системе с напряжением питания 5 В:
  - не менее 10 тыс. циклов запись/стирание;
  - программирование/стирание в полном коммерческом диапазоне напряжения питания и температур.
- Расширенные возможности закрепления выводов перед трассировкой.
- Наличие гибкого функционального блока 36V18:
  - любая из 18 макроячеек функционального блока может выполнять логическую функцию 36 переменных от 1 до 90 логических произведений (термов);
  - глобальные и программируемые тактовые сигналы, сигнал разрешение выхода, сигналы установки и сброса триггера.
- Программируемый режим пониженной потребляемой мощности в каждой макроячейке.
- Управление задержкой сигнала по любому из выходов.
- Возможность назначения пользователем «общего» вывода.

- Расширенная возможность защиты схемы от копирования.
- Мощный выход (24 мА) с возможностью работы при питании выходных каскадов от напряжения 3.3 В или 5 В.
- Полная поддержка периферийного сканирования в соответствии со стандартом IEEE Std 1149.1 (JTAG).
- Производятся по 5-В КМОП-технологии FastFLASH.
- Возможность параллельного программирования нескольких микросхем XC9500.

## 2. Обзор семейства

Семейство XC9500 имеет структуру, фирменное название которой CPLD (Complex Programmable Logic Device — комплексные программируемые логические устройства (КПЛД)). Структура CPLD напоминает структуру EPLD — основу их составляют макроячейки PAL-типа, позволяющие получать логические функции многих переменных с ограниченным числом термов. Микросхемы этого типа могут быть использованы для создания нестандартных АЛУ, дешифраторов, мультиплексоров и т.д., т.е. таких устройств, где требуются логические функции многих переменных и небольшое количество триггеров.

Микросхемы семейства XC9500 могут использоваться в крупносерийной аппаратуре, а также в системах, где требуется перепрограммирование «на ходу».

Для программирования микросхем семейства XC9500 не требуется программатор — перепрограммирование осуществляется сигналами от элементов с напряжением питания 5 В через специальные выводы микросхем (JTAG-порт) в той же системе, где и применяется данная ПЛИС. Минимальное число циклов перепрограммирования микросхем превышает 10 тыс. Записанная конфигурация может сохраняться более 20 лет.

В состав семейства XC9500 входят шесть микросхем, емкостью от 36 до 288 макроячеек (от 800 до 6 400 вентилей, соответственно) в различных корпусах. Все микросхемы семейства XC9500 совместимы по контактам, что обеспечивает возможность легкого перехода от одной микросхемы к другой в том же корпусе.

В Табл. 1 представлены основные параметры микросхем семейства XC9500, а в Табл. 2 все доступные корпуса с указанием количества пользовательских контактов.

## 3. Описание архитектуры семейства XC9500

Каждая микросхема семейства XC9500 представляет собой подсистему, состоящую из множества функциональных блоков (ФБ) и блоков ввода/вывода (БВВ), соединенных переключательной матрицей (ПМ) (Рис. 1).

БВВ обеспечивают буферизацию всех входов и выходов микросхемы. Каждый ФБ содержит 18 макроячеек со структурой 36VI и позволяет

Таблица 1. Микросхемы семейства XC9500

Параметр	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
Число макроячеек	36	72	108	144	216	288
Число вентиляей	800	1600	2400	3200	4800	6400
Число триггеров	36	72	108	144	216	288
$t_{PD}$ [нс]	5	7.5	7.5	7.5	10	10
$t_{SU}$ [нс]	3.5	4.5	4.5	4.5	6.0	6.0
$t_{CO}$ [нс]	4.0	4.5	4.5	4.5	6.0	6.0
$f_{CNT}$ [МГц]	100	125	125	125	111.1	111.1
$f_{SYSTEM}$ [МГц]	100	83.3	83.3	83.3	66.7	66.7

Примечание:  $f_{CNT}$  — частота работы 16-разрядного счетчика;  $f_{SYSTEM}$  — внутренняя частота для проектов, использующих несколько функциональных блоков.

Таблица 2. Доступные корпуса и количество пользовательских контактов (не учитывая JTAG-контактов)

Корпус	XC9536	XC9572	XC95108	XC95144	XC95216	XC95288
VQFP-44	34					
PLCC-44	34	34				
CSP-48	34					
PLCC-84		69	69			
TQFP-100		72	81	81		
PQFP-100		72	81	81		
PQFP-160			108	133	133	
HQFP-208					166	168
BGA-352					166	192

получить 18 логических функций практически от любой комбинации из 36 переменных.

ПМ обеспечивает подачу любых выходных сигналов ФБ и входных сигналов на входы ФБ. От 12 до 18 выходных сигналов каждого ФБ (в зависимости от количества выводов в корпусе) и соответствующие сигналы разрешения выхода поступают непосредственно на блоки ввода-вывода. Все выводы ПЛИС семейства XC9500 можно подразделить на 3 группы: 1. Выводы JTAG-порта, через которые производится периферийное сканирование и программирование.

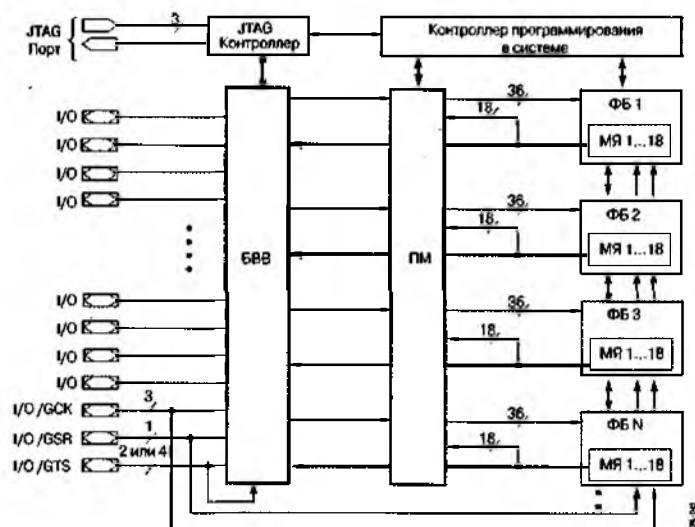


Рис. 1. Архитектура микросхем семейства XC9500

2. Логические выводы, которые могут выполнять функцию входа, выхода или совмещенного входа-выхода (I/O).



3. Управляющие выводы, на которые подаются глобальные управляющие сигналы тактирования (GCK), установки/сброса (GSR) и управления третьим состоянием (GTS). Управляющие выводы могут также выполнять функции логических выводов.

Также имеются выводы «земли» и питания, причем отдельно питаются блоки ввода/вывода (от напряжения питания  $V_{CCIO}$ ) и все остальные (от напряжения питания  $V_{CCMI}$ ).

### 3.1. Функциональный блок

Функциональный блок (ФБ) (Рис. 2) состоит из 18 независимых макроячеек (МЯ), каждая из которых обеспечивает выполнение комбинаторной и/или регистровой функции. Кроме этого, на ФБ приходят сигналы разрешения выхода, установки/сброса и глобальной синхронизации. Каждый ФБ формирует 18 выходных сигналов, которые поступают на ПМ, а также передаются в БВВ.

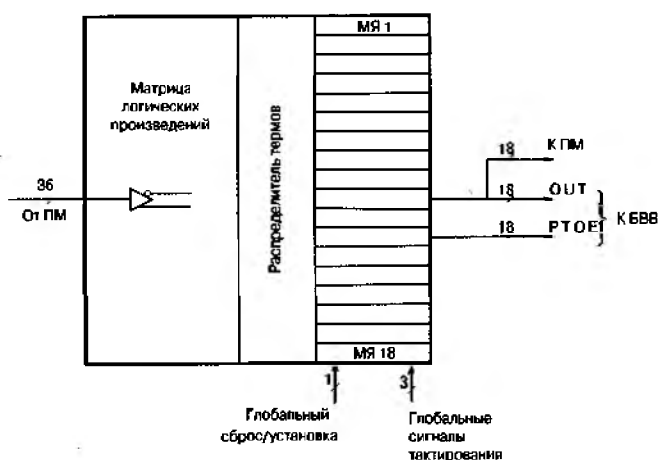


Рис. 2. Схема функционального блока микросхем семейства XC9500

Логика внутри ФБ представляет собой матрицу логических произведений (термов). Тридцать шесть входов обеспечивают использование 72 прямых и инверсных сигналов в матрице логических произведений для формирования до 90 термов. Любое подмножество этих термов может быть доступно каждой МЯ через схему распределения термов.

Каждый ФБ имеет внутренние цепи обратной связи, что позволяет любому количеству выходных сигналов ФБ поступать в свою собственную программируемую матрицу элементов И не выходя за пределы ФБ.

### 3.2. Макроячейка

Любая макроячейка в микросхемах семейства XC9500 может выполнять как логическую комбинаторную, так и регистровую функции. Структура макроячейки совместно с программируемой матрицей логических произведений (элементов И, или «термов»), принадлежащим всему ФБ, представлена на Рис. 3.

Каждая макроячейка имеет пять основных и четыре дополнительных входа, поступающих на распределитель термов.

Из матрицы логических произведений пять термов поступают на основные входы макроячейки и могут использоваться либо для выполнения комбинаторных функций (ИЛИ и «Исключающее ИЛИ»), либо как

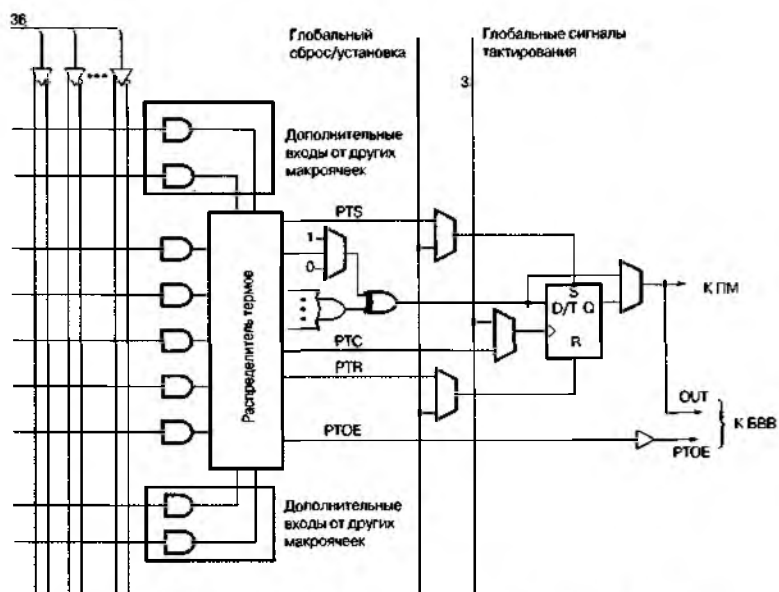


Рис. 3. Макроячейка микросхем семейства XC9500

управляющие сигналы, включая сигналы тактирования запоминающего элемента PTC (Product Term Clock), его установки и сброса — PTS (Product Term Set) и PTR (Product Term Reset), и разрешения выхода PTOE (Product Term Output Enable). На четыре дополнительных входа поступают сигналы из других макроячеек. Назначение входных термов для выполнения той или иной функции производит имеющийся в каждой макроячейке распределитель термов.

Запоминающий элемент в макроячейке может быть сконфигурирован или как D-триггер, или как тактируемый триггер-защелка, или же он может не использоваться. В последнем случае сигнал логической функции пропускается напрямую для использования в других макроячейках. На каждый триггер могут быть поданы сигналы асинхронного сброса и установки с распределителя термов. Во время включения микросхемы все регистры переводятся в начальное состояние, заданное при программировании пользователем. Если начальное состояние не задано, то регистры устанавливаются в состояние логического нуля.

Кроме того, на каждую макроячейку приходят еще четыре глобальных управляющих сигнала (три тактовых — GCK1, GCK2, GCK3 — и один сигнал сброса/установки — GSR), которые могут быть использованы для управления работой триггера, как показано на Рис. 4. Глобальные управляющие сигналы снимаются непосредственно с управляющих выводов микросхем, которые, впрочем, могут быть использованы и в качестве логических входов/выходов (I/O), так как эти выводы соединены также с программируемыми БВВ.

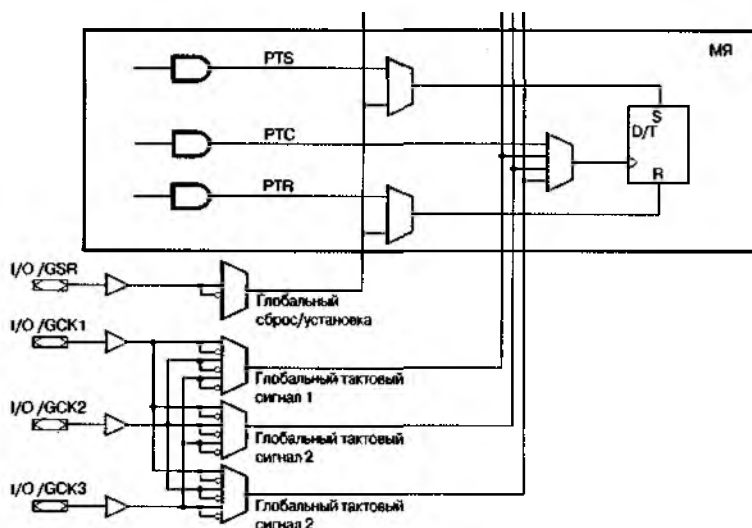


Рис. 4. Схема управления работой триггера в МЯ семейства XC9500

### 3.3. Распределитель термов

Распределитель термов управляет назначением пяти прямых термов к каждой макроячейке. К примеру, все пять прямых термов могут передаваться на элемент ИЛИ, как показано на Рис. 5.

Распределитель термов может переназначить любой терм внутри ФБ для расширения логической емкости макроячейки сверх пяти прямых термов. Каждой макроячейке, запрашивающей дополнительный терм, доступен любой незадействованный терм в другой макроячейке внутри данного ФБ. Одной макроячейке могут быть доступны до 15 термов, как показано на Рис. 6.

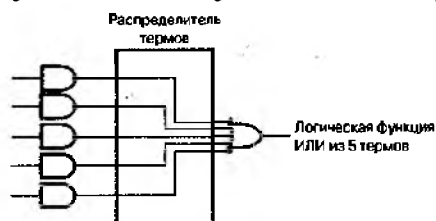


Рис. 5. Получение функции ИЛИ

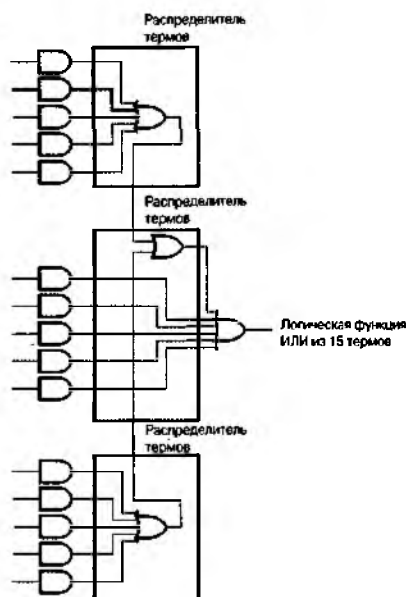


Рис. 6. Схема расширения логической емкости МЯ

Схема распределения термов может переназначить любой терм из любой макроячейки внутри ФБ путем объединения логических производных нескольких макроячеек, как показано на Рис. 7.

Логика работы схемы распределения термов проиллюстрирована на Рис. 8. Прямоугольниками с несколькими выходами на этом рисунке обозначены программируемые коммутаторы (селекторы) одного входного сигнала на любой из выходных.

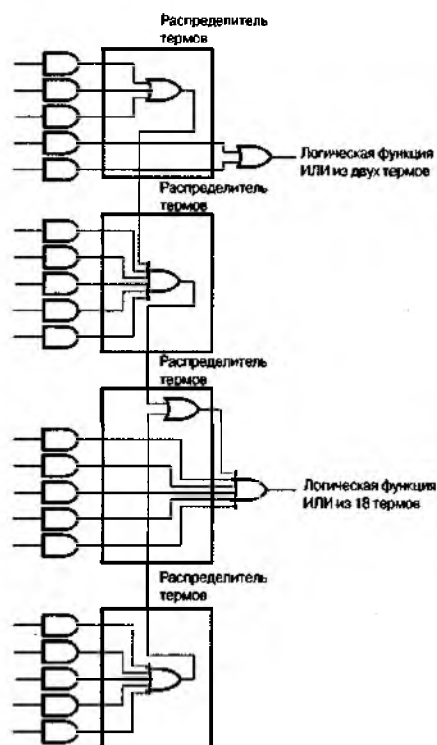


Рис. 7. Схема распределения термов путем объединения логических произведений МЯ

### 3.4. Быстродействующая переключающая матрица

Переключающая матрица осуществляет коммутацию сигналов, поступающих с выходов ФБ и из БВВ на входы ФБ внутри микросхемы, как показано на Рис. 9. При необходимости, выходные сигналы ФБ могут объединяться внутри ПМ по схеме «Монтажное И», что увеличивает логические возможности и позволяет увеличить нагрузочную способность для удаленных ФБ без внесения дополнительных задержек распространения сигнала. Это свойство доступно для внутренних соединений, берущих начало только от выходов ФБ, и автоматически применяется программным обеспечением проектирования, когда возможно.

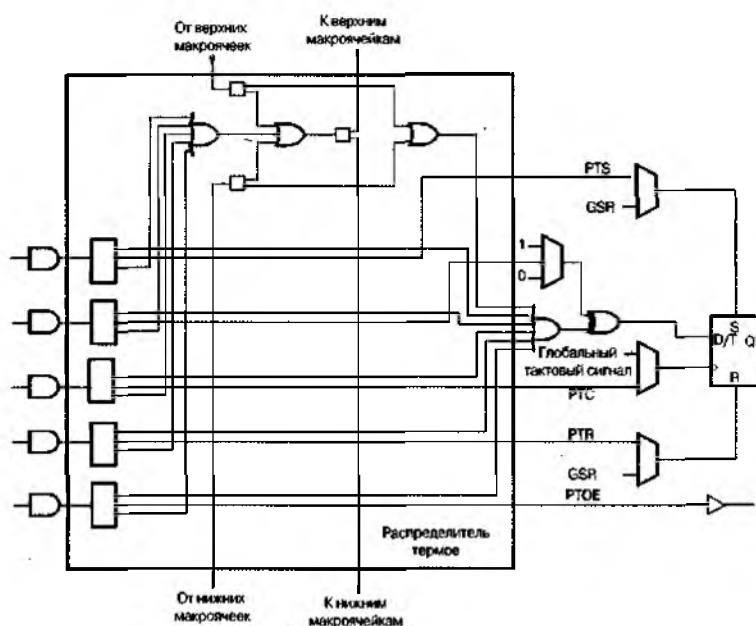


Рис. 8. К пояснению логики работы схемы распределения термов

### 3.5. Блок ввода-вывода

Блок ввода-вывода выполняет функцию интерфейса между внутренними логическими сигналами и контактами микросхемы (Рис. 10). Каждый БВВ содержит буферы ввода и вывода, а также мультиплексор сигналов разрешения выхода и схему программирования пользовательского «общего» вывода.

Входной буфер может работать с сигналами, имеющими стандартные КМОП- или ТТЛ-уровни от элементов с напряжением питания 5 В, либо 3.3 В. Входные буферы используют отдельное внутреннее питание ( $I^{CCINJ} = 5 \text{ В}$ ) для обеспечения стабильности пороговых уровней входных сигналов вне зависимости от напряжения Кссю.

В качестве разрешающего выход сигнала OE может быть выбран либо один из термов PTOE с выхода макроячейки, либо один из глобальных сигналов разрешения выхода GOE (Global Output Enable) положительной или отрицательной полярности. В зависимости от количества макроячеек в

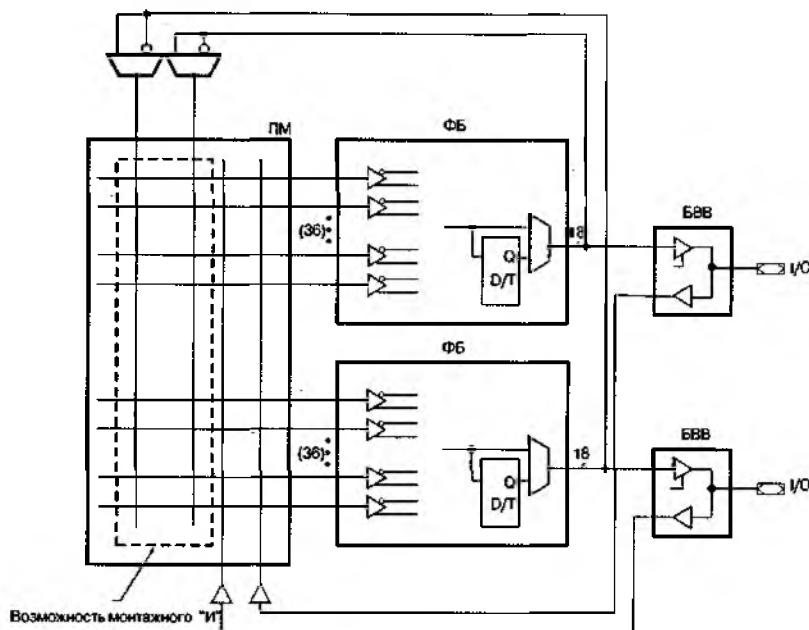


Рис. 9. Быстродействующая ПМ микросхем семейства XC9500

микросхеме (36...144 или 216...288), таких глобальных сигналов может быть два или четыре, соответственно.

К каждому входу/выходу микросхемы на время записи/стирания, а также при включении питания подключается внутренний «подтягивающий» к напряжению питания  $\bar{CCINT}$  (5 В, подаваемые на внутренние блоки ПЛИС) резистор (сопротивлением около 10 кОм) для исключения дрейфа потенциала входных/выходных сигналов на время переходного периода. При переходе микросхемы в рабочий режим внутренние резисторы отключаются.

В микросхемах семейства XC9500 имеется возможность отдельного управления длительностью фронта выходного сигнала для каждого выходного буфера (Slew Rate), что позволяет, при необходимости, уменьшить уровень помех на выходах микросхемы за счет незначительного снижения быстродействия на величину  $7 \cdot SLEW$ . Выходные характеристики БВВ в двух режимах приведены на Рис. 11.

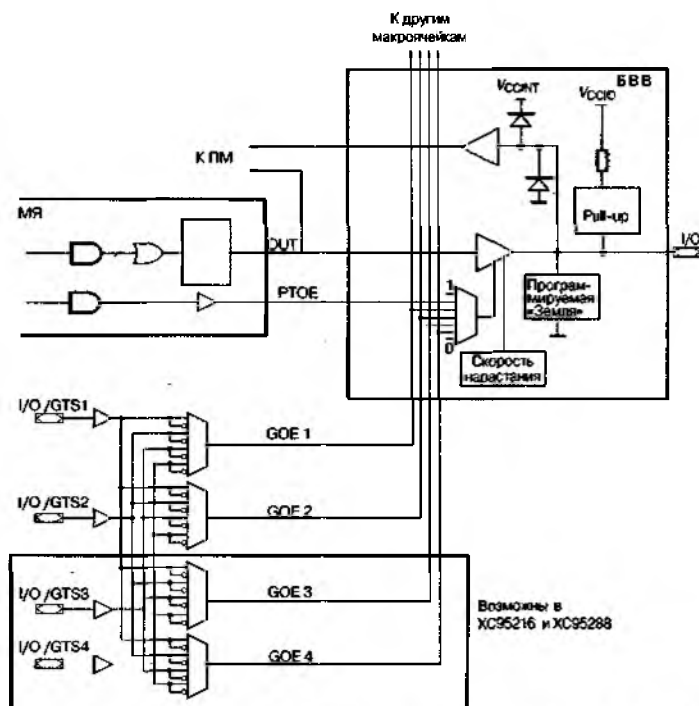


Рис. 10. Блок ввода-вывода микросхем семейства XC9500

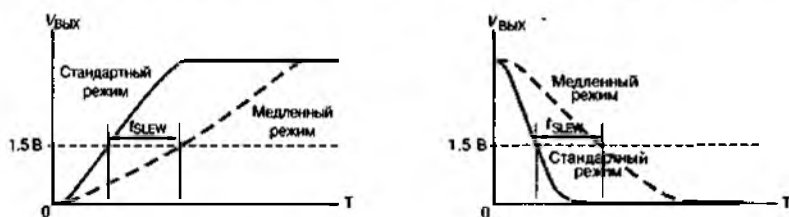


Рис. 11. Выходные характеристики БВВ

Для дальнейшего повышения помехоустойчивости имеется также возможность подсоединять внутри БВВ любой выходной контакт к общей шине (User-Programmable Ground).

Выходные буферы микросхем семейства XC9500 обеспечивают ток до 24 мА. Наличие отдельной шины питания выходных цепей ( $V_{CCIO}$ ) обеспечивает возможность работы с выходными уровнями сигналов 5.0 В или 3.3 В для всех выходов одновременно. На Рис. 12 проиллюстрирована возможность использования микросхем семейства XC9500 для работы в устройствах со смешанным (5 В/3.3 В) питанием и сопряжением с КМОП- и ТТЛ-схемами.

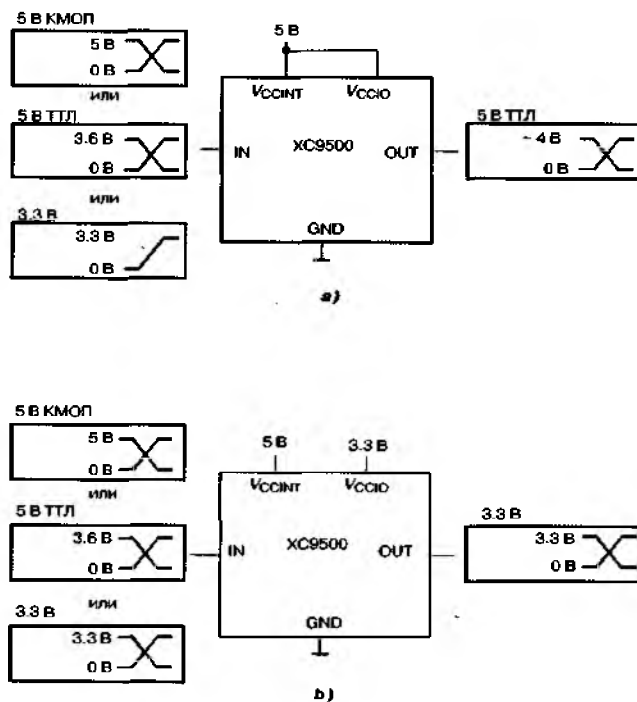


Рис. 12. Использование микросхем семейства XC9500 в системах со смешанным питанием

#### 4. Возможность закрепления контактов

Микросхемы семейства XC9500 обладают архитектурными особенностями, позволяющими вносить изменения в схему, сохраняя при этом назначение выводов. Это дает разработчику уверенность в том, что назначение как входных, так и выходных контактов останется неизменным при любых изменениях схемы и корректировка топологии печатной платы не потребуется. При необходимости внесения изменений в схему, требующих более высокой логической емкости по сравнению с имеющейся в первоначально выбранной микросхеме, есть возможность загрузки схемы в большую, совместимую по контактам микросхему, без изменения прежних назначений сигналов на выводы.

#### 5. Программирование в системе

Микросхемы семейства XC9500 программируются в системе через стандартный четырех-контактный JTAG-интерфейс, как показано на Рис. 13. Программирование в системе позволяет быстро и эффективно вносить изменения в проект, при этом исключается необходимость извлекать микросхему из разрабатываемого устройства. Программное обеспечение фирмы «Xilinx» создает конфигурационную последовательность, которая может быть загружена в микросхему либо с помощью загрузочного кабеля, либо из системы проектирования, поддерживающей JTAG-протокол, либо с помощью JTAG-совместимого тестера электронных устройств, либо через простой микропроцессорный интерфейс, эмулирующий последовательность команд JTAG.

Микросхемы семейства XC9500 также могут быть запрограммированы специализированным программатором фирмы «Xilinx» (HW130), либо универсальными программаторами других фирм.

Минимальное число циклов программирования — 10 тыс. Время хранения записанной конфигурации не менее 20 лет.



## 6. Протокол периферийного сканирования IEEE Std. 1149.1

Микросхемы семейства XC9500 полностью поддерживают протокол периферийного сканирования IEEE Std. 1149.1 (JTAG). При этом поддерживаются команды EXTEST, SAMPLE/PRELOAD, BYPASS, USERCODE, INTEST, IDCODE и HIGHZ. Для операций программирования в системе добавлены команды: ISPEN, FERASE, FPGM, FVFY и ISPEX, которые являются полностью совместимыми со стандартом 1149.1 расширениями набора команд.

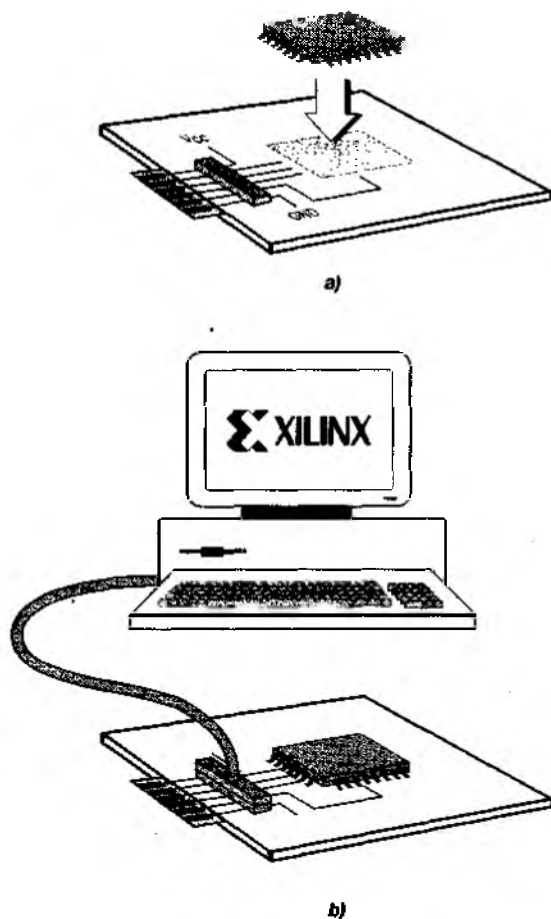


Рис. 13. Программирование в системе

Контакты TMS и TCK имеют «pull-up» резисторы в соответствии со стандартом IEEE Std. 1149.1.

Файлы BSDL (Boundary Scan Description Language) для микросхем семейства XC9500 включены в программное обеспечение проектирования и также доступны на FTP-сайте компании «Xilinx».

## 7. Защита проекта от копирования

В микросхемах семейства XC9500 используются передовые технологии, которые обеспечивают полную защиту схемы от несанкционированного чтения или случайного стирания (перепрограммирования). В Табл. 3 представлены четыре варианта установки кодов защиты.

Таблица 3. Варианты установки кодов защиты

Режим	Защита от чтения не установлена	Защита от чтения установлена
Защита от записи не установлена	Чтение разрешено Запись разрешена	Чтение запрещено Запись разрешена
Защита от записи установлена	Чтение запрещено Запись запрещена	Чтение запрещено Запись запрещена

Защита по чтению (код секретности) устанавливается пользователем для исключения возможности чтения или копирования схемы. Код секретности может быть отменен только в случае полного стирания микросхем. Код защиты по записи обеспечивает дополнительную защиту от случайного стирания микросхем или перепрограммирования пользователем. Установленная однажды, защита от записи может быть отменена при возникновении необходимости перепрограммирования микросхемы пользователем.

#### 8. Режим пониженного потребления энергии

Все микросхемы семейства XC9500 обеспечивают возможность установки режима пониженного потребления энергии не только для всей схемы, но и для выбранных пользователем отдельных макроячеек.

При проектировании устройства необходимо помнить, что режим пониженного потребления приводит к появлению дополнительных задержек в работе макроячеек (?Lp). Таким образом, можно установить режим пониженного потребления для частей схемы, не требующих повышенного быстродействия, а для критичных к задержкам макроячейкам оставить стандартный режим энергопотребления. Это позволит значительно снизить потребление энергии микросхем в целом.

#### 9. Модель задержек распространения сигналов (Временная модель)

Единообразие архитектуры микросхем семейства XC9500 позволяет принять простую модель задержек распространения сигналов для всего кристалла. Базовая модель, показанная на Рис. 14 применима для макроячейки, использующей только прямые термы, находящейся в стандартном режиме энергопотребления и со стандартными установками скорости нарастания фронтов. В Табл. 4 показано, как воздействует на временные параметры использование распределителя термов, режима пониженного энергопотребления, а также изменение скорости нарастания фронтов.

Таблица 4. Параметры временной модели

Параметр	Обозначение	Распределитель термов задействован	Макроячейка в режиме малого потребления	Задержка нарастания фронта
Задержка распространения	$t_{PD}$	$+t_{PTA}S$	$+t_{LP}$	$+t_{SLEW}$
Время установки глобального тактового сигнала	$t_{SU}$	$+t_{PTA}S$	$+t_{LP}$	—
Задержка тактового сигнала до выхода	$t_{CO}$	—	—	$+t_{SLEW}$
Время установки с использованием термов	$t_{PSU}$	$+t_{PTA}S$	$+t_{LP}$	—
Задержка тактового сигнала до выхода с использованием термов	$t_{PCO}$	—	—	$+t_{SLEW}$
Внутренний системный период	$t_{SYSTEM}$	$+t_{PTA}S$	$+t_{LP}$	—

Задержка на распределителе термов зависит от коэффициента охвата логики функцией макроячейки. Коэффициент охвата логики определяется как количество дополнительных распределителей термов минус один. Если используются только прямые термы, то коэффициент охвата логики — 0. На Рис. 6 коэффициент охвата логики — 1, а на Рис. 7 — 2.

Детальная модель может быть получена из полной модели, показанной на Рис. 15. Значения параметров и пояснения даны в описаниях конкретной микросхемы.



Таблица 5. Характеристики при включении питания

Цепи микросхемы	Состояние ожидания	Незапрограммированная микросхема	Рабочее состояние
Резисторы «pull-up»	Активно	Активно	Неактивно
Выходы	Неактивно	Неактивно	Как запрограммировано
Входы и тактовые цепи	Неактивно	Неактивно	Как запрограммировано
ФБ	Неактивно	Неактивно	Как запрограммировано
JTAG-контроллер	Неактивно	Активно	Активно

## 10. Характеристики при включении питания

Во время включения питания микросхемы семейства XC9500 используют внутреннюю схему, которая удерживает микросхему в состоянии ожидания до тех пор, пока напряжение питания  $V_{CCINT}$  не достигнет безопасного значения (приблизительно 3.8 В). В это время все контакты микросхемы, включая JTAG, недоступны для каких-либо действий, резисторы «pull-up» (~10 кОм) активированы (Табл. 5). По достижении безопасного значения напряжения, инициализируются пользовательские регистры и микросхема немедленно доступна для работы (Рис. 16). Время инициализации 100 мкс для XC9536-XC95144, 200 мкс для XC95216 и 300 мкс для XC95288.

Если микросхема не запрограммирована, то все контакты микросхемы, за исключением JTAG, недоступны для каких-либо действий, резисторы «pull-up» (~10 кОм) активированы.



Рис. 16. Поведение микросхемы во время включения питания

Если микросхема запрограммирована, то все выходы и входы находятся в состояниях, соответствующих конфигурации, а JTAG-контакты доступны для операций программирования в системе и периферийного сканирования.

## 11. Программное обеспечение проектирования

Разработка конфигурации МС семейства XC9500 и программирование осуществляется универсальным пакетом ПО Xilinx Foundation Series, поддерживающего все ПЛИС фирмы «Xilinx», а также специализированным бесплатным ПО WebPack, доступным через Интернет (<http://www.xilinx.com/sxpresso/webpack.htm>).

## 12. Технология производства

Для производства микросхем семейства CPLD используется усовершенствованная КМОП-технология — FastFlash. Технология FastFlash была специально разработана для производства ПЛИС с архитектурой CPLD. Технология обеспечивает высокое быстродействие, быстрое программирование и более 10 тыс. циклов запись/стирание.

## 13. Характеристики семейства XC9500 по постоянному току

В Табл. 6 приведены максимально допустимые значения основных параметров

микросхем семейства XC9500 по постоянному току.

Внимание! Превышение максимальных значений ведет к повреждению кристалла.

В Табл. 7 приведены рекомендуемые рабочие значения основных параметров микросхем семейства XC9500 по постоянному току. В скобках даны параметры для микросхем промышленного исполнения.

В Табл. 8 приведены характеристики микросхем семейства XC9500 по постоянному току при рекомендуемых значениях.

Таблица 6. Диапазон максимально допустимых значений

Обозначение	Параметр	Значение
$V_{CC}$	Напряжение питания относительно GND	-0.5...7.0 В
$V_{IN}$	Напряжение входного сигнала относительно GND	-0.5...7.5 В
$V_{TS}$	Напряжение, прикладываемое к 3-стабильному выходу	-0.5...7.5 В
$T_{STG}$	Температура хранения (окружающей среды)	-65...+150°C
$T_{SOL}$	Максимальная температура припоя	+260°C

Таблица 7. Рекомендуемые значения параметров микросхем семейства XC9500 по постоянному току

Обозначение	Параметр	Значение	
		min	max
$V_{CCINT}$	Напряжение питания ядра и входных буферов	4.75 В (4.5 В)	5.25 В (5.5 В)
$V_{CCIO}$	Напряжение питания выходных каскадов для 5-В операций	4.75 В (4.5 В)	5.25 В (5.5 В)
	Напряжение питания выходных каскадов для 3-В операций	3.0 В	3.6 В
$V_{IL}$	Напряжение входного логического нуля	0 В	0.8 В
$V_{IH}$	Напряжение входной логической единицы	2.0 В	$V_{CCINT} + 0.5 В$
$V_O$	Напряжение выхода	0 В	$V_{CCIO}$

Таблица 8. Характеристики по постоянному току при рекомендуемых значениях

Обозначение	Параметр	Значение	
		min	max
$V_{OH}$	Выходное напряжение логической единицы при 5-В операциях ( $V_{CC} = \min$ ; $I_{OH} = -4.0 \text{ мА}$ )	2.4 В	
	Выходное напряжение логической единицы при 3.3-В операциях ( $V_{CC} = \min$ ; $I_{OH} = -3.2 \text{ мА}$ )	2.4 В	
$V_{OL}$	Выходное напряжение логического нуля при 5-В операциях ( $V_{CC} = \min$ ; $I_{OH} = 24 \text{ мА}$ )		0.5 В
	Выходное напряжение логического нуля при 3.3-В операциях ( $V_{CC} = \min$ ; $I_{OH} = 10 \text{ мА}$ )		0.4 В
$I_{IL}$	Входной ток утечки		$\pm 10.0 \text{ мкА}$
$I_{IH}$	Ток утечки БВВ в третьем состоянии		$\pm 10.0 \text{ мкА}$
$C_{IN}$	Емкость входа/выхода		10.0 пФ

#### 14. Сопряжение с аналоговыми элементами

Сопряжение микросхем семейства XC9500 с аналоговыми элементами на плате осуществляется в соответствии со схемой, представленной на Рис. 17.

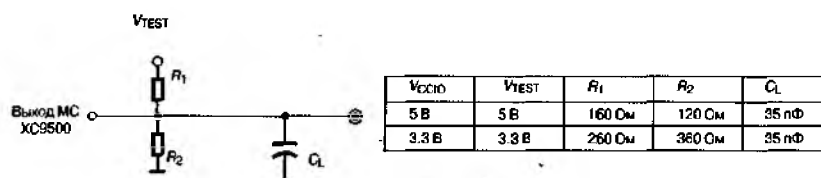


Рис. 17. Сопряжение микросхем семейства XC9500 с аналоговыми элементами

## 15. Микросхема XC9536

### 15.1. Описание

Микросхема XC9536 — высокопроизводительная ПЛИС семейства XC9500, емкостью 800 логических вентилях и минимальной задержкой распространения сигнала контакт-контакт 5 нс. Микросхема XC9536 состоит из двух 36V18 функциональных блоков (36 МЯ).

### 15.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех микроячеек из высокоскоростного режима в режим низкого потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$$I_{CC} [\text{мА}] = 1.7 \text{МС}_{\text{нр}} + 0.9 \text{МС}_{\text{LP}} + 0.006 \text{МС} / f$$

где  $\text{МС}_{\text{нр}}$  — количество макроячеек в высокоскоростном режиме,  $\text{МС}_{\text{LP}}$  — количество макроячеек в режиме малого потребления,  $\text{МС}$  — общее количество задействованных макроячеек,

$f$  — частота [МГц].

На Рис. 18 показано типичное потребление для XC9536 в обоих режимах.

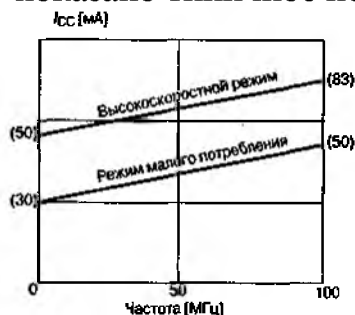


Рис. 18. Типичное потребление тока микросхемой XC9536

### 15.3. Динамические параметры микросхем XC9536

В Табл. 9 приведены динамические параметры микросхем XC9536 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, а частоты в МГц.

### 15.4. Параметры временной модели

В Табл. 10 приведены параметры временной модели микросхем XC9536 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

Таблица 9. Динамические параметры микросхем XC9536

Обозначение	Параметр	XC9536-5		XC9536-6		XC9536-7		XC9536-10		XC9536-15	
		min	max	min	max	min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинаторная логика — выход микросхемы		5.0		6.0		7.0		10.0		15.0
$t_{SU}$	Время установки глобального тактового сигнала	3.5		3.5		4.5		6.0		8.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		4.0		4.0		4.5		6.0		8.0
$t_{CNT}$	Частота работы 16-разрядного счетчика	100.0		100.0		83.3		66.7		55.6	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	100.0		100.0		83.3		66.7		55.6	
$t_{PSU}$	Время установки тактового сигнала PTC	0.5		0.5		0.5		2.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала PTC	3.0		3.0		4.0		4.0		4.0	
$t_{PCO}$	Задержка тактового сигнала PTC до выхода		7.0		7.0		8.5		10.0		12.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		5.0		5.0		5.5		6.0		11.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		5.0		5.0		5.5		6.0		11.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		9.0		9.0		9.5		10.0		14.0
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		9.0		9.0		9.5		10.0		14.0
$t_{WLH}$	Длительность лог. единицы или лог. нуля тактового сигнала	4.0		4.0		4.0		4.5		5.5	



Таблица 10. Параметры временной модели микросхем XC9536

Обозн.	Параметр	XC9536-5		XC9536-6		XC9536-7		XC9536-10		XC9536-15	
		min	max	min	max	min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		1.5		1.5		2.5		3.5		4.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.5		1.5		1.5		2.5		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		4.0		4.0		4.5		6.0		7.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		5.0		5.0		5.5		6.0		11.0
$t_{OUT}$	Задержка на выходном буфере		2.0		2.0		2.5		3.0		4.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		3.0		3.0		3.0		3.0		3.0
$t_{PTSR}$	Задержка PTS		1.0		1.0		2.0		2.5		3.0
$t_{PTTS}$	Задержка PTOE		5.5		5.5		4.5		3.5		5.0
$t_{PDI}$	Задержка на комбинаторной логике		0.5		0.5		0.5		1.0		3.0
$t_{SUI}$	Предустановка данных на входе регистра	2.5		2.5		2.5		2.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	1.0		1.0		3.0		3.5		4.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.0		6.0		6.5		7.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	5.0		5.0		7.5		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		1.0		1.0		2.0		2.5		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		9.0		9.0		10.0		11.0		11.5

Таблица 10 (окончание)

Обозн.	Параметр	XC9536-5		XC9536-6		XC9536-7		XC9536-10		XC9536-15	
		min	max	min	max	min	max	min	max	min	max
$t_F$	Задержка по обратной связи от ПМ		6.0		6.0		8.0		9.5		11.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		0.8		0.8		1.0		1.0		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		3.5		3.5		4.0		4.5		5.0

### 15.5. Корпуса

Микросхема XC9536 может поставляться в трех корпусах: PLCC-44, VQFP-44 и CSP-48. В Табл. 11 представлены контакты специального назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, неглобальные.

Таблица 11. Контакты специального назначения

Назначение контакта	PLCC-44	VQFP-44	CSP-48
GCK1	5	43	B7
GCK2	6	44	B6
GCK3	7	1	A7
GTS1	42	36	E6
GTS2	40	34	F6
GSR	39	33	G7
TCK	17	11	A1
TDI	15	9	B3
TDO	30	24	G2
TMS	16	10	A2
$V_{CCINT} 5 В$	21, 41	15, 35	C1, F7
$V_{CCIO} 3.3 В/5 В$	32	26	G3
GND	23, 10, 31	17, 4, 25	A5, D1, F3
Не используются	—	—	C4, D3, D4, E4

## 15.6. Обозначение микросхем XC9536

На Рис. 19 представлен способ обозначения микросхем XC9536 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.

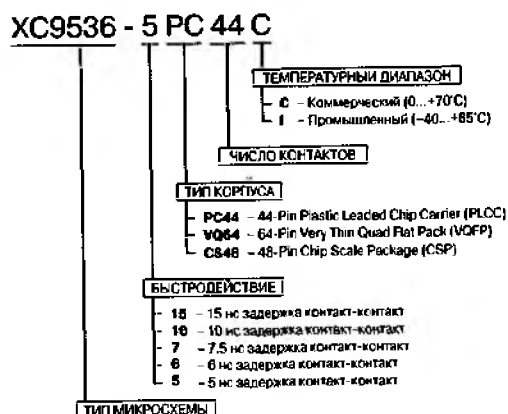


Рис. 19. Обозначение микросхем XC9536

В Табл. 12 представлены все варианты выпускаемых в настоящее время микросхем XC9536.

Таблица 12. Варианты выпускаемых в настоящее время микросхем XC9536

Прибор		PC-44	VQ-44	CS-48
XC9536	-15	C, I	C, I	—
	-10	C, I	C, I	C
	-7	C, I	C, I	C
	-6	C	C	—
	-5	C	C	C

## 16. Микросхема XC9572

### 16.1. Описание

Микросхема XC9572 — высокопроизводительная ПЛИС семейства XC9500, емкостью 1600 логических вентилях и минимальной задержкой распространения сигнала контакт-контакт 7.5 нс. Микросхема XC9572 состоит из четырех 36V18 функциональных блоков (72 МЯ).

### 16.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом

некоторых или всех макроячеек из высокоскоростного режима в режим низкого потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$I_{cc} [mA] = 1.7MCHP + 0.9MCLP + 0.006MC / f$  где  $MCHP$  — количество макроячеек в высокопроизводительном режиме,  
 $MCLP$  — количество макроячеек в режиме малого потребления,  
 $MC$  — общее количество задействованных макроячеек,  
 $f$  — частота [МГц].

На Рис. 20 показано типичное потребление для XC9572 в обоих режимах.

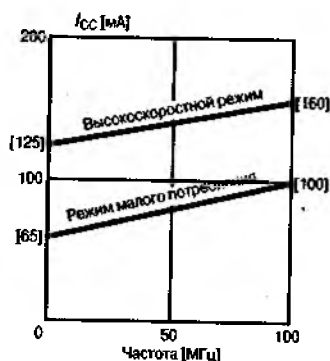


Рис. 20. Типичное потребление тока микросхемой XC9572

### 16.3. Динамические параметры микросхем XC9572

В Табл. 13 приведены динамические параметры микросхем XC9572 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, а частоты в МГц.

Таблица 13. Параметры временной модели микросхем XC9572

Обозначение	Параметр	XC9572-7		XC9572-10		XC9572-15	
		min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинаторная логика — выход микросхемы		7.5		10.0		15.0
$t_{SU}$	Время установки глобального тактового сигнала	4.5		6.0		8.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		4.5		6.0		8.0
$t_{CNT}$	Частота работы 16-разрядного счетчика	125.0		111.1		95.2	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	83.3		66.7		55.6	
$t_{PSU}$	Время установки тактового сигнала РТС	0.5		2.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала РТС	4.0		4.0		4.0	
$t_{PCO}$	Задержка тактового сигнала РТС до выхода		8.5		10.0		12.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		5.5		6.0		11.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		5.5		6.0		11.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		9.5		10.0		14.0
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		9.5		10.0		14.0
$t_{WLH}$	Длительность лог. единицы или лог. нуля тактового сигнала	4.0		4.5		5.5	

### 16.4. Параметры временной модели

В Табл. 14 приведены параметры временной модели микросхем XC9572 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

### 16.5. Корпуса

Микросхема XC9572 может поставляться в четырех корпусах: PLCC-44, PLCC-84, PQFP-100 и TQFP-100. В Табл. 15 представлены контакты специального назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, неглобальные.

Таблица 14. Параметры временной модели микросхем XC9572

Обозначение	Параметр	XC9572-7		XC9572-10		XC9572-15	
		min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		2.5		3.5		4.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.5		2.5		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		4.5		6.0		7.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		5.5		6.0		11.0
$t_{OUT}$	Задержка на выходном буфере		2.5		3.0		4.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		3.0		3.0		3.0
$t_{PTSR}$	Задержка PTS		2.0		2.5		3.0
$t_{PTTS}$	Задержка PTOE		4.5		3.5		5.0
$t_{PDJ}$	Задержка на комбинаторной логике		0.5		1.0		3.0
$t_{SUI}$	Предустановка данных на входе регистра	1.5		2.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.0		3.5		4.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.5		7.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	7.5		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.0		2.5		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		10.0		11.0		11.5
$t_F$	Задержка по обратной связи от ПИМ		8.0		9.5		11.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.0		4.5		5.0

### 16.6. Обозначение микросхем XC9572

На Рис. 21 представлен способ обозначения микросхем XC9572 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.

Таблица 15. Контакты специального назначения

Назначение контакта	PLCC-44	PLCC-84	PQFP-100	TQFP-100
GCK1	5	9	24	22
GCK2	6	10	25	23
GCK3	7	12	29	27
GTS1	42	76	5	3
GTS2	40	77	6	4
GSR	39	74	1	99
TCK	17	30	50	48
TDI	15	28	47	45
TDO	30	59	85	83
TMS	16	29	49	47
$V_{CCINT} 5 В$	21, 41	38, 73, 78	7, 59, 100	5, 57, 98
$V_{CCIO} 3.3 В/5 В$	32	22, 64	28, 40, 53, 90	26, 38, 51, 88
GND	10, 23, 31	8, 16, 27, 42, 49, 60	2, 23, 33, 46, 64, 71, 77, 86	100, 21, 31, 44, 62, 69, 75, 84
Не используются	—	—	4, 9, 21, 26, 36, 45, 48, 75, 82	2, 7, 19, 24, 34, 43, 46, 73, 80

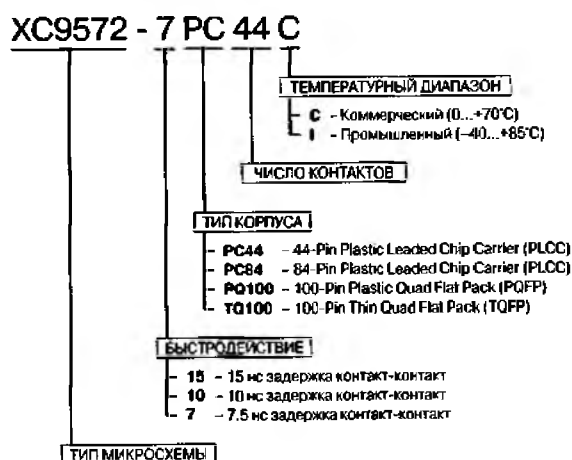


Рис. 21. Обозначение микросхем XC9572

В Табл. 16 представлены все варианты выпускаемых в настоящее время микросхем XC9572

Таблица 16. Варианты выпускаемых в настоящее время микросхем XC9572

Прибор	PC-44	PC-84	PQ-100	TQ-100
XC9572	-7	C	C	C
	-10	C, I	C, I	C, I
	-15	C, I	C, I	C, I

## 17. Микросхема XC95108

### 17.1. Описание

Микросхема XC95108 — высокопроизводительная CPLD семейства XC9500. Состоит из 6 36V18 функциональных блоков (108 МЯ), емкостью 2400 логических вентилях. Минимальная задержка распространения сигнала контакт-контакт 7.5 нс.

### 17.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех макроячеек из высокоскоростного режима в режим низкого

потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$I_{cc} [mA] = 1.7MCHP + 0.9MCLP + 0.006MC / f$  где  $MCHP$  — количество макроячеек в высокопроизводительном режиме,

$MCLP$  — количество макроячеек в режиме малого потребления,

$MC$  — общее количество задействованных макроячеек,

$f$  — частота [МГц].

На Рис. 22 показано типичное потребление для XC95108 в обоих режимах.

### 17.3. Динамические параметры микросхем XC95108

В Табл. 17 приведены динамические параметры микросхем XC95108 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, а частоты в МГц.

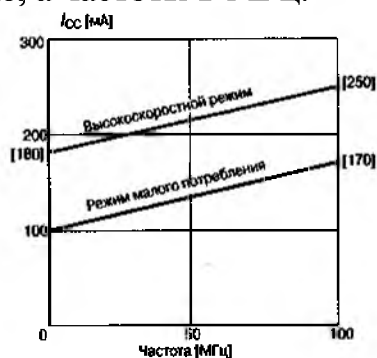


Рис. 22. Типичное потребление тока микросхемой XC95108

Таблица 17. Динамические параметры микросхем XC95108

Обозначение	Параметр	XC95108-7		XC95108-10		XC95108-15		XC95108-20	
		min	max	min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинаторная логика — выход микросхемы		7.5		10.0		15.0		20.0
$t_{SU}$	Время установки глобального тактового сигнала	4.5		6.0		8.0		10.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		4.5		6.0		8.0		10.0
$t_{CNT}$	Частота работы 16-разрядного счетчика	125.0		111.1		95.2		83.3	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	83.3		66.7		55.6		50.0	
$t_{PSU}$	Время установки тактового сигнала PTC	0.5		2.0		4.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала PTC	4.0		4.0		4.0		6.0	
$t_{PCO}$	Задержка тактового сигнала PTC до выхода		8.5		10.0		12.0		16.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		5.5		6.0		11.0		16.0

Таблица 17 (окончание)

Обозн.	Параметр	XC95108-7		XC95108-10		XC95108-15		XC95108-20	
		min	max	min	max	min	max	min	max
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		5.5		6.0		11.0		16.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		9.5		10.0		14.0		18.0
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		9.5		10.0		14.0		18.0
$t_{WLH}$	Длительность лог. единицы или лог. нуля тактового сигнала	4.0		4.5		5.5		5.5	

#### 17.4. Параметры временной модели

В Табл. 18 приведены параметры временной модели микросхем XC95108 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

#### 17.5. Корпуса

Микросхема XC95108 может поставляться в четырех корпусах: PLCC-84, PQFP-100, TQFP-100 и PQFP-160. В Табл. 19 представлены контакты специального назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GSK, GTS и GSR могут быть запрограммированы и как обычные, неглобальные.

#### 17.6. Обозначение микросхем XC95108

На Рис. 23 представлен способ обозначения микросхем XC95108 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона. В Табл. 20 представлены все варианты выпускаемых в настоящее время микросхем XC95108.

Таблица 18. Параметры временной модели микросхем XC95108

Обозн.	Параметр	XC95108-7		XC95108-10		XC95108-15		XC95108-20	
		min	max	min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		2.5		3.5		4.5		6.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.5		2.5		3.0		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		4.5		6.0		7.5		9.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		5.5		6.0		11.0		16.0
$t_{OUT}$	Задержка на выходном буфере		2.5		3.0		4.5		6.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		3.0		3.0		2.5		2.5
$t_{PTSR}$	Задержка PTS		2.0		2.5		3.0		3.0
$t_{PTTS}$	Задержка PTOE		4.5		3.5		5.0		5.0
$t_{PDI}$	Задержка на комбинаторной логике		0.5		1.0		3.0		4.0
$t_{SUI}$	Предустановка данных на входе регистра	1.5		2.5		3.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.0		3.5		4.5		6.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.5		7.0		8.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	7.5		10.0		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.0		2.5		3.0		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		10.0		11.0		11.5		11.5
$t_F$	Задержка по обратной связи от ПМ		8.0		9.5		11.0		13.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.0		1.5
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.0		4.5		5.0		5.5



Таблица 19. Контакты специального назначения

Назначение контакта	PLCC-84	PQFP-100	TQFP-100	PQFP-160
GCK1	9	24	22	33
GCK2	10	25	23	35
GCK3	12	29	27	42
GTS1	76	5	3	6
GTS2	77	6	4	8
GSR	74	1	99	159
TCK	30	50	48	75
TDI	28	47	45	71
TDO	59	85	83	136
TMS	29	49	47	73
$V_{CCINT} 5 В$	38, 73, 78	7, 59, 100	5, 57, 98	10, 46, 94, 157
$V_{CCIO} 3.3 В/5 В$	22, 64	28, 40, 53, 90	26, 38, 51, 88	1, 41, 61, 81, 121, 141
GND	8, 16, 27, 42, 49, 60	2, 23, 33, 46, 64, 71, 77, 86	100, 21, 31, 44, 62, 69, 75, 84	20, 31, 40, 51, 70, 80, 99, 100, 110, 120, 127, 137, 160
Не используются	—	—	—	3, 5, 7, 32, 38, 39, 48, 53, 55, 65, 66, 67, 83, 85, 93, 109, 118, 119, 125, 130, 131, 132, 149, 150, 151

## 18. Микросхема XC95144

### 18.1. Описание

Микросхема XC95144 — высокопроизводительная CPLD семейства XC9500. Состоит из 8 36V18 функциональных блоков (144 МЯ), емкостью 3200 логических вентилей и минимальной задержкой распространения сигнала контакт-контакт 7.5 нс.

### 18.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех макроячеек из высокоскоростного режима в

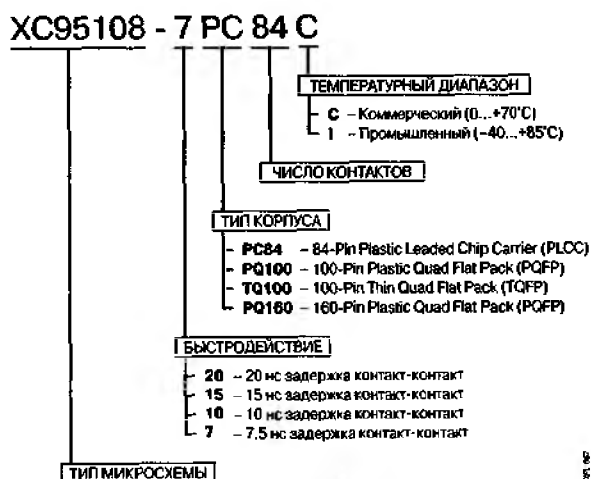


Рис. 23. Обозначение микросхем XC95108

Таблица 20. Варианты выпускаемых в настоящее время микросхем XC95108

Прибор		PC-84	PQ-100	PQ-160	TQ-100
XC95108	-7	C, I	C, I	C, I	C, I
	-10	C, I	C, I	C, I	C, I
	-15	C, I	C, I	C, I	C, I
	-20	C, I	C, I	C, I	C, I

режим низкого потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$I_{cc} [mA] = 1.7MC_{Hr} + 0.9MC_{LP} + 0.006MCf$ , где  $MC_{Hr}$  — количество макроячеек в высокопроизводительном режиме,

$MC_{LP}$  — количество макроячеек в режиме малого потребления,

$MC$  — общее количество задействованных макроячеек,

$f$  — частота [МГц].

На Рис. 24 показано типичное потребление для XC95144 в обоих режимах.

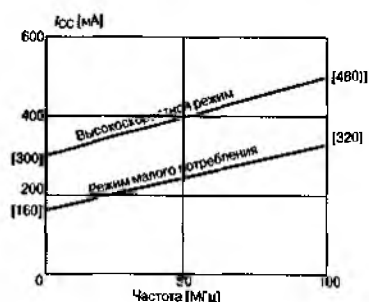


Рис. 24. Типичное потребление тока микросхемой XC95144

### 18.3. Динамические параметры микросхем XC95144

В Табл. 21 приведены динамические параметры микросхем XC95144 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, а частоты в МГц.

### 18.4. Параметры временной модели

В Табл. 22 приведены параметры временной модели микросхем XC95144 в за-

висимости от дифференциации кристаллов по быстродействию. Параметры даны в не.

### 18.5. Корпуса

Микросхема XC95144 может поставляться в трех корпусах: PQFP-100, TQFP-100 и PQFP-160. В Табл. 23 представлены контакты специального назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, неглобальные.

### 18.6. Обозначение микросхем XC95144

На Рис. 25 представлен способ обозначения микросхем XC95144 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона. В Табл. 24 представлены все варианты выпускаемых в настоящее время микросхем XC95144.

Таблица 21. Динамические параметры микросхем XC95144

Обозн.	Параметр	XC95144-7		XC95144-10		XC95144-15	
		min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинаторная логика — выход микросхемы		7.5		10.0		15.0
$t_{SU}$	Время установки глобального тактового сигнала	4.5		6.0		8.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		4.5		6.0		8.0
$t_{CNT}$	Частота работы 16-разрядного счетчика	125.0		111.1		95.2	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	83.3		66.7		55.6	
$t_{PSU}$	Время установки тактового сигнала PTC	0.5		2.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала PTC	4.0		4.0		4.0	
$t_{PCO}$	Задержка тактового сигнала PTC до выхода		8.5		10.0		12.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		5.5		6.0		11.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		5.5		6.0		11.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		9.5		10.0		14.0
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		9.5		10.0		14.0
$t_{WLH}$	Длительность лог. единицы или лог. нуля тактового сигнала	4.0		4.5		5.5	

Таблица 22. Параметры временной модели микросхем XC95144

Обозн.	Параметр	XC95144-7		XC95144-15		XC95144-15	
		min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		2.5		3.5		4.5
$t_{OCK}$	Задержка на глобальном тактовом буфере		1.5		2.5		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		4.5		6.0		7.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		5.5		6.0		11.0
$t_{OUT}$	Задержка на выходном буфере		2.5		3.0		4.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		3.0		3.0		3.0

Таблица 22 (окончание)

Обозн.	Параметр	XC95144-7		XC95144-15		XC95144-15	
		min	max	min	max	min	max
$t_{PTSR}$	Задержка PTS		2.0		2.5		3.0
$t_{PTTS}$	Задержка PTOE		4.5		3.5		5.0
$t_{PDI}$	Задержка на комбинаторной логике		0.5		1.0		3.0
$t_{SUI}$	Предустановка данных на входе регистра	1.5		2.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.0		3.5		4.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.5		7.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	7.5		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.0		2.5		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		10.0		11.0		11.5
$t_F$	Задержка по обратной связи от ПМ		8.0		9.5		11.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.0		4.5		5.0

Таблица 23. Контакты специального назначения

Назначение контакта	PQFP-100	TQFP-100	PQFP-160
GCK1	24	22	33
GCK2	25	23	35
GCK3	29	27	42
GTS1	5	3	6
GTS2	6	4	8
GSR	1	99	159
TCK	50	48	75
TDI	47	45	71
TDO	85	83	136
TMS	49	47	73
$V_{CCINT}$ 5 В	7, 59, 100	5, 57, 98	10, 46, 94, 157
$V_{CCIO}$ 3.3 В/5 В	28, 40, 53, 90	26, 38, 51, 88	1, 41, 61, 81, 121, 141
GND	2, 23, 33, 46, 64, 71, 77, 86	100, 21, 31, 44, 62, 69, 75, 84	20, 31, 40, 51, 70, 80, 99, 100, 110, 120, 127, 137, 160

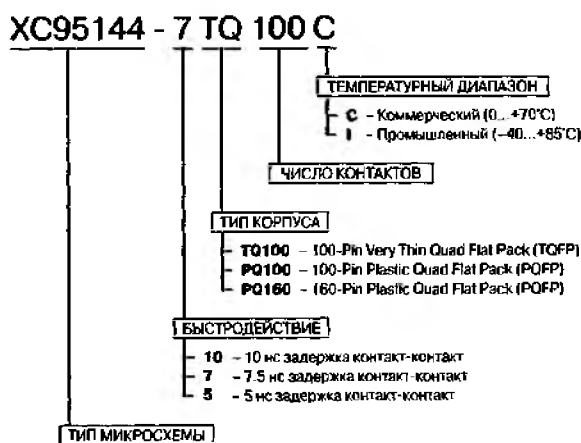


Рис. 25. Обозначение микросхем XC95144

Таблица 24. Варианты выпускаемых в настоящее время микросхем XC95144

Прибор		PQ-100	PQ-160	TQ-100
XC95144	-7	C	C	C
	-10	C, I	C, I	C, I
	-15	C, I	C, I	C, I

## 19. Микросхема XC95216

### 19.1. Описание

Микросхема XC95216 — высокопроизводительная CPLD семейства XC9500. Состоит из 12 36V18 функциональных блоков (216 МЯ), емкостью 4800 логических вентилях и минимальной задержкой распространения сигнала контакт-контакт 10 нс.

### 19.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех макроячеек из высокоскоростного режима в режим низкого потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$I_{cc} [mA] = 1.7M_{Cnr} + 0.9M_{CLr} + 0.006MC / f$ , где  $M_{Cnr}$  — количество макроячеек в высокопроизводительном режиме,

$M_{CLr}$  — количество макроячеек в режиме малого потребления,

$MC$  — общее количество задействованных макроячеек,

$f$  — частота [МГц].

На Рис. 26 показано типичное потребление для XC95216 в обоих режимах.

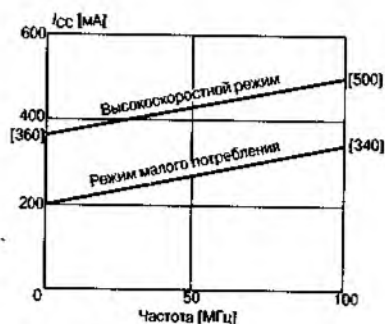


Рис. 26. Типичное потребление тока микросхемой XC95216

### 19.3. Динамические параметры микросхем XC95216

В Табл. 25 приведены динамические параметры микросхем XC95216 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, а частоты в МГц.

### 19.4. Параметры временной модели

В Табл. 26 приведены параметры временной модели микросхем XC95216 в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

### 19.5. Корпуса

Микросхема XC95216 может поставляться в трех корпусах: PQFP-160, HQFP-208 и BGA-352. В Табл. 27 представлены контакты специального

Таблица 25. Динамические параметры микросхем XC95216

Обозн.	Параметр	XC95216-10		XC95216-15		XC95216-20	
		min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинаторная логика — выход микросхемы		10.0		15.0		20.0
$t_{SU}$	Время установки глобального тактового сигнала	6.0		8.0		10.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0			0.0
$t_{CO}$	Задержка глобального тактового сигнала до выхода		6.0		8.0		10.0
$t_{CNT}$	Частота работы 16-разрядного счетчика	111.1		95.2		83.3	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	66.7		55.6		50.0	
$t_{PSU}$	Время установки тактового сигнала PTC	2.0		4.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала PTC	4.0		4.0		6.0	
$t_{PCO}$	Задержка тактового сигнала PTC до выхода		10.0		12.0		16.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		6.0		11.0		16.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		6.0		11.0		16.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		10.0		14.0		18.0
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		10.0		14.0		18.0
$t_{WLH}$	Длительность лог. единицы или лог. нуля тактового сигнала	4.5		5.5		5.5	

Таблица 26. Параметры временной модели микросхем XC95216

Обозн.	Параметр	XC95216-10		XC95216-15		XC95216-20	
		min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		3.5		4.5		6.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		2.5		3.0		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		6.0		7.5		9.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		6.0		11.0		16.0
$t_{OUT}$	Задержка на выходном буфере		3.0		4.5		6.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		3.0		3.0		3.0
$t_{PTSR}$	Задержка PTS		2.5		3.0		3.0
$t_{PTTS}$	Задержка PTOE		3.5		5.0		5.0
$t_{PDI}$	Задержка на комбинаторной логике		1.0		3.0		4.0
$t_{SUI}$	Предустановка данных на входе регистра	2.5		3.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.5		4.5		6.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		7.0		8.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	10.0		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.5		3.0		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		11.0		11.5		11.5
$t_F$	Задержка по обратной связи от ПМ		9.5		11.0		13.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.5
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.5		5.0		5.5



Таблица 27. Контакты специального назначения

Назначение контакта	PQFP-160	HQFP-208	BGA-352
GCK1	33	44	Y24
GCK2	35	46	AA24
GCK3	42	55	AD23
GTS1	6	7	E25
GTS2	8	9	F26
GTS3	2	3	E23
GTS4	4	5	E24
GSR	159	206	C23
TCK	75	98	AD6
TDI	71	94	AF6
TDO	136	176	D12
TMS	73	96	AE6
$V_{CCINT} 5 В$	10, 46, 94, 157	11, 59, 124, 153, 204	H24, AF23, T1, G4, C22
$V_{CCIO} 3.3 В/5 В$	1, 41, 61, 81, 121, 141	1, 26, 53, 65, 79, 92, 105, 132, 157, 172, 181, 184	A10, A17, B2, B25, D7, D13, D19, G23, H4, K1, K26, N23, P4, U1, U26, W23, Y4, AC8, AC14, AC20, AE25, AF10, AF17
GND	20, 31, 40, 51, 70, 80, 99, 100, 110, 120, 127, 137, 160	2, 13, 24, 27, 42, 52, 66, 68, 69, 81, 93, 104, 108, 129, 130, 141, 156, 163, 177, 190, 207	A1, A2, A5, A8, A14, A19, A22, A25, A26, B1, B26, C7, E1, E26, H1, H26, N1, P3, P26, V23, W1, W26, AB1, AB4, AB26, AC9, AC17, AE1, AE26, AF1, AF2, AF5, AF8, AF13, AF19, AF20, AF22, AF25, AF26
Не используются	—	—	A4, A11, A18, A23, A24, B4, B8, B10, B13, B16, B17, B21, B23, C1, C2, C3, C4, C5, C8, C9, C11, C13, C18, C21, C24, C25, D1, D3, D4, D5, D10, D14, D16, D17, D21, D23, D24, D25, D26, E3, E4, F1, F3, F23, F25, G25, J2, J3, J23, J24, J26, K2, K4, L4, L23, L25, M2, M23, N24, P2, R23, R25, T3, T4, T24, U25, V1, V24, V25, W3, W4, W24, Y2, Y3, Y25, AA3, AA25, AB3, AB23, AC2, AC4, AC6, AC11, AC15, AC16, AC18, AC21, AC22, AC23, AC24, AC25, AD5, AD10, AD11, AD14, AD15, AD16, AD17, AD20, AD21, AD22, AD24, AD26, AE2, AE4, AE7, AE10, AE15, AE18, AE19, AF3, AF4, AF9, AF12, AF15

назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, неглобальные.

#### 19.6. Обозначение микросхем XC95216

На Рис. 27 представлен способ обозначения микросхем XC95216 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.

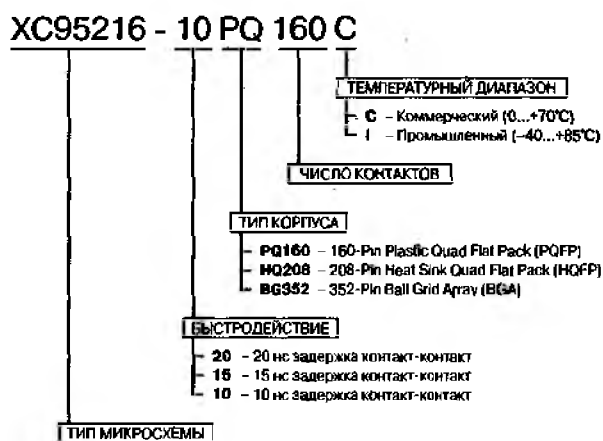


Рис. 27. Обозначение микросхем XC95216

В Табл. 28 представлены все варианты выпускаемых в настоящее время микросхем XC95216.

Таблица 28. Варианты выпускаемых в настоящее время микросхем XC95216

Прибор		PQ-160	HQ-208	BG-352
XC95216	-10	C, I	C, I	C, I
	-15	C, I	C, I	C, I
	-20	C, I	C, I	C, I

## 20. Микросхема XC95288

### 20.1. Описание

Микросхема XC95288 — высокопроизводительная CPLD семейства XC9500. Состоит из 16 36V18 функциональных блоков (288 МЯ), емкостью 6400 логических вентилях и минимальной задержкой распространения сигнала контакт-контакт 10 нс.

### 20.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех макроячеек из высокоскоростного режима в режим низкого потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$$I_{cc} [mA] = 1.7MC_{HP} + 0.9MC_{LP} + 0.006MC/f,$$

где  $MC_{HP}$  — количество макроячеек в высокопроизводительном режиме,  $MC_{LP}$  — количество макроячеек в режиме малого потребления,  $MC$  — общее количество задействованных макроячеек,

$f$  — частота [МГц].

На Рис. 28 показано типичное потребление для XC95288 в обоих режимах.

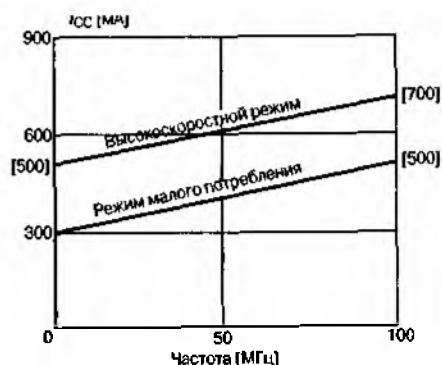


Рис. 28. Типичное потребление тока микросхемой XC95288

### 20.3. Динамические параметры микросхем XC95288

В Табл. 29 приведены динамические параметры микросхем XC95288 в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, а частоты в МГц.

### 20.4. Параметры временной модели

В Табл. 30 приведены параметры временной модели микросхем XC95288 в зависимости от дифференциации кристаллов по быстродействию.

### 20.5. Корпуса

Микросхема XC95288 может поставляться в корпусах: HQFP-208 и BGA-352. В Табл. 31 представлены контакты специального назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, неглобальные.

### 20.6. Обозначение микросхем XC95288

На Рис. 29 представлен способ обозначения микросхем XC95288 в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.

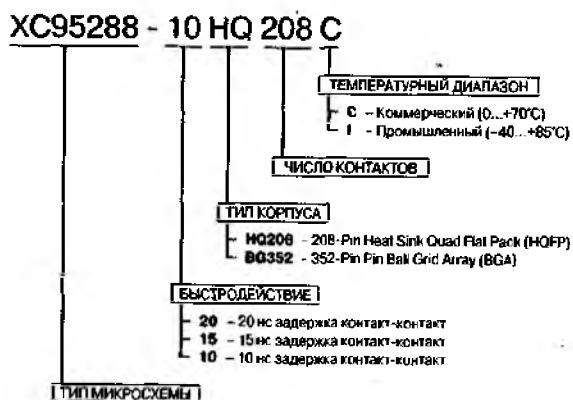


Рис. 29. Обозначение микросхем XC95288

Таблица 29. Динамические параметры микросхем XC95288

Обозн.	Параметр	XC95288-10		XC95288-15		XC95288-20	
		min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинаторная логика — выход микросхемы		10.0		15.0		20.0
$t_{SU}$	Время установки глобального тактового сигнала	6.0		8.0		10.0	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		6.0		8.0		10.0
$t_{CNT}$	Частота работы 16-разрядного счетчика	111.1		95.2		83.3	
$t_{SYSTEM}$	Системная частота, задействованы все ФБ	66.7		55.6		50.0	
$t_{PSU}$	Время установки тактового сигнала PTC	2.0		4.0		4.0	
$t_{PH}$	Время удержания данных после тактового сигнала PTC	4.0		4.0		6.0	
$t_{PCO}$	Задержка тактового сигнала PTC до выхода		10.0		12.0		16.0
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		6.0		11.0		16.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		6.0		11.0		16.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		10.0		14.0		18.0
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		10.0		14.0		18.0
$t_{WLH}$	Длительность лог. единицы или лог. нуля тактового сигнала	4.5		5.5		5.5	

Таблица 30. Параметры временной модели микросхем XC95288 (нс)

Обозн.	Параметр	XC95288-10		XC95288-15		XC95288-20	
		min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		3.5		4.5		6.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		2.5		3.0		3.0
$t_{GSR}$	Задержка на буфере глобального сброса/установки		6.0		7.5		9.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		6.0		11.0		16.0
$t_{OUT}$	Задержка на выходном буфере		3.0		4.5		6.5
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		3.0		3.0		3.0
$t_{PTSR}$	Задержка PTS		2.5		3.0		3.0
$t_{PTTS}$	Задержка PTOE		3.5		5.0		5.0
$t_{PDI}$	Задержка на комбинаторной логике		1.0		3.0		4.0
$t_{SUI}$	Предустановка данных на входе регистра	2.5		3.5		3.5	
$t_{HI}$	Удержание данных на входе регистра	3.5		4.5		6.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		0.5
$t_{AOI}$	Время асинхронного сброса/установки регистра		7.0		8.0		8.0
$t_{ROI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	10.0		10.0		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		2.5		3.0		3.0
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		11.0		11.5		11.5
$t_F$	Задержка по обратной связи от ПМ		9.5		11.0		13.0
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		1.0		1.0		1.5
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		4.5		5.0		5.5

Таблица 31. Контакты специального назначения

Назначение контакта	HQFP-208	BGA-352
GCK1	44	Y24
GCK2	46	AA24
GCK3	55	AD23
GTS1	7	E25
GTS2	9	F26
GTS3	3	E23
GTS4	5	E24
GSR	206	C23
TCK	98	AD6
TDI	94	AF6
TDO	176	D12
TMS	96	AE6
$V_{CCINT}$ 5 В	11, 59, 124, 153, 204	H24, AF23, T1, G4, C22
$V_{CCIO}$ 3.3 В/5 В	1, 26, 53, 65, 79, 92, 105, 132, 157, 172, 181, 184	A10, A17, B2, B25, D7, D13, D19, G23, H4, K1, K26, N23, P4, U1, U26, W23, Y4, AC8, AC14, AC20, AE25, AF10, AF17
GND	2, 13, 24, 27, 42, 52, 66, 68, 69, 81, 93, 104, 108, 129, 130, 141, 156, 163, 177, 190, 207	A1, A2, A5, A8, A14, A19, A22, A25, A26, B1, B26, C7, E1, E26, H1, H26, N1, P3, P26, V23, W1, W26, AB1, AB4, AB26, AC9, AC17, AE1, AE26, AF1, AF2, AF5, AF8, AF13, AF19, AF20, AF22, AF25, AF26
Не используются	—	A18, A23, A24, B4, B8, B10, B23, C1, C2, C3, C4, C5, C8, C11, C24, C25, D1, D3, D4, D14, D16, D21, D23, D25, E3, E4, F3, F23, G25, J2, J24, J26, K2, L4, L23, P2, T3, T4, T24, U25, V25, W3, W24, Y2, AB3, AB23, AC2, AC4, AC6, AC11, AC16, AC17, AC21, AC23, AC24, AC25, AD16, AD21, AD24, AD26, AE2, AE4, AE10, AE15, AF3, AF4, AF9, AF20

В Табл. 32 представлены все варианты выпускаемых в настоящее время микросхем XC95288.

Таблица 32. Варианты выпускаемых в настоящее время микросхем XC95288

Прибор		HQ-208	BG-352
XC95288	-10	C	C
	-15	C, I	C, I
	-20	C, I	C, I

## Глава 5. ПЛИС CPLD семейства XC9500XL

### 1. Особенности

- Оптимизированное для работы в высокопроизводительных системах с напряжением питания 3.3 В семейство ПЛИС CPLD:
  - задержка от входа до выхода по всем выводам до 5 нс;
  - внутренняя системная частота до 200 МГц;

- корпуса малого размера VQFP, TQFP и CSP;
- совместимость по входу с 5-В, 3.3-В и 2.5-В сигналами;
- совместимость по выходу 3.3-В и 2.5-В сигналами;
- потребление тока в 3 раза меньше чем в семействе XC9500;
- производятся по 0.35-мкм КМОП-технологии FastFLASH™.
- Содержит четыре микросхемы, различающиеся по степени интеграции:
  - от 36 до 288 макроячеек, или от 800 до 6400 вентиляей.
- Возможность перепрограммирования в системе:
  - не менее 10 тыс. циклов запись/стирание;
  - программирование/стирание в полном коммерческом и промышленном диапазоне напряжения питания и температур;
  - гарантированный срок сохранения конфигурации 20 лет.
- Расширенные возможности закрепления выводов перед трассировкой.
- Наличие гибкого функционального блока 54V18:
  - любая из 18 макроячеек функционального блока может выполнять логическую функцию 54 переменных от 1 до 90 термов;
  - глобальные и программируемые тактовые сигналы, сигнал разрешения выхода, сигналы установки и сброса триггера.
- Программируемый режим пониженной потребляемой мощности в каждой макроячейке.
- Управление задержкой сигнала по любому из выходов.
- Возможность назначения пользователем «общего» вывода.
- Наличие в каждом программируемом БВВ схемы удержания последнего состояния.
- Расширенная возможность защиты схемы от копирования.
- Полная поддержка периферийного сканирования в соответствии со стандартом IEEE Std 1149.1 (JTAG).
- Возможность параллельного программирования нескольких микросхем XC9500XL.
- Совместимость по выводам с семейством XC9500 в одинаковых корпусах.

## 2. Обзор семейства

Семейство XC9500XL имеет структуру, аналогичную структуре семейства XC9500. Микросхемы этого типа могут быть использованы для создания нестандартных АЛУ, дешифраторов, мультиплексоров и т.д., т.е. таких устройств, где требуются логические функции многих переменных и небольшое количество триггеров. Микросхемы семейства XC9500XL могут использоваться в крупносерийной аппаратуре, а также в системах, где требуется перепрограммирование «на ходу».

Напряжение питания ядра микросхемы — 3.3 В. Семейство XC9500XL спроектировано специально для работы в системах совместно с ПЛИС семейств Virtex, Spartan-II, Spartan-XL и XC4000XL, и позволяет оптимально распределить быструю интерфейсную логику и логику общего назначения в данных системах.

Для программирования микросхем семейства XC9500XL не требуется программатор — перепрограммирование осуществляется сигналами от элементов с

напряжением питания 3.3 В через специальные выводы микросхемы (JTAG-порт) в той же системе, где и применяется данная ПЛИС. Минимальное число циклов перепрограммирования микросхемы превышает 10 тыс. Записанная конфигурация может сохраняться более 20 лет.

В состав семейства XC9500XL входят четыре микросхемы, емкостью от 36 до 288 макроячеек (от 800 до 6400 вентиляей, соответственно) в различных корпусах. Все микросхемы семейства XC9500XL совместимы по контактам, что обеспечивает возможность легкого перехода от одной микросхемы к другой в том же корпусе. Также все микросхемы семейства XC9500XL совместимы по контактам с микросхемами семейства XC9500. В Табл. 1 представлены основные параметры микросхем семейства XC9500XL, а в Табл. 2 все доступные корпуса с указанием количества пользовательских контактов.

Таблица 1. Микросхемы семейства XC9500XL

Параметр	XC9536XL	XC9572XL	XC95144XL	XC95288XL
Число макроячеек	36	72	144	288
Число вентиляей	800	1 600	3 200	6400
Число триггеров	36	72	144	288
$t_{PD}[нс]$	4	5	5	6
$t_{SU}[нс]$	3	3.7	3.7	4.1
$t_{CO}[нс]$	3	3.5	3.5	4.3
$f_{SYSTEM}[МГц]$	200	178	178	151

Примечание:  $f_{SYSTEM}$  — внутренняя частота для проектов, использующих несколько функциональных блоков.

Таблица 2. Доступные корпуса и количество пользовательских контактов (не учитывая JTAG-контактов)

Корпус	XC9536XL	XC9572XL	XC95144XL	XC95288XL
PLCC-44	34	34		
VQFP-64	36	52		
CSP-48	36	38		
TQFP-100		72	81	
TQFP-144			117	117
CSP-144			117	
PQFP-208				168
BGA-256				192
CSP-280				192

### 3. Описание архитектуры семейства XC9500XL

Каждая микросхема семейства XC9500XL представляет собой подсистему, состоящую из множества функциональных блоков (ФБ) и блоков ввода-вывода (БВВ), соединенных переключательной матрицей (ПМ) (Рис. 1).

БВВ обеспечивают буферизацию всех входов и выходов микросхемы. Каждый ФБ содержит 18 макроячеек со структурой 54V1 и позволяет получить 18 логических функций практически от любой комбинации из 54 переменных.

ПМ обеспечивает подачу любых выходных сигналов ФБ и входных сигналов на входы ФБ. До 18 выходных сигналов каждого ФБ (в зависимости от количества выводов в корпусе) и соответствующие сигналы разрешения выхода поступают непосредственно на блоки ввода-вывода.



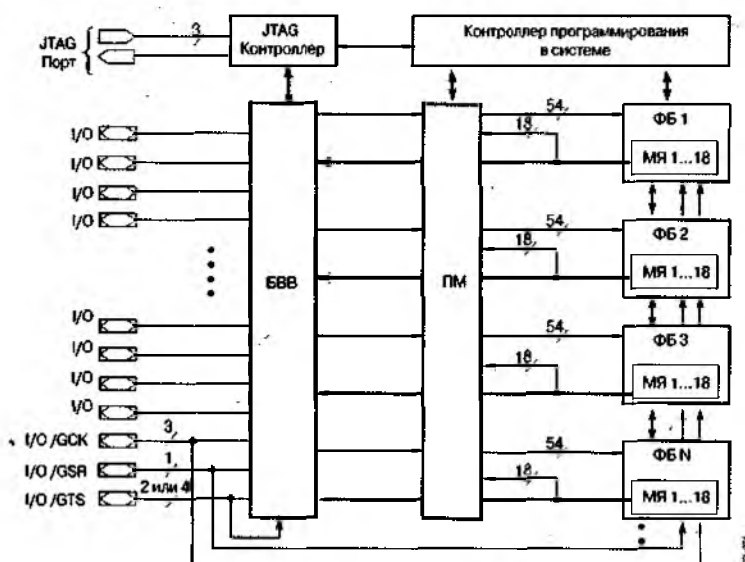


Рис. 1. Архитектура микросхем семейства XC9500XL

Все выводы ПЛИС семейства XC9500XL можно подразделить на 3 группы:

1. Выводы JTAG-порта, через которые производится периферийное сканирование и программирование.
2. Логические выводы, которые могут выполнять функцию входа, выхода или совмещенного входа-выхода (I/O.)
3. Управляющие выводы, на которые подаются глобальные управляющие сигналы тактирования (GCK), установки/сброса (GSR) и управления третьим состоянием (GTS). Управляющие выводы могут также выполнять функции логических выводов.

Также имеются выводы «земли» и питания, причем отдельно питаются блоки ввода-вывода (от напряжения питания  $U_{ccio}$ ) и все остальные (от напряжения питания  $U_{ccstt}$ )-

### 3.1. Функциональный блок

Функциональный блок (ФБ) (Рис. 2) состоит из 18 независимых макроячеек (МЯ), каждая из которых обеспечивает выполнение комбинаторной и/или регистровой функции. Кроме этого, на ФБ приходят сигналы разрешения выхода, установки/сброса и глобальной синхронизации. Каждый ФБ формирует 18 выходных сигналов, которые поступают на ПМ, а также передаются в БВВ.

Логика внутри ФБ представляет собой матрицу логических произведений (термов). 54 входа обеспечивают использование 108 прямых и инверсных сигналов в матрице логических произведений для формирования до 90 термов. Любое подмножество этих термов может быть доступно каждой макроячейке через схему распределения термов.

Каждый ФБ имеет внутренние цепи обратной связи, что позволяет любому количеству выходных сигналов ФБ поступать в свою собственную программируемую матрицу И, не выходя за пределы ФБ.

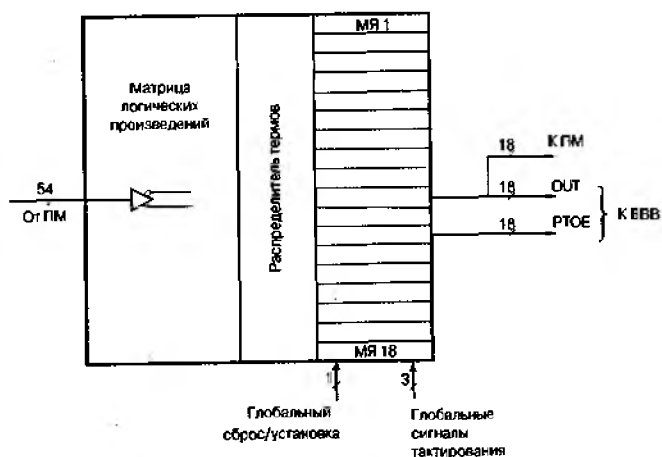


Рис. 2. Схема функционального блока микросхемы семейства XC9500XL

### 3.2. Макроячейка

Любая макроячейка в микросхеме семейства XC9500XL может выполнять как логическую комбинаторную, так и регистровую функции. Структура макроячейки совместно с программируемой матрицей логических произведений (элементов И, или «термов»), принадлежащим всему ФБ, представлена на Рис. 3.

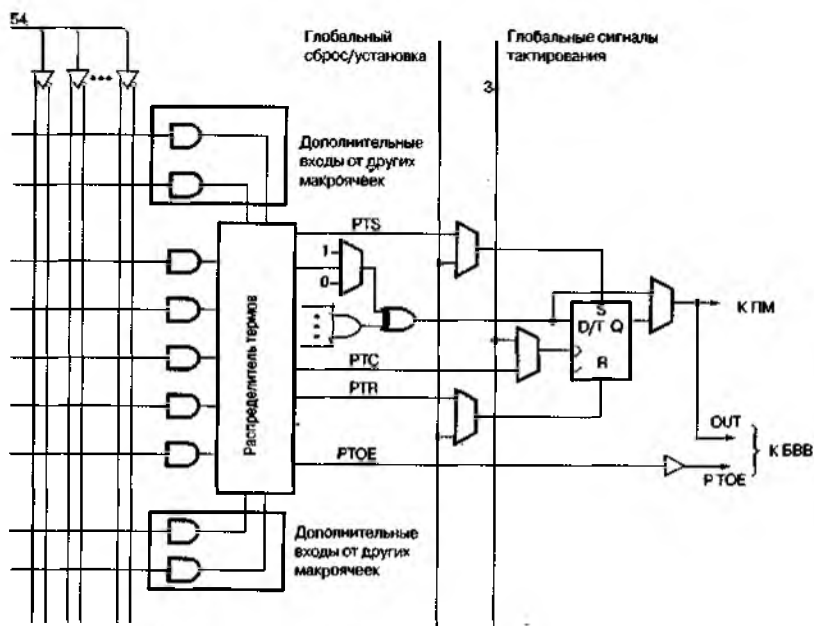


Рис. 3. Макроячейка микросхем семейства XC9500XL

Каждая макроячейка имеет пять основных и четыре дополнительных входа, поступающих на распределитель термов.

Из матрицы логических произведений пять термов поступают на основные входы макроячейки и могут использоваться либо для выполнения комбинаторных функций (ИЛИ и «Исключающее ИЛИ»), либо как управляющие сигналы, включая сигналы тактирования запоминающего элемента PTC (Product Term Crock), его установки и сброса — PTS (Product Term Set) и PTR (Product Term Reset), и разрешения выхода PTOE (Product Term Output Enable).

На четыре дополнительных входа поступают сигналы из других макроячеек. Назначение входных термов для выполнения той или иной функции

производит имеющийся в каждой макроячейке распределитель термов. Запоминающий элемент в макроячейке может быть сконфигурирован или как D-триггер, или как тактируемый триггер-защелка, или же он может не использоваться. В последнем случае сигнал логической функции пропускается напрямую для использования в других макроячейках. На каждый триггер могут быть поданы сигналы асинхронного сброса и установки с распределителя термов. Во время включения микросхемы все регистры переводятся в начальное состояние, заданное при программировании пользователем. Если начальное состояние не задано, то регистры устанавливаются в 0.

Кроме того, на каждую макроячейку приходят еще четыре глобальных управляющих сигнала (три тактовых — GCK1, GCK2, GCK3 — и один сигнал сброса/установки — GSR), которые могут быть использованы для управления работой триггера, как показано на Рис. 4. Глобальные управляющие сигналы снимаются непосредственно с управляющих выводов микросхемы, которые, впрочем, могут быть использованы и в качестве логических входов-выходов (I/O), так как эти выводы соединены также с программируемыми БВВ.

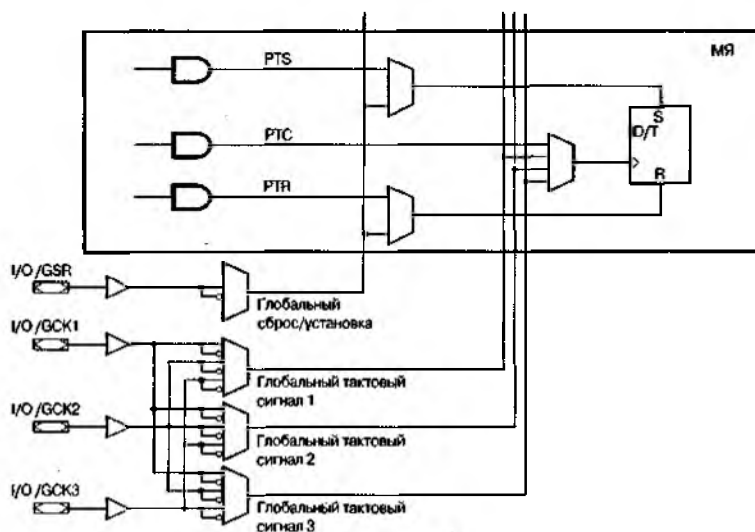


Рис. 4. Схема управления работой триггера в макроячейках семейства XC9500XL

### 3.3. Распределитель термов

Распределитель термов управляет назначением пяти прямых термов к каждой макроячейке. К примеру, все пять прямых термов могут передаваться на элемент ИЛИ, как показано на Рис. 5.

Распределитель термов может переназначить любой терм внутри ФБ для расширения логической емкости макроячейки сверх пяти прямых термов. Каждой макроячейке, запрашивающей дополнительный терм, доступен любой незадействованный терм в другой макроячейке внутри данного ФБ1. Одной макроячейке могут быть доступны до 15 термов, как показано на Рис. 6.

Схема распределения термов может переназначить любой терм из любой макроячейки внутри ФБ путем объединения логических произведений нескольких макроячеек, как показано на Рис. 7.

Логика работы схемы распределения термов проиллюстрирована на Рис. 8. Прямоугольниками с несколькими выходами на этом рисунке обозначены про-

граммируемые коммутаторы (селекторы) одного входного сигнала на любой из выходных.

#### 3.4. Быстродействующая переключающая матрица

Переключающая матрица осуществляет коммутацию сигналов, поступающих с выходов ФБ и из БВВ на входы ФБ внутри микросхемы, как показано на Рис. 9.

#### 3.5. Блок ввода-вывода

Блок ввода-вывода выполняет функцию интерфейса между внутренними логическими сигналами и контактами микросхемы (Рис. 10). Каждый БВВ содержит буферы ввода и вывода, а также мультиплексор сигналов разрешения выхода и схему программирования пользовательского «общего» вывода.

Входной буфер может работать с сигналами 5-В КМОП, 5-В ТТЛ, 3.3-В, КМОП и 2.5-В КМОП. Входные буферы используют отдельное внутреннее питание ( $V_{CCINT} = 3.3 \text{ В}$ ) для обеспечения стабильности пороговых уровней входных сигналов вне зависимости от напряжения УССЮ. Каждый входной буфер обеспечивает входной гистерезис ( $\sim 50 \text{ мВ}$ ) для устранения шумов во входном сигнале с медленным нарастанием и убыванием фронта.

В качестве разрешающего выход сигнала ОЕ может быть выбран либо один из термов РТОЕ с выхода макроячейки, либо один из глобальных сигналов разрешения выхода GOE (Global Output Enable) положительной или отрицательной полярности. В зависимости от количества макроячеек в микросхеме (36...72 или 144...288) таких глобальных сигналов может быть два или четыре, соответственно.

Выходные каскады микросхем семейства XC9500XL спроектированы так, чтобы обеспечить быстрое переключение сигналов с минимальными шумами. Каждый выход может обеспечить 3.3-В КМОП-уровни (которые совместимы с 5-В ТТЛ-уровнями) или 2.5-В КМОП-уровни. На Рис. 11 показаны схемы подключения питания для работы в системах со смешанным питанием.

В микросхемах семейства XC9500XL имеется возможность отдельного управления длительностью фронта выходного сигнала для каждого выходного буфера (Slew Rate), что позволяет, при необходимости, уменьшить уровень помех на выходах микросхемы за счет незначительного снижения быстродействия на величину  $7\text{gLEW}$ . Выходные характеристики БВВ в двух режимах приведены на Рис. 12.

Для дальнейшего повышения помехоустойчивости имеется также возможность подсоединять внутри БВВ любой выходной контакт к «общей» шине (User-Programmable Ground).

В каждом БВВ имеется цепь удержания последнего состояния (Bus-Hold). Данная цепь в рабочем режиме микросхемы всегда активна. Уровень удерживаемого состояния не превышает УССЮ. В режимах программирования, стирания и тестирования, а также в процессе включения питания схема Bus-Hold выполняет функцию резистора «pull-up». Схема цепи Bus-Hold приведена на Рис. 13.

Блоки ввода-вывода микросхем семейства XC9500XL совместимы по входу с 5-В логикой, несмотря на то что напряжение питания ядра крис-

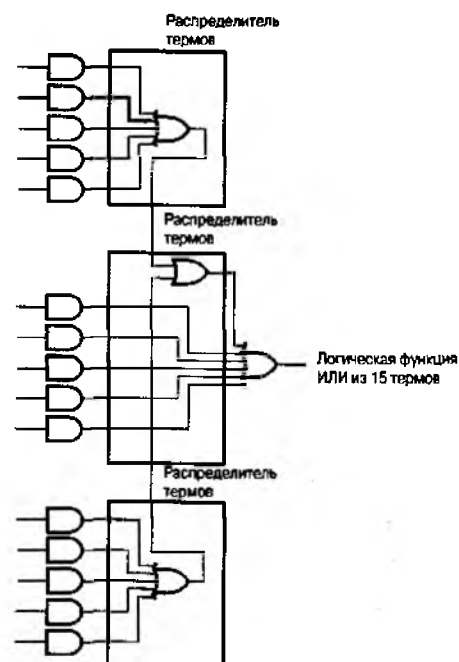


Рис. 6. Схема расширения логической емкости макроячейки

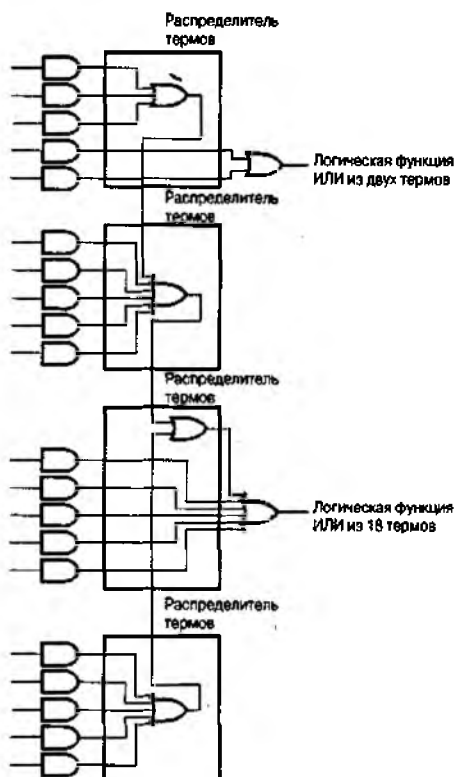


Рис. 7. Схема распределения термов путем объединения логических произведений макроячейки

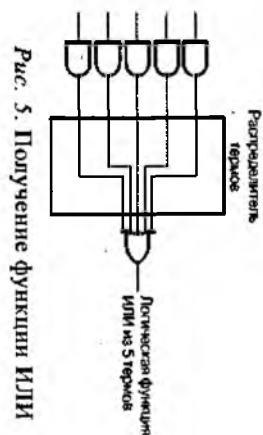


Рис. 5. Получение функции ИЛИ

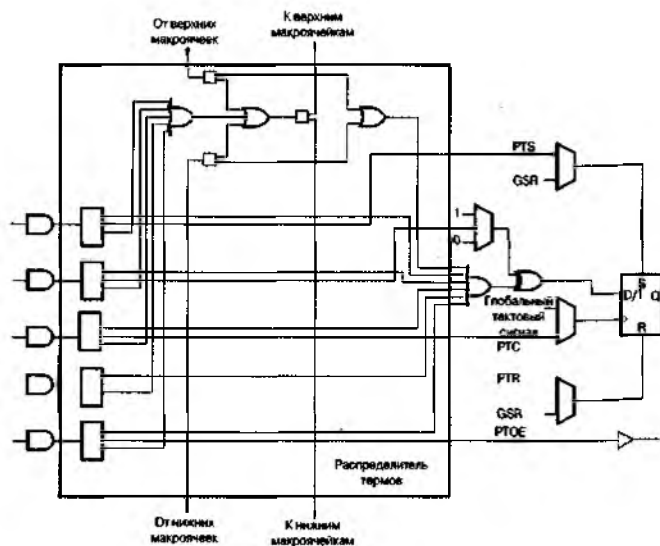


Рис. 8. К пояснению логики работы схемы распределения термов

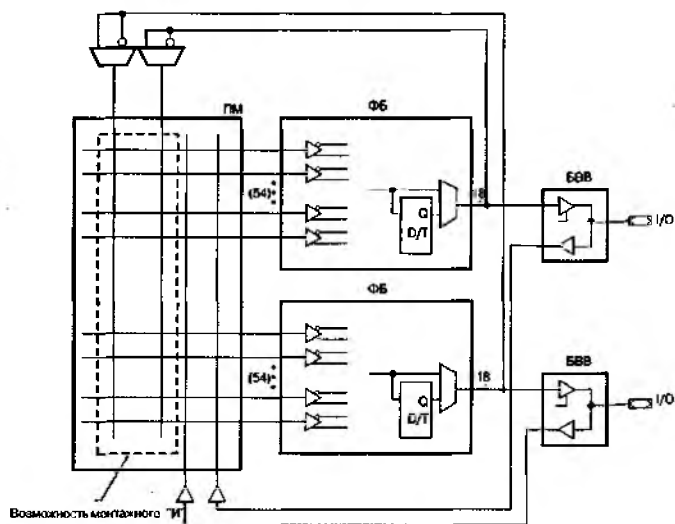


Рис. 9. Быстродействующая ПМ микросхем семейства XC9500XL

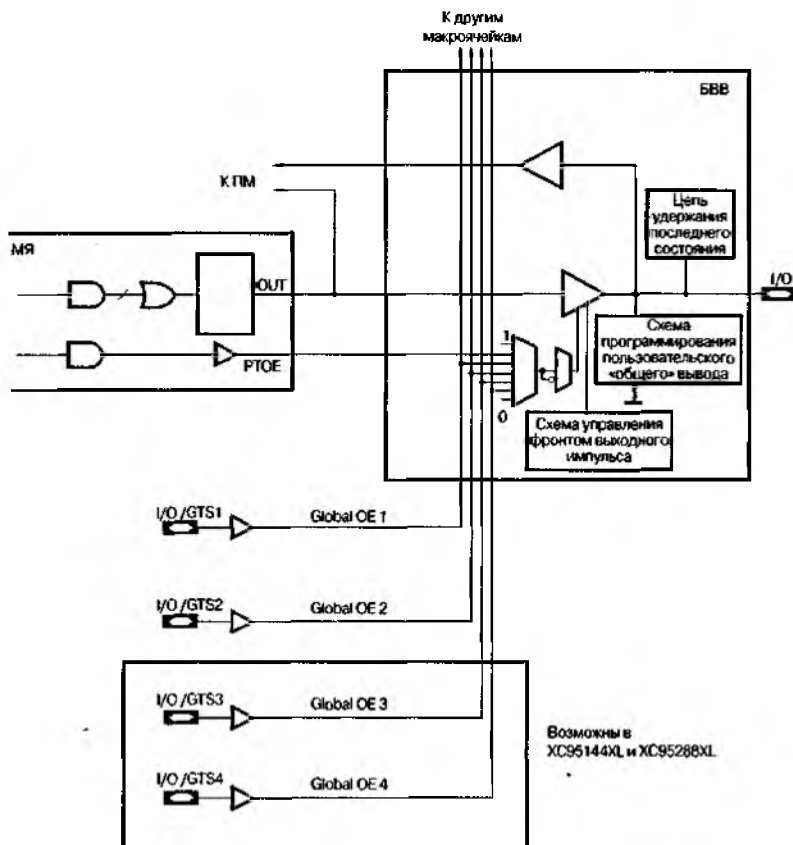


Рис. 10. Блок ввода-вывода микросхем семейства XC9500XL

талла составляет 3.3 В. Такое свойство БВВ позволяет подавать 5-В КМОП/ТТЛ-сигналы непосредственно на входы микросхем XC9500XL, не опасаясь повреждения БВВ. Входные сигналы и напряжения питания могут подаваться в любой последовательности, что делает возможным использование микросхем семейства XC9500XL в устройствах hot-plugging.



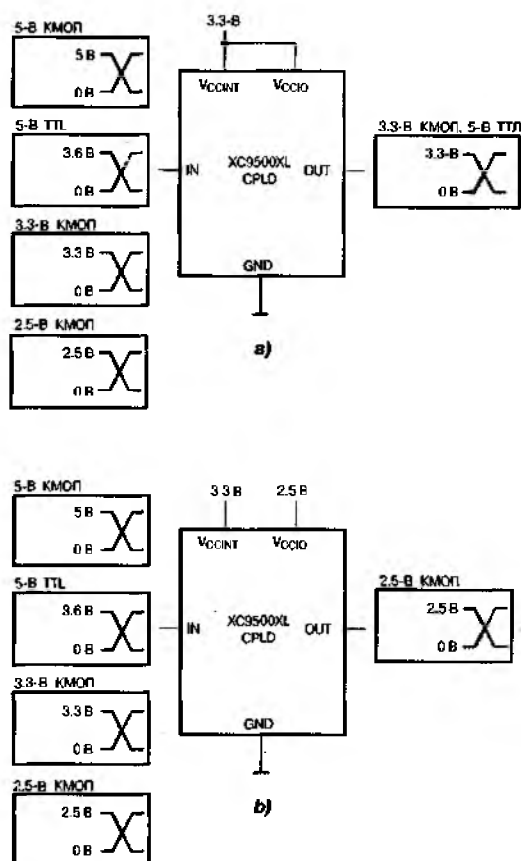


Рис. 11. Использование микросхем семейства XC9500XL в системах со смешанным питанием

#### 4. Возможность закрепления контактов

Микросхемы семейства XC9500XL обладают архитектурными особенностями, позволяющими вносить изменения в схему, сохраняя при этом назначение выводов. Это дает разработчику уверенность в том, что назначение как входных, так и выходных контактов останется неизменным при

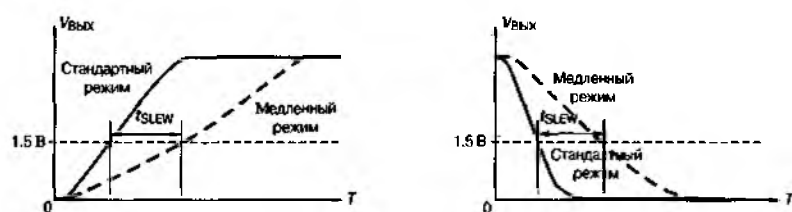


Рис. 12. Выходные характеристики БВВ

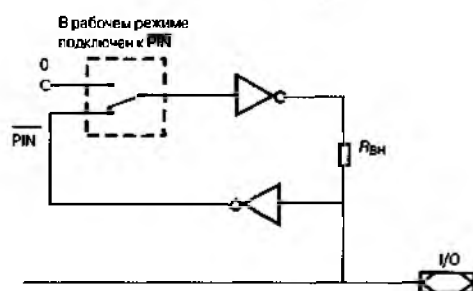


Рис. 13. Схема цепи удержания последнего состояния

любых непредвиденных изменениях схемы, и производить разработку печатной платы. При необходимости внесения изменений в схему, требующих более высокой логической емкости по сравнению с имеющейся в первоначально выбранной микросхеме, есть возможность загрузки схемы в большую, совместимую по контактам микросхему, без изменения прежних назначений сигналов на выводы.

#### 5. Программирование в системе

Микросхемы семейства XC9500XL программируются в системе через стандартный четырехконтактный JTAG-интерфейс, как показано на Рис. 14. Программирование в системе позволяет быстро и эффективно вносить изменения в проект, при этом исключается необходимость извлекать микросхему из разрабатываемого устройства. Программное обеспечение фирмы «Xilinx» создает конфигурационную последовательность, которая может быть загруз-

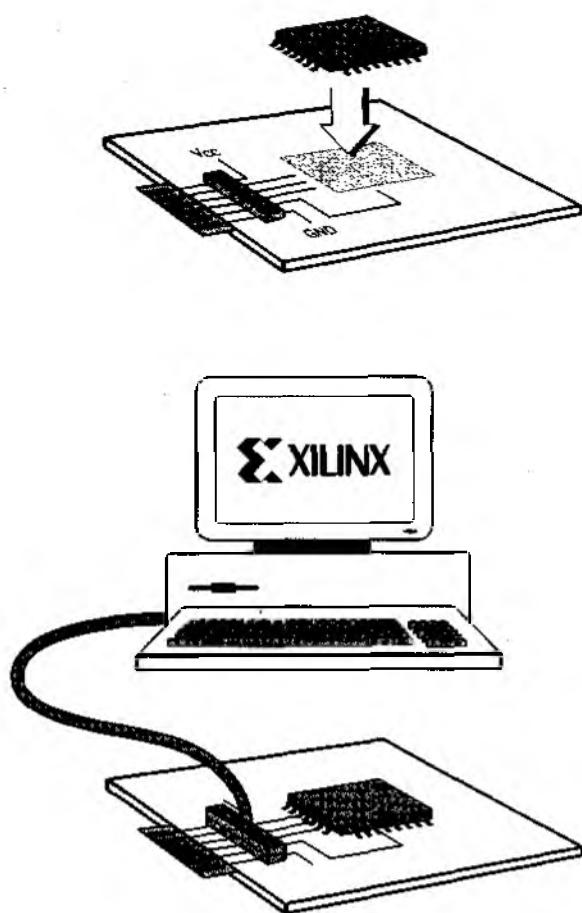


Рис. 14. Программирование в системе

жена в микросхему либо с помощью загрузочного кабеля, либо из системы проектирования, поддерживающей JTAG-протокол, либо с помощью JTAG-совместимого тестера электронных устройств, либо через простой микропроцессорный интерфейс, эмулирующий последовательность команд JTAG.

Микросхемы семейства XC9500XL также могут быть запрограммированы специализированным программатором фирмы «Xilinx» (HW130), либо универсальными программаторами других фирм.

Минимальное число циклов программирования — 10 тыс. Время хранения записанной конфигурации не менее 20 лет.

#### 6. Протокол периферийного сканирования IEEE Std. 1149.1

Микросхемы семейства XC9500XL полностью поддерживают протокол периферийного сканирования IEEE Std. 1149.1 (JTAG). При этом поддерживаются команды EXTEST, SAMPLE/PRELOAD, BYPASS, USER-CODE, INTTEST, IDCODE и HIGHZ. Для операций программирования в системе добавлены команды: ISPEN, FERASE, FPGM, FVFY и ISPEX, которые являются полностью совместимыми со стандартом 1149.1 расширениями набора команд.

Контакты TMS и TCK имеют резисторы «pull-up» в соответствии со стандартом IEEE Std. 1149.1.

Файлы B SDL (Boundary Scan Description Language) для микросхем семейства XC9500XL включены в программное обеспечение проектирования и также доступны на FTP-сайте компании «Xilinx».

#### 7. Защита проекта от копирования

В микросхемах семейства XC9500XL используются передовые методы, которые обеспечивают полную защиту схемы от несанкционированного чтения или случайного стирания (перепрограммирования). В Табл. 3 представлены четыре варианта установки кодов защиты.

Таблица 3. Варианты установки кодов защиты

Режим	Защита от чтения не установлена	Защита от чтения установлена
Защита от записи не установлена	Чтение разрешено Запись разрешена	Чтение запрещено Запись разрешена
Защита от записи установлена	Чтение разрешено Запись запрещена	Чтение запрещено Запись запрещена

Защита по чтению (код секретности) устанавливается пользователем для исключения возможности чтения или копирования схемы. Код секретности может быть отменен только в случае полного стирания микросхемы. Код защиты по записи обеспечивает дополнительную защиту от случайного стирания микросхемы или перепрограммирования пользователем. Установленная однажды, защита от записи может быть отменена при возникновении необходимости перепрограммирования микросхемы пользователем.

#### 8. Режим пониженного потребления энергии

Все микросхемы семейства XC9500XL обеспечивают возможность установки режима пониженного потребления энергии не только для всей схемы, но и для выбранных пользователем отдельных макроячеек.

При проектировании устройства необходимо помнить, что режим пониженного потребления приводит к появлению дополнительных задержек в работе макроячеек (/LP). Таким образом, можно установить режим пониженного потребления для частей схемы, не требующих повышенного быстродействия, а для критичных к задержкам макроячеек оставить стандартный режим энергопотребления. Это позволит значительно снизить потребление энергии микросхемы в целом.

#### 9. Модель задержек распространения сигналов (временная модель)

Единообразие архитектуры микросхем семейства XC9500XL позволяет принять

простую модель задержек распространения сигналов для всего кристалла. Базовая модель, показанная на Рис. 15, применима для макроячейки, использующей только прямые термы, находящейся в стандартном режиме энергопотребления и со стандартными установками скорости нарастания фронтов. В Табл. 4 показано, как воздействует на временные параметры использование распределителя термов, режима пониженного энергопотребления, а также изменение скорости нарастания фронтов.

Задержка на распределителе термов зависит от коэффициента охвата логики функцией макроячейки. Коэффициент охвата логики определяется как количество дополнительных распределителей термов минус один. Если ис-

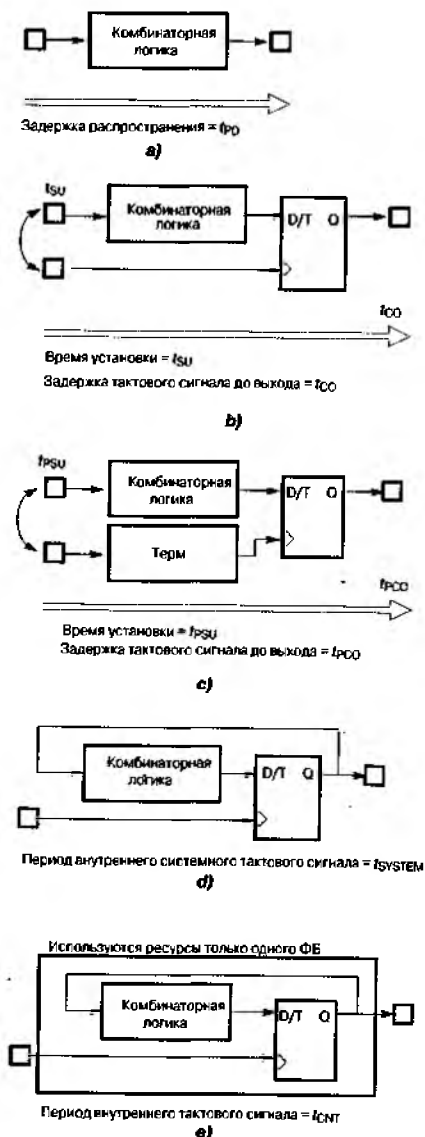


Рис. 15. Базовая временная модель

Таблица 4. Параметры временной модели

Параметр	Обозначение	Распределитель термов задействован	Макроэчейка в режиме малого потребления	Задержка нарастания фронта
Задержка распространения	$t_{PD}$	$+t_{PTA}S$	$+t_{LP}$	$+t_{SLEW}$
Время установки глобального тактового сигнала	$t_{SU}$	$+t_{PTA}S$	$+t_{LP}$	—
Задержка тактового сигнала до выхода	$t_{CO}$	—	—	$+t_{SLEW}$
Время установки RTC	$t_{PSU}$	$+t_{PTA}S$	$+t_{LP}$	—
Задержка тактового сигнала до выхода с использованием термов	$t_{PCO}$	—	—	$+t_{SLEW}$
Внутренний системный период	$t_{SYSTEM}$	$+t_{PTA}S$	$+t_{LP}$	—

пользуются только прямые термы, то коэффициент охвата логики — 0. На Рис. 6 коэффициент охвата логики — 1, а на Рис. 7 — 2.

Детальная модель может быть получена из полной модели, показанной на Рис. 16. Значения параметров и пояснения даны в описаниях конкретной микросхемы.

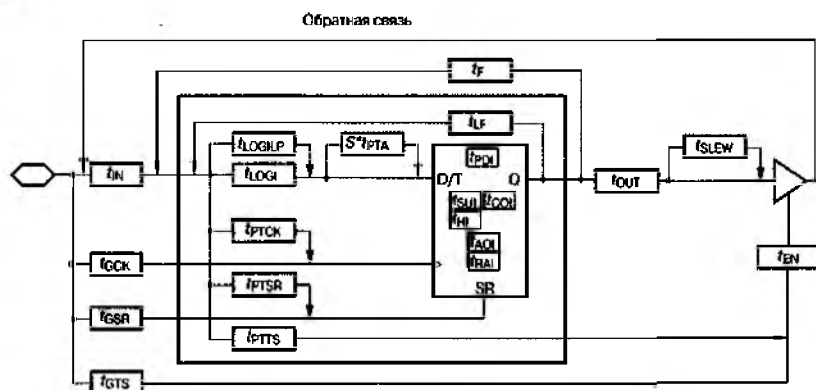


Рис. 16. Детальная временная модель

## 10. Характеристики при включении питания

Во время включения питания микросхем семейства XC9500XL используют внутреннюю схему, которая удерживает микросхему в состоянии ожидания до тех пор, пока напряжение питания  $V_{CCINT}$  не достигнет безопасного значения (приблизительно 2.5 В). В это время все контакты микросхемы, включая JTAG, недоступны для каких-либо действий и подтянуты к высокому уровню (Табл. 5). По достижении безопасного значения напряжения, инициализируются пользовательские регистры и микросхема немедленно доступна для работы (Рис. 1 Т). Время инициализации ~200 мкс.



Рис. 17. Поведение микросхем во время включения питания

Если микросхема не запрограммирована, то все контакты микросхемы, за исключением JTAG, недоступны для каких-либо действий и подтянуты к высокому уровню.

Если микросхема запрограммирована, то все выходы и входы находятся в состояниях, соответствующих конфигурации, а JTAG-контакты доступны для операций программирования в системе и периферийного сканирования.

Таблица 5. Характеристики при включении питания

Цепи микросхем	Состояние ожидания	Не запрограммированная микросхема	Рабочее состояние
Bus-hold	Pull-up	Pull-up	Удержание последнего состояния
Выходы	Неактивно	Неактивно	Как запрограммировано
Входы и тактовые цепи	Неактивно	Неактивно	Как запрограммировано
ФБ	Неактивно	Неактивно	Как запрограммировано
JTAG-контроллер	Неактивно	Активно	Активно

\*\*\*

## 11. Программное обеспечение проектирования

Разработка конфигурации МС семейства XC9500XL и программирование осуществляется универсальным пакетом ПО Xilinx Foundation Series, поддерживающего все ПЛИС фирмы «Xilinx», а также специализированным бесплатным ПО WebPack, доступным через Интернет <http://www.xilinx.com/sxpresso/webpack.htm>.

## 12. Технология производства

Для производства микросхем семейства XC9500XL используется усовершенствованная 0.35-мкм КМОП-технология — FastFlash. Технология FastFlash была специально разработана для производства ПЛИС с архитектурой CPLD. Технология обеспечивает высокое быстродействие, быстрое программирование и более 10 тыс. циклов запись/стирание.

## 13. Характеристики семейства XC9500XL по постоянному току

В Табл. 6 приведены максимально допустимые значения основных параметров микросхем семейства XC9500XL по постоянному току.

Внимание! Превышение максимальных значений ведет к повреждению кристалла.

Таблица 6. Диапазон максимально допустимых значений

Обозначение	Параметр	Значения
$V_{CC}$	Напряжение питания относительно GND	-0.5...4.0 В
$V_{IN}$	Напряжение входного сигнала относительно GND	-0.5...5.5 В
$V_{TS}$	Напряжение, прикладываемое к 3-стабильному выходу	-0.5...5.5 В
$T_{STG}$	Температура хранения (окружающей среды)	-65...+150°C
$T_{SOL}$	Максимальная температура припоя	+260°C
$T_J$	Максимальная рабочая температура контактов	+150°C

В Табл. 7 приведены рекомендуемые рабочие значения основных параметров микросхем семейства XC9500XL по постоянному току.

Таблица 7. Рекомендуемые значения параметров микросхем семейства XC9500XL по постоянному току

Обозначение	Параметр	min	max
$V_{CCINT}$	Напряжение питания ядра и входных буферов	3.0 В	3.6 В
$V_{CCIO}$	Напряжение питания выходных каскадов для 5-В операций	3.0 В	3.6 В
	Напряжение питания выходных каскадов для 3-В операций	2.3 В	2.7 В
$V_{IL}$	Напряжение входного логического нуля	0 В	0.8 В
$V_{IH}$	Напряжение входной логической единицы	2.0 В	5.5 В
$V_O$	Напряжение выхода	0 В	$V_{CCIO}$

В Табл. 8 приведены характеристики микросхем семейства XC9500XL по постоянному току при рекомендуемых значениях.

Таблица 8. Характеристики по постоянному току при рекомендуемых значениях

Обозначение	Параметр	min	max
$V_{OH}$	Выходное напряжение логической единицы при 3.3-В операциях ( $I_{OH} = -4.0$ мА)	2.4 В	
	Выходное напряжение логической единицы при 2.5-В операциях ( $I_{OH} = -500$ мкА)	$0.9V_{CCIO}$	
$V_{OL}$	Выходное напряжение логического нуля при 3.3-В операциях ( $I_{OL} = 8$ мА)		0.4 В
	Выходное напряжение логического нуля при 2.5-В операциях ( $I_{OL} = 500$ мкА)		0.4 В
$I_{IL}$	Входной ток утечки		$\pm 10.0$ мкА
$I_{IH}$	Ток утечки БВВ в третьем состоянии		$\pm 10.0$ мкА
$C_{IN}$	Емкость входа/выхода		10.0 пФ

#### 14. Сопряжение с аналоговыми элементами

Сопряжение микросхем семейства XC9500XL с аналоговыми элементами На плате осуществляется в соответствии со схемой, представленной на Рис. 18.

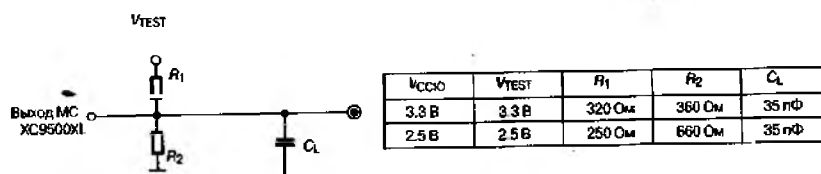


Рис. 18. Сопряжение микросхем семейства XC9500XL с аналоговыми элементами

#### 15. Микросхема XC9536XL

##### 15.1. Описание

Микросхема XC9536XL — высокопроизводительная ПЛИС семейства XC9500XL, емкостью 800 логических вентилях и минимальной задержкой распространения сигнала контакт-контакт 5 нс. Микросхема XC9536 состоит из двух 54V18 функциональных блоков (36 МЯ).

##### 15.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех макроячеек из высокоскоростного режима в режим низкого потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$$I_{cc} [\text{мА}] = 0.5M_{\text{Снр}} + 0.3M_{\text{CLP}} + 0.0045MC/f$$

где  $M_{\text{Снр}}$  — количество макроячеек в высокопроизводительном режиме,  $M_{\text{CLP}}$  — количество макроячеек в режиме малого потребления,  $MC$  — общее количество задействованных макроячеек,

$f$  — частота [МГц].

На Рис. 19 показано типичное потребление для микросхем XC9536XL в обоих режимах.

### 15.3. Динамические параметры микросхем XC9536XL

В Табл. 9 приведены динамические параметры микросхем XC9536XL в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, & частоты в МГц.

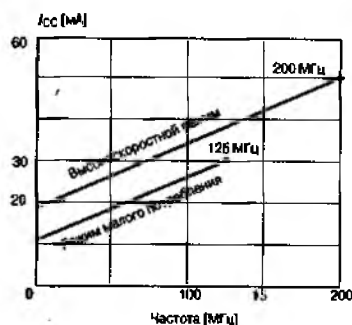


Рис. 19. Типичное потребление тока микросхемой XC9536XL

Таблица 9. Динамические параметры микросхем XC9536XL

Обозначение	Параметр	XC9536XL-5		XC9536XL-7		XC9536XL-10	
		min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинационная логика — выход микросхемы		5.0		7.5		10.0
$t_{SU}$	Время установки глобального тактового сигнала	3.7		4.8		6.5	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		3.5		4.5		5.8
$f_{SYSTEM}$	Системная частота, задействованы все ФБ		178.6		125.0		100.0
$t_{PSU}$	Время установки тактового сигнала РТС	1.7		1.6		2.1	
$t_{PH}$	Время удержания данных после тактового сигнала РТС	2.0		3.2		4.4	
$t_{PCO}$	Задержка тактового сигнала РТС до выхода		5.5		7.7		10.2
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		4.0		5.0		7.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		4.0		5.0		7.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		7.0		9.5		11.0



Таблица 9 (окончание)

Обозначение	Параметр	XC9536XL-5		XC9536XL-7		XC9536XL-10	
		min	max	min	max	min	max
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		7.0		9.5		11.0
$t_{AO}$	Задержка глобального сброса/установки		10.0		12.0		14.5
$t_{PAO}$	Задержка сигнала по цепи PTS		10.5		12.6		15.3
$t_{WLH}$	Длительность лог. единицы или лог. нуля глобального тактового сигнала	2.8		4.0		4.5	
$t_{PLH}$	Длительность лог. единицы или лог. нуля тактового сигнала PTC	5.0		6.5		7.0	

#### 15.4. Параметры временной модели

В Табл. 10 приведены параметры временной модели микросхем XC9536XL в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в не.

Таблица 10. Параметры временной модели микросхем XC9536XL

Обозначение	Параметр	XC9536XL-5		XC9536XL-7		XC9536XL-10	
		min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		1.5		2.3		3.5
$t_{OСК}$	Задержка на глобальном тактовом буфере		1.1		1.5		1.8
$t_{QSR}$	Задержка на буфере глобального сброса/установки		2.0		3.1		4.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		4.0		5.0		7.0
$t_{OUT}$	Задержка на выходном буфере		2.0		2.5		3.0
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		1.6		2.4		2.7
$t_{PTSR}$	Задержка PTS		1.0		1.4		1.8
$t_{PTTS}$	Задержка PTOE		5.5		7.2		7.5

Таблица 10 (окончание)

Обозначение	Параметр	XC9536XL-5		XC9536XL-7		XC9536XL-10	
		min	max	min	max	min	max
$t_{PD1}$	Задержка на комбинаторной логике		0.5		1.3		1.7
$t_{SU1}$	Предустановка данных на входе регистра	2.3		2.6		3.0	
$t_{HI}$	Удержание данных на входе регистра	1.4		2.2		3.5	
$t_{ECSU}$	Предустановка сигнала CE (разрешение тактирования)	2.3		2.6		3.0	
$t_{ECHO}$	Удержание сигнала CE	1.4		2.2		3.5	
$t_{CO1}$	Время срабатывания регистра		0.4		0.5		1.0
$t_{AO1}$	Время асинхронного сброса/установки регистра		6.0		6.5		7.0
$t_{RA1}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	5.0		7.5		10.0	
$t_{LOG1}$	Задержка на внутренней логике МЯ		1.0		1.4		1.8
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		5.0		6.4		7.3
$t_F$	Задержка по обратной связи от ПМ		1.9		3.5		4.2
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		0.7		0.8		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		3.0		4.0		4.5

### 15.5.. Корпуса

Микросхема XC9536XL может поставляться в четырех корпусах: PLCC-44, VQFP-44, VQFP-64 и CSP-48. В корпусах PLCC-44, VQFP-44 и CSP-48 микросхема XC9536XL совместима по выводам с XC9536. В Табл. 11 представлены контакты специального назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, не-глобальные.

Таблица 11. Контакты специального назначения

Назначение контакта	PLCC-44	VQFP-44	VQFP-64	CSP-48
GCK1	5	43	15	B7
GCK2	6	44	16	B6
GCK3	7	1	17	A7
GTS1	42	36	5	E6
GTS2	40	34	2	F6
GSR	39	33	64	G7
TCK	17	11	30	A1
TDI	15	9	28	B3
TDO	30	24	53	G2
TMS	16	10	29	A2
$V_{CCINT}$ 3.3 В	21, 41	15, 35	3, 37	C1, F7
$V_{CCIO}$ 2.5 В/3.3 В	32	26	55	G3
GND	23, 10, 31	17, 4, 25	21, 41, 54	A5, D1, F3
Не используются	—	—	1, 4, 12, 13, 14, 18, 23, 26, 31, 32, 34, 40, 46, 47, 51, 52, 58, 59	—

## 15.6. Обозначение микросхем XC9536XL

На Рис. 20 представлен способ обозначения микросхем XC9536XL -в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.

В Табл. 12 представлены все варианты выпускаемых в настоящее время микросхем XC9536XL.

Таблица 12. Варианты выпускаемых в настоящее время микросхем XC9536XL

Прибор		PC-44	VQ-44	VQ-64	CS-48
XC9536XL	-10	C, I	C, I	C, I	—
	-7	C	C	C	C
	-5	C	C	C	C

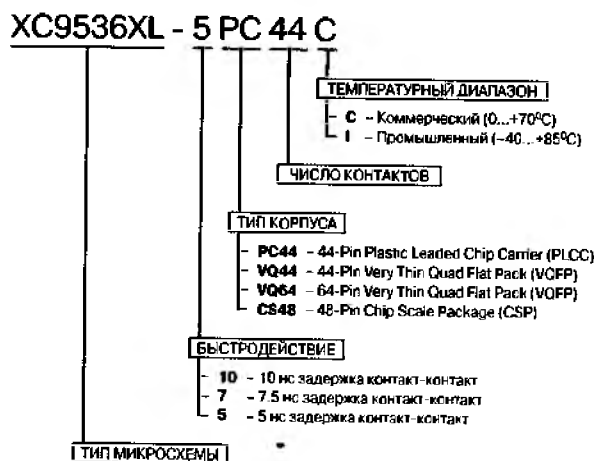


Рис. 20. Обозначение микросхем XC953XL

## 16. Микросхема XC9572XL

### 16.1. Описание

Микросхема XC9572XL — высокопроизводительная ПЛИС семейства XC9500XL, емкостью 1600 логических вентилей и минимальной задержкой распространения сигнала контакт-контакт 5 нс., Микросхема XC9572XL состоит из четырех 54V18 функциональных блоков (72 МЯ).

### 16.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех макроячеек из высокоскоростного режима в режим низкого потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$I_{cc} [mA] = 0.5MC_{Hr} + 0.3MC_{Lr} + 0.0045MC/f$  где  $MC_{Hr}$  — количество макроячеек в высокопроизводительном режиме,

$MC_{Lr}$  — количество макроячеек в режиме малого потребления,  $MC$  — общее количество задействованных макроячеек,  $f$  — частота (МГц).

На Рис. 21 показано типичное потребление для XC9572XL в обоих режимах.

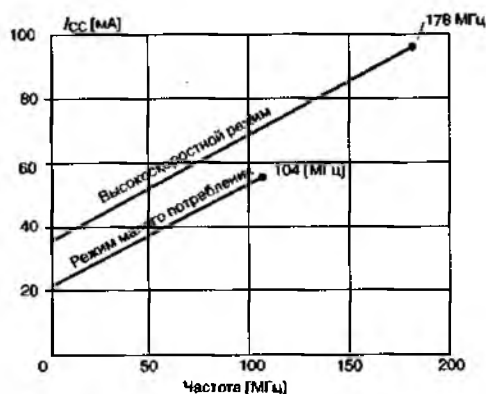


Рис. 21. Типичное потребление тока микросхемой XC9572XL

### 16.3. Динамические параметры микросхем XC9572XL

В Табл. 13 приведены динамические параметры микросхем XC9572XL в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, а частоты в МГц.

Таблица 13. Динамические параметры микросхем XC9572XL

Обознач.	Параметр	XC9572XL-5		XC9572XL-7		XC9572XL-10	
		min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинаторная логика — выход микросхемы		5.0		7.5		10.0
$t_{SU}$	Время установки глобального тактового сигнала	3.7		4.8		6.5	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	

Таблица 13 (окончание)

Обозначение	Параметр	XC9572XL-5		XC9572XL-7		XC9572XL-10	
		min	max	min	max	min	max
$t_{CO}$	Задержка глобального тактового сигнала до выхода		3.5		4.5		5.8
$t_{SYSTEM}$	Системная частота, задействованы все ФБ		178.6		125.0		100.0
$t_{PSU}$	Время установки тактового сигнала PTC	1.7		1.6		2.1	
$t_{PH}$	Время удержания данных после тактового сигнала PTC	2.0		3.2		4.4	
$t_{PCO}$	Задержка тактового сигнала PTC до выхода		5.5		7.7		10.2
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		4.0		5.0		7.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		4.0		5.0		7.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		7.0		9.5		11.0
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		7.0		9.5		11.0
$t_{AO}$	Задержка глобального сброса/установки		10.0		12.0		14.5
$t_{PAO}$	Задержка сигнала по цепи PTS		10.5		12.6		15.3
$t_{WLH}$	Длительность лог. единицы или лог. нуля глобального тактового сигнала	2.8		4.0		4.5	
$t_{PLH}$	Длительность лог. единицы или лог. нуля тактового сигнала PTC	5.0		6.5		7.0	

#### 16.4. Параметры временной модели

В Табл. 14 приведены параметры временной модели микросхем XC9572XL в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

Таблица 14. Параметры временной модели микросхем XC9572XL

Обозначение	Параметр	XC9572XL-5		XC9572XL-7		XC9572XL-10	
		min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		1.5		2.3		3.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.1		1.5		1.8
$t_{GSR}$	Задержка на буфере глобального сброса/установки		2.0		3.1		4.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		4.0		5.0		7.0
$t_{OUT}$	Задержка на выходном буфере		2.0		2.5		3.0
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		1.6		2.4		2.7
$t_{PTSR}$	Задержка PTS		1.0		1.4		1.8
$t_{PTTS}$	Задержка PTOE		5.5		7.2		7.5
$t_{PDI}$	Задержка на комбинаторной логике		0.5		1.3		1.7
$t_{SUI}$	Предустановка данных на входе регистра	2.3		2.6		3.0	
$t_{HI}$	Удержание данных на входе регистра	1.4		2.2		3.5	
$t_{ECSU}$	Предустановка сигнала CE (разрешение тактирования)	2.3		2.6		3.0	
$t_{ECHO}$	Удержание сигнала CE	1.4		2.2		3.5	
$t_{COI}$	Время срабатывания регистра		0.4		0.5		1.0
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.0		6.5		7.0
$t_{RAI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	5.0		7.5		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		1.0		1.4		1.8
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		5.0		6.4		7.3
$t_F$	Задержка по обратной связи от ПМ		1.9		3.5		4.2
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		0.7		0.8		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		3.0		4.0		4.5

## 16.5. Корпуса

Микросхема XC9572XL может поставляться в пяти корпусах: PLCC-44, VQFP-44, CSP-48, VQFP-64 и TQFP-100. В корпусах PLCC-44, VQFP-44 и TQFP-100 микросхема XC9572XL совместима по выводам с XC9572. В Табл. 15 представлены контакты специального назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, неглобальные.

Таблица 15. Контакты специального назначения

Назначение контакта	PLCC-44	VQFP-44	VQFP-64	CSP-48	TQFP-100
GCK1	5	43	15	B7	22
GCK2	6	44	16	B6	23
GCK3	7	1	17	A7	27
GTS1	42	36	5	E6	3
GTS2	40	34	2	F6	4
GSR	39	33	64	G7	99
TCK	17	11	30	A1	48
TDI	15	9	28	B3	45
TDO	30	24	53	G2	83
TMS	16	10	29	A2	47
$V_{CCINT}$ 3.3 В	21, 41	15, 35	3, 37	C1, F7	5, 57, 98
$V_{CCIO}$ 2.5 В/3.3 В	32	26	55	G3	26, 38, 51, 88
GND	23, 10, 31	17, 4, 25	14, 21, 41, 54	A5, D1, F3	21, 31, 44, 62, 69, 75, 84, 100
Не используются	—	—	—	—	2, 7, 19, 24, 34, 43, 46, 73, 80

## 16.6. Обозначение микросхем XC9572XL

На Рис. 22 представлен способ обозначения микросхем XC9572XL в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.

В Табл. 16 представлены все варианты выпускаемых в настоящее время микросхем XC9572XL.

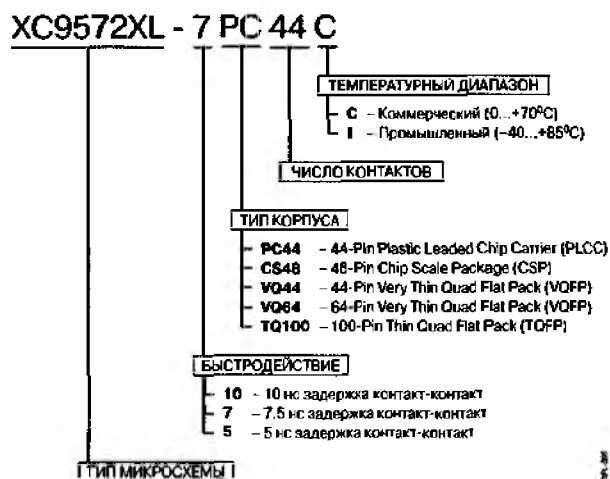


Рис. 22. Обозначение микросхем XC9572XL

Таблица 16. Варианты выпускаемых в настоящее время микросхем XC9572XL

Прибор		PC-44	VQ-44	CS-48	VQ-64	TQ-100
XC9572XL	-5	C	C	—	C	C
	-7	C	C	C	C, I	C
	-10	C, I	C, I	C, I	C, I	C, I

## 17. Микросхема XC95144XL

### 17.1. Описание

Микросхема XC95144XL — высокопроизводительная CPLD семейства

XC9500XL. Состоит из 8 54V18 функциональных блоков (144 МЯ), емкостью 3200 логических вентилях и минимальной задержкой распространения сигнала контакт-контакт 5 нс.

### 17.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех макроячеек из высокоскоростного режима в

ьт

режим низкого потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$I_{cc} [mA] = 0.5MC_{nr} + 0.3MCLr + 0.0045MC / f$  где  $MC_{nr}$  — количество макроячеек в высокопроизводительном режиме,

$MCLr$  — количество макроячеек в режиме малого потребления,

$MC$  — общее количество задействованных макроячеек,

$f$  — частота [МГц].

На Рис. 23 показано типичное потребление для XC95144XL в обоих режимах.

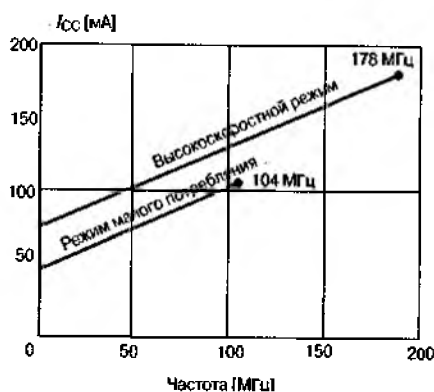


Рис. 23. Типичное потребление тока микросхемой XC95144XL

### 17.3. Динамические параметры микросхем XC95144XL

В Табл. 77 приведены динамические параметры микросхем XC95144XL в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, а частоты в МГц.

### 17.4. Параметры временной модели

В Табл. 18 приведены параметры временной модели микросхем XC95144XL в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.



Таблица 17. Динамические параметры микросхем XC95144XL

Обозначение	Параметр	XC95144XL-5		XC95144XL-7		XC95144XL-10	
		min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинаторная логика — выход микросхем		5.0		7.5		10.0
$t_{SU}$	Время установки глобального тактового сигнала	3.7		4.8		6.5	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		3.5		4.5		5.8
$t_{SYSTEM}$	Системная частота, задействованы все ФБ		178.6		125.0		100.0
$t_{PSU}$	Время установки тактового сигнала PTC	1.7		1.6		2.1	
$t_{PH}$	Время удержания данных после тактового сигнала PTC	2.0		3.2		4.4	
$t_{PCO}$	Задержка тактового сигнала PTC до выхода		5.5		7.7		10.2
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		4.0		5.0		7.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		4.0		5.0		7.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		7.0		9.5		11.0
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		7.0		9.5		11.0
$t_{AO}$	Задержка глобального сброса/установки		10.0		12.0		14.5
$t_{PAO}$	Задержка сигнала по цепи PTS		10.5		12.6		15.3
$t_{WLH}$	Длительность лог. единицы или лог. нуля глобального тактового сигнала	2.8		4.0		4.5	
$t_{PLH}$	Длительность лог. единицы или лог. нуля тактового сигнала PTC	5.0		6.5		7.0	

Таблица 18. Параметры временной модели микросхем XC95144XL

Обозначение	Параметр	XC95144XL-5		XC95144XL-7		XC95144XL-10	
		min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		1.5		2.3		3.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.1		1.5		1.8
$t_{GSR}$	Задержка на буфере глобального сброса/установки		2.0		3.1		4.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		4.0		5.0		7.0
$t_{OUT}$	Задержка на выходном буфере		2.0		2.5		3.0
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		1.6		2.4		2.7
$t_{PTSR}$	Задержка PTS		1.0		1.4		1.8
$t_{PTTS}$	Задержка PTOE		5.5		7.2		7.5
$t_{PDI}$	Задержка на комбинаторной логике		0.5		1.3		1.7
$t_{SUI}$	Предустановка данных на входе регистра	2.3		2.6		3.0	
$t_{HI}$	Удержание данных на входе регистра	1.4		2.2		3.5	
$t_{ECSU}$	Предустановка сигнала CE (разрешение тактирования)	2.3		2.6		3.0	
$t_{ECHO}$	Удержание сигнала CE	1.4		2.2		3.5	
$t_{COI}$	Время срабатывания регистра		0.4		0.5		1.0
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.0		6.4		7.0
$t_{RAI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	5.0		7.5		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		1.0		1.4		1.8
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		5.0		6.4		7.3
$t_F$	Задержка по обратной связи от ПМ		1.9		3.5		4.2
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		0.7		0.8		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		3.0		4.0		4.5

### 17.5. Корпуса

Микросхема XC95144XL может поставляться в трех корпусах: TQFP-100, TQFP-144 и CSP-144. В корпусе TQFP-100 микросхема XC95144XL совместима по выводам с XC95144. В Табл. 19 представлены контакты специального назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, неглобальные.

Таблица 19. Контакты специального назначения

Назначение контакта	TQFP-100	TQFP-144	CSP-144
GCK1	22	30	K2
GCK2	23	32	L1
GCK3	27	38	N2
GTS1	3	5	D4
GTS2	4	6	D3
GTS3	1	2	B1
GTS4	2	3	C2
GSR	99	143	A2
TCK	48	67	L10
TDI	45	63	L9
TDO	83	122	C8
TMS	47	65	N10
$V_{CCINT}$ 3.3 В	5, 57, 98	8, 42, 84, 141	B3, D1, J13, L4
$V_{CCIO}$ 2.5 В/3.3 В	26, 38, 51, 88	1, 37, 55, 73, 109, 127	A1, A13, C7, L7, N1, N13
GND	21, 31, 44, 62, 69, 75, 84, 100	18, 29, 36, 47, 62, 72, 89, 90, 99, 108, 114, 123, 144	B2, B8, B12, C10, E11, G1, G12, G13, K1, M2, M5, M9, M12

## 17.6. Обозначение микросхем XC95144XL

На Рис. 24 представлен способ обозначения микросхем XC95144XL в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.

В Табл. 20 представлены все варианты выпускаемых в настоящее время микросхем XC95144XL.

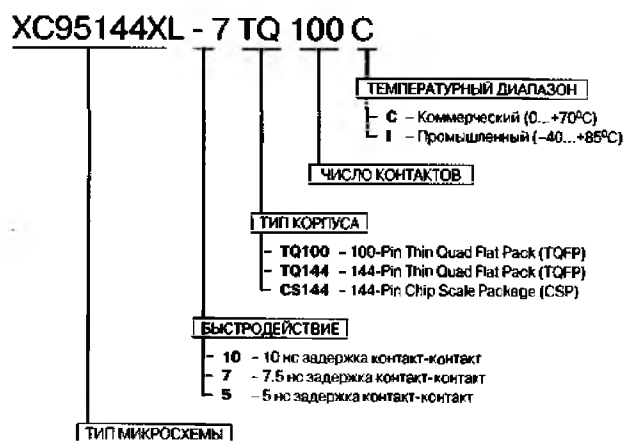


Рис. 24. Обозначение микросхем XC95144XL

Таблица 20. Варианты выпускаемых в настоящее время микросхем XC95144XL

Прибор		TQ-100	TQ-144	CS-144
XC95144XL	-5	C	C	—
	-7	C	C	C
	-10	C, I	C, I	C, I

## 18. Микросхема XC95288XL

### 18.1. Описание

Микросхема XC95288XL — высокопроизводительная CPLD семейства XC9500XL. Состоит из 16 54V18 функциональных блоков (288 МЯ), емкостью 6400 логических вентилей и минимальной задержкой распространения сигнала

контакт-контакт 6 не.

## 18.2. Потребление тока

Потребление тока микросхемой может быть значительно снижено переводом некоторых или всех макроячеек из высокоскоростного режима в режим низкого потребления. Неиспользованные макроячейки отключаются для снижения потребления тока.

Потребление тока конкретным проектом может быть подсчитано при помощи формулы:

$I_{cc} [mA] = 0.5M_{Cnr} + 0.3M_{CLP} + 0.0045MC/f$ , где  $M_{Cnr}$  — количество макроячеек в высокопроизводительном режиме,

$M_{CLP}$  — количество макроячеек в режиме малого потребления,

$MC$  — общее количество задействованных макроячеек,

$f$  — частота [МГц].

На Рис. 25 показано типичное потребление для XC95288XL в обоих режимах.

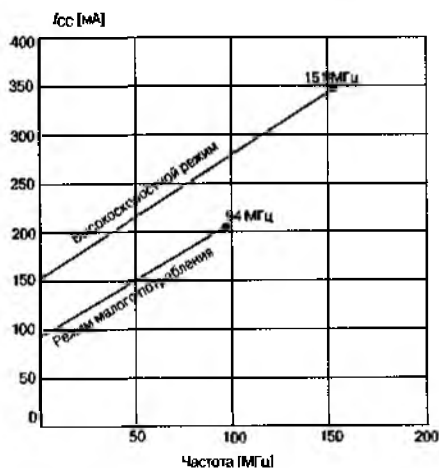


Рис. 25. Типичное потребление тока микросхемой XC95288XL

## 18.3. Динамические параметры микросхем XC95288XL

В Табл. 21 приведены динамические параметры микросхем XC95288XL в зависимости от дифференциации кристаллов по быстродействию. Временные параметры даны в нс, а частоты в МГц.

## 18.4. Параметры временной модели

В Табл. 22 приведены параметры временной модели микросхем XC95288XL в зависимости от дифференциации кристаллов по быстродействию. Параметры даны в нс.

Таблица 21. Динамические параметры микросхем XC95288XL

Обозначение	Параметр	XC95288XL-6		XC95288XL-7		XC95288XL-10	
		min	max	min	max	min	max
$t_{PD}$	Задержка вход микросхемы — комбинаторная логика — выход микросхемы		6.0		7.5		10.0
$t_{SU}$	Время установки глобального тактового сигнала	4.1		4.8		6.5	
$t_H$	Время удержания данных после глобального тактового сигнала	0.0		0.0		0.0	
$t_{CO}$	Задержка глобального тактового сигнала до выхода		4.3		4.5		5.8
$t_{SYSTEM}$	Системная частота, задействованы все ФБ		151.5		125.0		100.0
$t_{PSU}$	Время установки тактового сигнала PTC	2.1		1.6		2.1	
$t_{PH}$	Время удержания данных после тактового сигнала PTC	2.0		3.2		4.4	
$t_{PCO}$	Задержка тактового сигнала PTC до выхода		6.3		7.7		10.2
$t_{OE}$	Задержка сигнала разрешения по цепи GTS		4.5		5.0		7.0
$t_{OD}$	Задержка сигнала запрещения по цепи GTS		4.5		5.0		7.0
$t_{POE}$	Задержка сигнала разрешения по цепи PTOE		8.0		9.5		11.0
$t_{POD}$	Задержка сигнала запрещения по цепи PTOE		8.0		9.5		11.0
$t_{AO}$	Задержка глобального сброса/установки		10.8		12.0		14.5
$t_{PAO}$	Задержка сигнала по цепи PTS		11.6		12.6		15.3
$t_{WLH}$	Длительность поз. единицы или лог. нуля глобального тактового сигнала	3.3		4.0		4.5	
$t_{PLH}$	Длительность лог. единицы или лог. нуля тактового сигнала PTC	6.0		6.5		7.0	

Таблица 22. Параметры временной модели микросхем XC95288XL

Обозначение	Параметр	XC95288XL -6		XC95288XL -7		XC95288XL -10	
		min	max	min	max	min	max
$t_{IN}$	Задержка на входном буфере		1.8		2.3		3.5
$t_{GCK}$	Задержка на глобальном тактовом буфере		1.4		1.5		1.8
$t_{GSR}$	Задержка на буфере глобального сброса/установки		2.2		3.1		4.5
$t_{GTS}$	Задержка на глобальном буфере управления третьим состоянием		4.5		5.0		7.0
$t_{OUT}$	Задержка на выходном буфере		2.4		2.5		3.0
$t_{EN}$	Задержка разрешения/запрещения выхода выходного буфера		0.0		0.0		0.0
$t_{PTCK}$	Задержка PTC		1.6		2.4		2.7
$t_{PTSR}$	Задержка PTS		1.2		1.4		1.8
$t_{PTTS}$	Задержка PTOE		6.2		7.2		7.5
$t_{PDI}$	Задержка на комбинаторной логике		0.6		1.3		1.7
$t_{SUI}$	Предустановка данных на входе регистра	2.5		2.6		3.0	
$t_{HI}$	Удержание данных на входе регистра	1.6		2.2		3.5	
$t_{ECSU}$	Предустановка сигнала CE (разрешение тактирования)	2.5		2.6		3.0	
$t_{ECHO}$	Удержание сигнала CE	1.6		2.2		3.5	
$t_{COI}$	Время срабатывания регистра		0.5		0.5		1.0
$t_{AOI}$	Время асинхронного сброса/установки регистра		6.2		6.4		7.0
$t_{RAI}$	Задержка срабатывания триггера по тактовому входу после асинхронного сброса/установки регистра	6.0		7.5		10.0	
$t_{LOGI}$	Задержка на внутренней логике МЯ		1.2		1.4		1.8
$t_{LOGILP}$	Задержка на внутренней логике МЯ в режиме малого потребления		5.2		6.4		7.3

Таблица 22 (окончание)

Обозначение	Параметр	XC95288XL-6		XC95288XL-7		XC95288XL-10	
		min	max	min	max	min	max
$t_F$	Задержка по обратной связи от ПМ		2.4		3.5		4.2
$t_{PTA}$	Дополнительная задержка при использовании распределителя термов		0.8		0.8		1.0
$t_{SLEW}$	Дополнительная программируемая задержка БВВ		3.5		4.0		4.5

### 18.5. Корпуса

Микросхема XC95288XL может поставляться в корпусах: TQFP-144, PQFP-208, BGA-256 и CSP280. В Табл. 23 представлены контакты специального назначения для конкретного корпуса, все неуказанные контакты являются пользовательскими и доступны для программирования. Контакты GCK, GTS и GSR могут быть запрограммированы и как обычные, неглобальные.

Таблица 23. Контакты специального назначения

Назначение контакта	TQFP-144	PQFP-208	BGA-256	CSP-280
GCK1	30	44	T2	R3
GCK2	32	46	U2	T1
GCK3	38	55	W4	W2
GTS1	5	7	C1	D3
GTS2	6	9	E1	E2
GTS3	2	3	C2	C2
GTS4	3	5	D3	C1
GSR	143	206	A2	C4
TCK	67	98	U16	T15
TDI	63	94	W16	U14
TDO	122	176	B12	D13
TMS	65	96	W17	U15

Таблица 23 (окончание)

$V_{CCINT}$ 3.3 В	8, 42, 84, 141	11, 59, 124, 153, 204	F1, P2, W5, Y9, V10, U13, W18, T20, M19, F20, E17, B17, B14, A10, C7, B3, G4	E1, F2, N3, U5, W9, V9, U12, V16, R17, M18, G18, D19, C18, A15, A11, D8, A4
$V_{CCIO}$ 2.5 В/3.3 В	1, 37, 55, 73, 109, 127	1, 26, 53, 65, 79, 92, 105, 132, 157, 172, 181, 184	D4, D6, D11, D15, D17, F4, F17, K4, L17, R4, R17, U4, U6, U10, U15, U17	C3, F1, K1, N4, V2, T6, T10, V14, V18, P18, K19, G17, C19, D14, D12, D11, A7
GND	18, 29, 36, 47, 62, 72, 89, 90, 99, 108, 114, 123, 144	2, 13, 24, 27, 42, 52, 68, 81, 93, 104, 108, 129, 130, 141, 156, 163, 177, 190, 207	B1, K3, T1, Y5, W10, Y10, Y14, V15, U18, R19, K20, G18, B16, D13, A11, A6, J9, J10, J11, J12, K9, K10, K11, K12, L9, L10, L11, L12, M9, M10, M11, M12	E5, F5, G5, H5, J5, K5, L5, M5, N5, P5, R5, R6, R7, R8, R9, R10, R11, R12, R13, R14, R15, P15, N15, M15, L15, K15, J15, H15, G15, F15, E15, E14, E13, E12, E11, E10, E9, E8, E7, E6
Не используются	—	—	A1, A19, A20, B19, B20, C19, W1, W2, W3, W20, Y1	A1, W1, U3, W19, U17, A19, C17, A2, B3, B3

## 18.6. Обозначение микросхем XC95288XL

На Рис. 26 представлен способ обозначения микросхем XC95288XL в зависимости от быстродействия, типа корпуса и рекомендуемого температурного диапазона.

В Табл. 24 представлены все варианты выпускаемых в настоящее время микросхем XC95288XL.

Таблица 24. Варианты выпускаемых в настоящее время микросхем XC95288XL

Прибор	TQ-144	PQ-208	BG-256	CS-280
XC95288XL	-6	C	C	C
	-7	C	C	C
	-10	C, I	C, I	C, I

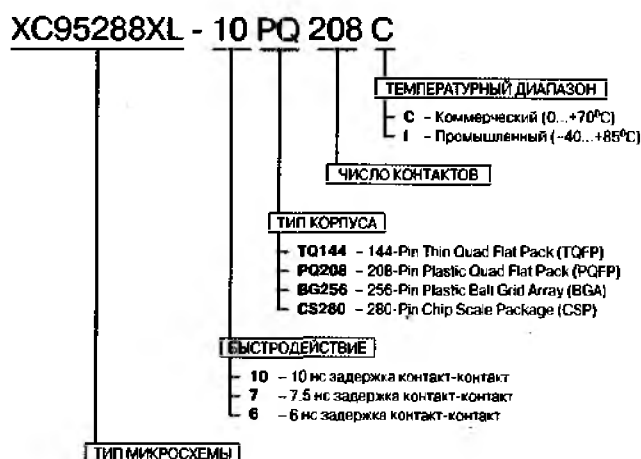


Рис. 26. Обозначение микросхем XC95288XL

### Литература

1. Xilinx Inc. The Programmable Logic Data Book. 1999.
2. Xilinx Inc. The Programmable Logic Data Book. 2000.
3. Xilinx Inc. XCELL. The Quarterly Journal For Xilinx Programmable Logic Users.
4. Test Access Port and Boundary-Scan Architecture. IEEE Standard 1149.1 - 1990 (Includes IEEE Standard 1149.1 a - 1993).
5. П.П. Мальцев, Н.И. Гарбузов, А.П. Шарапов, Д.А. Кнышев. Программируемые логические ИМС на КМОП-структурах и их применение. — М.: Энергоатомиздат, 1998. — 160 с.