

UNIVERSIDADE DE SÃO PAULO (USP)
INSTITUTO DE CIÊNCIAS MATEMÁTICAS E DE COMPUTAÇÃO (ICMC)
DEPARTAMENTO DE CIÊNCIAS DE COMPUTAÇÃO (SCC)

Isabella Arão - 9265732
Marina Fagundes - 9265405
Robson Silva - 7233062

Entrega 1

São Carlos
2023

Isabella Arão - 9265732
Marina Fagundes - 9265405
Robson Silva - 7233062

Entrega 1

Relatório apresentado à disciplina Elementos de Lógica Digital, como parte dos requisitos para aprovação na matéria oferecida pela Universidade de São Paulo, na área de Computação.

Prof.: Danilo Hernane Spatti
Disciplina: Elementos de Lógica Digital
Turma: Turma SCC 0512

São Carlos
2023

1. Introdução	1
2. Características da placa e tabela verdade	1
3. Simplificação das funções	2
3.1. Mintermos	2
3.2. Simplificações	2
3.2.1. Letra (a)	3
3.2.2. Letra (b)	4
3.2.3. Letra (c)	4
3.2.4. Letra (d)	5
3.2.5. Letra (e)	5
3.2.6. Letra (f)	6
3.2.7. Letra (g)	6
4. Quartus	6
5. Referências bibliográficas	8
6. Apêndices	9
6.1. Circuitos	9
6.1.1. Circuito a	9
6.1.2. Circuito b	10
6.1.3. Circuito c	11
6.1.4. Circuito d	12
6.1.5. Circuito e	13
6.1.6. Circuito f	14
6.1.7. Circuito g	15
6.2. Blocos	16
6.2.1. Parte I tutorial Quartus	16
6.2.1 Parte II tutorial Quartus	17
6.2.3 Parte III tutorial Quartus	18
6.2.4. Bloco único	19
6.2.5. Imagens FPGA	21

1. Introdução

O presente trabalho tem como objetivo a construção de um display de 7 segmentos a partir de uma tabela verdade e da simplificação de funções digitais. Além dos passos para tal simplificação, apresentamos também a sua implementação e simulação no software *Quartus*, nos tópicos (4) e (6).

2. Características da placa e tabela verdade

A placa a ser trabalhada é a DE2-115 Cyclone IV E, ou seja, é uma placa do tipo ânodo comum, que acende os LEDs em baixo nível.

Figura 1 - Tabela verdade para placa do tipo ânodo comum.

Caracteres Decimal	Display Hexadecimal	Entradas				Saídas (a. c.)						
		D3	D2	D1	D0	a	b	c	d	e	f	g
0	0000000000000000	0	0	0	0	0	0	0	0	0	0	1
1	0000000000000001	0	0	0	1	1	0	0	1	1	1	1
2	0000000000000010	0	0	1	0	0	0	1	0	0	1	0
3	0000000000000011	0	0	1	1	0	0	0	0	1	1	0
4	0000000000000100	0	1	0	0	1	0	0	1	1	0	0
5	0000000000000101	0	1	0	1	0	1	0	0	1	0	0
6	0000000000000110	0	1	1	0	0	1	0	0	0	0	0
7	0000000000000111	0	1	1	1	0	0	0	1	1	1	1
8	0000000000001000	1	0	0	0	0	0	0	0	0	0	0
9	0000000000001001	1	0	0	1	0	0	0	0	1	0	0
10	0000000000010000	1	0	1	0	0	0	0	1	0	0	0
11	0000000000010001	1	0	1	1	1	1	0	0	0	0	0
12	0000000000010010	1	1	0	0	0	1	1	0	0	0	1
13	0000000000010011	1	1	0	1	1	0	0	0	0	1	0
14	0000000000010100	1	1	1	0	0	1	1	0	0	0	0
15	0000000000010101	1	1	1	1	0	1	1	1	0	0	0

Fonte: Material didático da disciplina SCC0512 (2023).

3. Simplificação das funções

3.1. Mintermos

A forma trabalhada para simplificação das funções digitais foi a partir dos mintermos. Analisando a tabela verdade, usamos os mintermos, pois são os que apresentam menos resultado 1 nas saídas, o que faz o trabalho da simplificação ser mais simples.

Os mintermos são produtos de variáveis de entrada não repetidas, que resultam em nível alto (1 — lógica direta). A partir do produto desses termos, somamos os termos independentes, para encontrar a função digital pretendida. Depois disso, começamos as simplificações necessárias, que estão listadas a seguir em cada letra, que representa uma saída (letra a até g).

3.2. Simplificações

Abaixo, listamos a seguir as funções que podem ser usadas para criar as equações a serem simplificadas:

- 1)** $a * b = a \text{ AND } b;$
- 2)** $a + b = a \text{ OR } b;$
- 3)** $/a = \text{NOT } a;$
- 4)** $/(a * b) = a \text{ NAND } b;$
- 5)** $/(a + b) = a \text{ NOR } b;$
- 6)** $a (+) b = a \text{ XOR } b = a * /b + /a * b;$

E as simplificações e propriedades utilizadas ao longo do processo foram:

- 1)** Se $x = 0 \rightarrow /x = 1;$
- 2)** Se $x = 1 \rightarrow /x = 0;$
- 3)** $x * 0 = 0;$
- 4)** $x + 1 = 1;$
- 5)** $x * 1 = x;$
- 6)** $x + 0 = x;$
- 7)** $x * x = 0$

- 8)** $x + x = x;$
9) $x * /x = 0;$
10) $x + /x = 1;$
11) $a * b = b * a;$
12) $a + b = b + a;$
13) $a * (b * c) = (a * b) * c;$
14) $a + (b + c) = (a + b) + c;$
15) $a * (b + c) = a * b + a * c;$
16) $a + (a * b) = a;$
17) $a * (a + b) = a;$
18) $(a * b) + (a * /b) = a * (b + /b) = a;$
19) $(a + b) * (a + /b) = a;$

Destacamos as duas últimas simplificações, que são decorrentes do teorema de DeMorgan:

- 20)** $/(x + y) = /x * /y;$
21) $/(x * y) = /x + /y.$

Com isso, montamos e simplificamos as equações, por mintermos, para cada uma das sete saídas.

3.2.1. Letra (a)

$$S = \Sigma_{(D3, D2, D1, D0)} 1, 4, 11, 13$$

$$(/D3 * /D2 * /D1 * D0) + (/D3 * D2 * /D1 * /D0) + (D3 * /D2 * D1 * D0) + (D3 * D2 * /D1 * D0)$$

$$/D3 * /D1 * (/D2 * D0 + D2 * /D0) + D3 * D0 * (/D2 * D1 + D2 * /D1)$$

$$/D3 * /D1 * (D2 (+) D0) + D3 * D0 * (D2 (+) D1)$$

3.2.2. Letra (b)

$$S = \Sigma_{(D3, D2, D1, D0)} 5, 6, 11, 12, 14, 15$$

$$(/D3 * D2 * /D1 * D0) + (/D3 * D2 * D1 * /D0) + (D3 * /D2 * D1 * D0) + (D3 * D2 * /D1 * /D0) \\ + (D3 * D2 * D1 * /D0) + (D3 * D2 * D1 * D0)$$

$$/D3 * D2 * (/D1 * D0 + D1 * /D0) + D3 * D2 * D1 * (/D0 + D0) + D3 * /D2 * D1 * D0 \\ + (D3 * D2 * /D1 * /D0)$$

$$/D3 * D2 * (D1 (+) D0) + D3 * D2 * D1 + D3 * /D2 * D1 * D0 + D3 * D2 * /(D1 + D0)$$

$$/D3 * D2 * (D1 (+) D0) + D3 * D2 * (/D1 + D0 + D1) + D3 * /D2 * D1 * D0$$

3.2.3. Letra (c)

$$S = \Sigma_{(D3, D2, D1, D0)} 2, 12, 14, 15$$

$$(/D3 * /D2 * D1 * /D0) + (D3 * D2 * /D1 * /D0) + (D3 * D2 * D1 * /D0) + (D3 * D2 * D1 * D0)$$

$$(/D3 * /D2 * D1 * /D0) + (D3 * D2 * /D1 * /D0) + D3 * D2 * D1 * (/D0 + D0)$$

$$(/D3 * /D2 * D1 * /D0) + (D3 * D2 * /D1 * /D0) + D3 * D2 * D1$$

$$(/D3 * /D2 * D1 * /D0) + D3 * D2 * (/D1 * /D0 + D1)$$

3.2.4. Letra (d)

$$S = \Sigma_{(D3, D2, D1, D0)} 1, 4, 7, 10, 15$$

$$(/D3 * /D2 * /D1 * D0) + (/D3 * D2 * /D1 * /D0) + (/D3 * D2 * D1 * D0) + (D3 * /D2 * D1 * /D0) \\ + (D3 * D2 * D1 * D0)$$

$$D2 * D1 * D0 * (/D3 + D3) + /D3 * /D1 * (/D2 * D0 + D2 * /D0) + D3 * /D2 * D1 * /D0$$

$$D2 * D1 * D0 + /D3 * /D1 * (D2 (+) D0) + D3 * /D2 * D1 * /D0$$

$$D2 * D1 * D0 + /D3 * /D1 * (D2 (+) D0) + D3 * D1 * /(D2 + D0)$$

3.2.5. Letra (e)

$$S = \Sigma_{(D3, D2, D1, D0)} 1, 3, 4, 5, 7, 9$$

$$(/D3 * /D2 * /D1 * D0) + (/D3 * /D2 * D1 * D0) + (/D3 * D2 * /D1 * /D0) + (/D3 * D2 * /D1 * D0) \\ (/D3 * D2 * D1 * D0) + (D3 * /D2 * /D1 * D0)$$

$$/D3 * /D1 * (/D2 * D0 + D2 * /D0) + /D3 * D1 * D0 * (/D2 + D2) \\ + /D1 * D0 * (/D3 * D2 + D3 * /D2)$$

$$/D3 * /D1 * (D2 (+) D0) + /D3 * D1 * D0 + /D1 * D0 * (D3 (+) D2)$$

$$/(D3 + D1) * (D2 (+) D0) + D0 * (/D3 * D1 + /D1 * (D3 (+) D2)$$

$$/(D3 + D1) * (D2 (+) D0) + D0 * (/D3 * D1 + D3 * /D1 (+) D2 * /D1)$$

$$/(D3 + D1) * (D2 (+) D0) + D0 * (D3 (+) D1 (+) D2 * /D1)$$

3.2.6. Letra (f)

$$S = \Sigma_{(D3, D2, D1, D0)} 1, 2, 3, 7, 13$$

$$(/D3 * /D2 * /D1 * D0) + (/D3 * /D2 * D1 * /D0) + (/D3 * /D2 * D1 * D0) + (/D3 * D2 * D1 * D0) \\ + (D3 * D2 * /D1 * D0)$$

$$/D3 * /D2 * (/D1 * D0 + D1 * /D0) + /D3 * D1 * D0 * (/D2 + D2) + (D3 * D2 * /D1 * D0)$$

$$/D3 * /D2 * (D1 (+) D0) + /D3 * D1 * D0 + (D3 * D2 * /D1 * D0)$$

$$/D3 * /D2 * (D1 (+) D0) + D0 * (/D3 * D1 + D3 * D2 * /D1)$$

3.2.7. Letra (g)

$$S = \Sigma_{(D3, D2, D1, D0)} 0, 1, 7, 12$$

$$(/D3 * /D2 * /D1 * /D0) + (/D3 * /D2 * /D1 * D0) + (/D3 * D2 * D1 * D0) + (D3 * D2 * /D1 * /D0)$$

$$/D3 * /D2 * /D1 * (/D0 + D0) + (/D3 * D2 * D1 * D0) + (D3 * D2 * /D1 * /D0)$$

$$(/D3 * /D2 * /D1) + (/D3 * D2 * D1 * D0) + (D3 * D2 * /D1 * /D0)$$

4. Quartus

No *Quartus*, desenvolvemos os circuitos a partir das funções digitais simplificadas (item anterior). Cada circuito conta com quatro entradas (D3 — A; D2 — B; D1 — C; D0 — D; e suas respectivas negadas) e com uma saída (identificadas por a, b, c, d, e, f, g). Prezamos por utilizar apenas portas lógicas de duas entradas

em todos os circuitos. No item apêndices (6) estão apresentadas as imagens de cada um dos circuitos.

Após a criação das portas lógicas, definimos os pinos a serem utilizados, tendo como referência o material didático da disciplina e o Manual Cyclone DE2 115. A Tabela abaixo apresenta os pinos de entrada utilizados em cada uma das saídas do display de sete segmentos.

Figura 2 - Tabela de pinos para entradas.

Table 4-1 Pin Assignments for Slide Switches

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
SW[0]	PIN_AB28	Slide Switch[0]	Depending on JP7
SW[1]	PIN_AC28	Slide Switch[1]	Depending on JP7
SW[2]	PIN_AC27	Slide Switch[2]	Depending on JP7
SW[3]	PIN_AD27	Slide Switch[3]	Depending on JP7
SW[4]	PIN_AB27	Slide Switch[4]	Depending on JP7
SW[5]	PIN_AC26	Slide Switch[5]	Depending on JP7
SW[6]	PIN_AD26	Slide Switch[6]	Depending on JP7
SW[7]	PIN_AB26	Slide Switch[7]	Depending on JP7
SW[8]	PIN_AC25	Slide Switch[8]	Depending on JP7
SW[9]	PIN_AB25	Slide Switch[9]	Depending on JP7
SW[10]	PIN_AC24	Slide Switch[10]	Depending on JP7
SW[11]	PIN_AB24	Slide Switch[11]	Depending on JP7
SW[12]	PIN_AB23	Slide Switch[12]	Depending on JP7
SW[13]	PIN_AA24	Slide Switch[13]	Depending on JP7
SW[14]	PIN_AA23	Slide Switch[14]	Depending on JP7
SW[15]	PIN_AA22	Slide Switch[15]	Depending on JP7
SW[16]	PIN_Y24	Slide Switch[16]	Depending on JP7
SW[17]	PIN_Y23	Slide Switch[17]	Depending on JP7

Fonte: Material didático da disciplina SCC0512 (2023).

Os pinos de entrada utilizados foram os SW[0], referente ao PIN_AB28; SW[1], referente ao PIN_AC28; SW[2], referente ao PIN_AC27 e SW[3], referente ao PIN_AD27.

Para cada uma das saídas, usamos os pinos de saída do User Manual Cyclone DE2 115, da Terasic Technologies. A imagem abaixo apresenta os segmentos e as nomenclaturas utilizadas para cada um dos segmentos.

Figura 3 - Pinos referentes a cada saída.

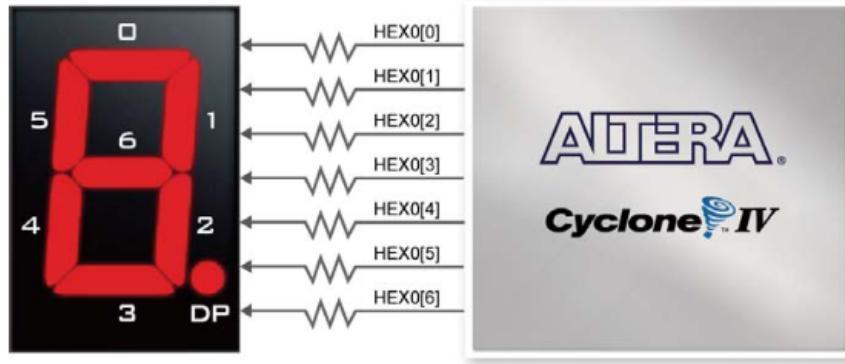


Figure 4-10 Connections between the 7-segment display HEX0 and Cyclone IV E FPGA

Fonte: DE2-115 User Manual

A tabela abaixo correlaciona os displays *a, b, c, d, e, f, g* com os pinos de saída utilizados, assim sendo, os pinos PIN_G18, PIN_F22, PIN_E17, PIN_L26, PIN_L25, PIN_J22 e PIN_H22.

Figura 4 - Tabela de pinos para saída.

<i>Signal Name</i>	<i>FPGA Pin No.</i>	<i>Description</i>	<i>I/O Standard</i>
HEX0[0]	PIN_G18	Seven Segment Digit 0[0]	2.5V
HEX0[1]	PIN_F22	Seven Segment Digit 0[1]	2.5V
HEX0[2]	PIN_E17	Seven Segment Digit 0[2]	2.5V
HEX0[3]	PIN_L26	Seven Segment Digit 0[3]	Depending on JP7
HEX0[4]	PIN_L25	Seven Segment Digit 0[4]	Depending on JP7
HEX0[5]	PIN_J22	Seven Segment Digit 0[5]	Depending on JP7
HEX0[6]	PIN_H22	Seven Segment Digit 0[6]	Depending on JP7

Fonte: DE2-115 User Manual

As funções digitais foram conferidas na FPGA antes e depois de ter sido feito cada bloco. Além disso, foi conferida uma última vez após o término do bloco final.

5. Referências bibliográficas

SPATTI, D. H. **Material didático apresentado na disciplina SCC0512 - Elementos de Lógica Digital.** São Carlos/SP. s.d.

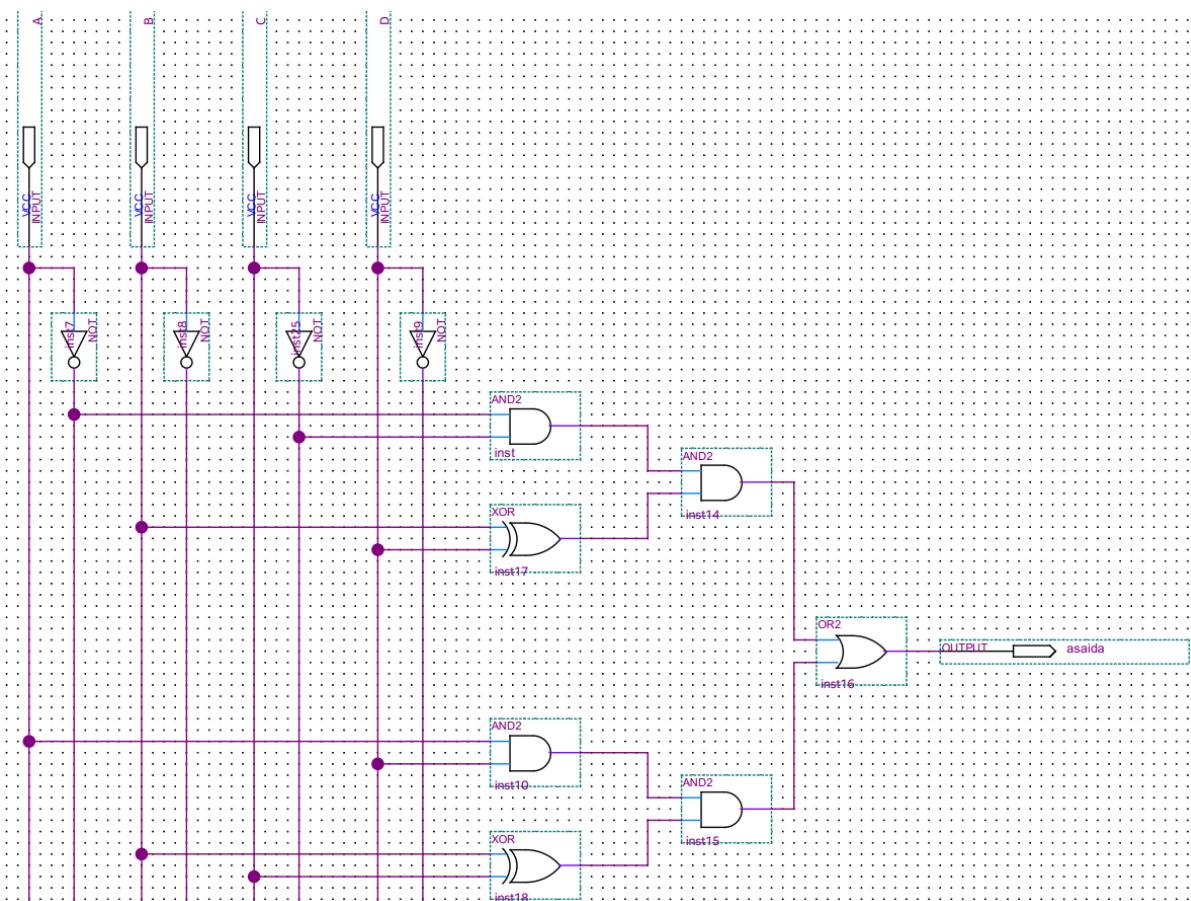
TERASIC TECHNOLOGIES. **DE2-115 User Manual.** 2010.

6. Apêndices

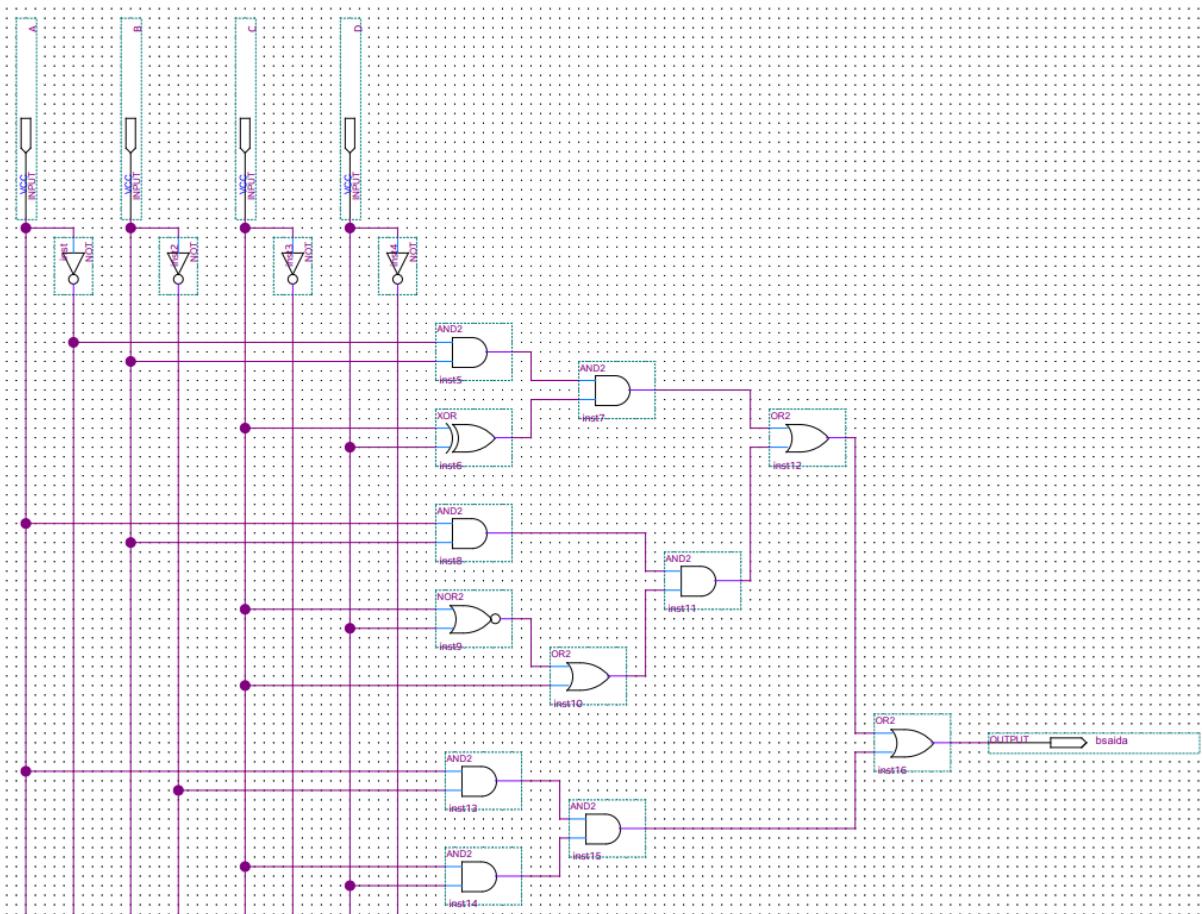
6.1. Circuitos

A partir das funções digitais obtidas no item 3, construímos os circuitos digitais listados abaixo.

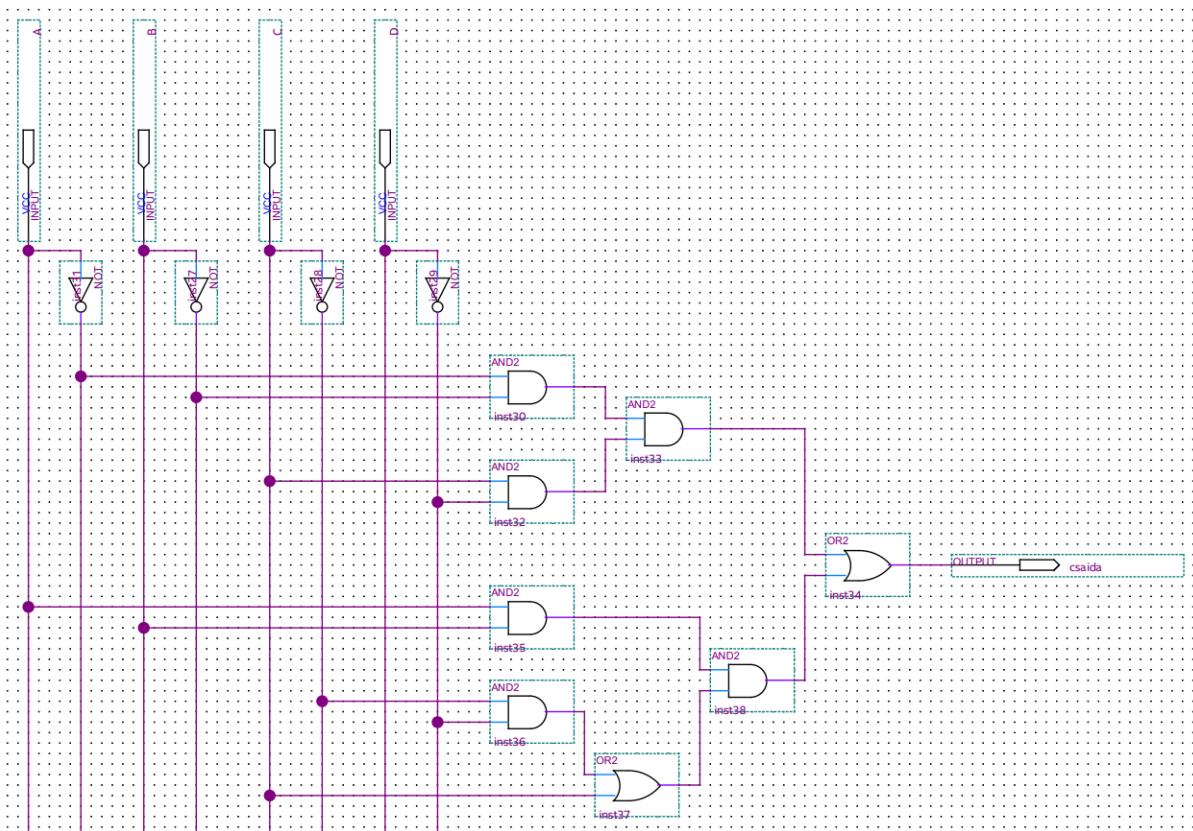
6.1.1. Circuito a



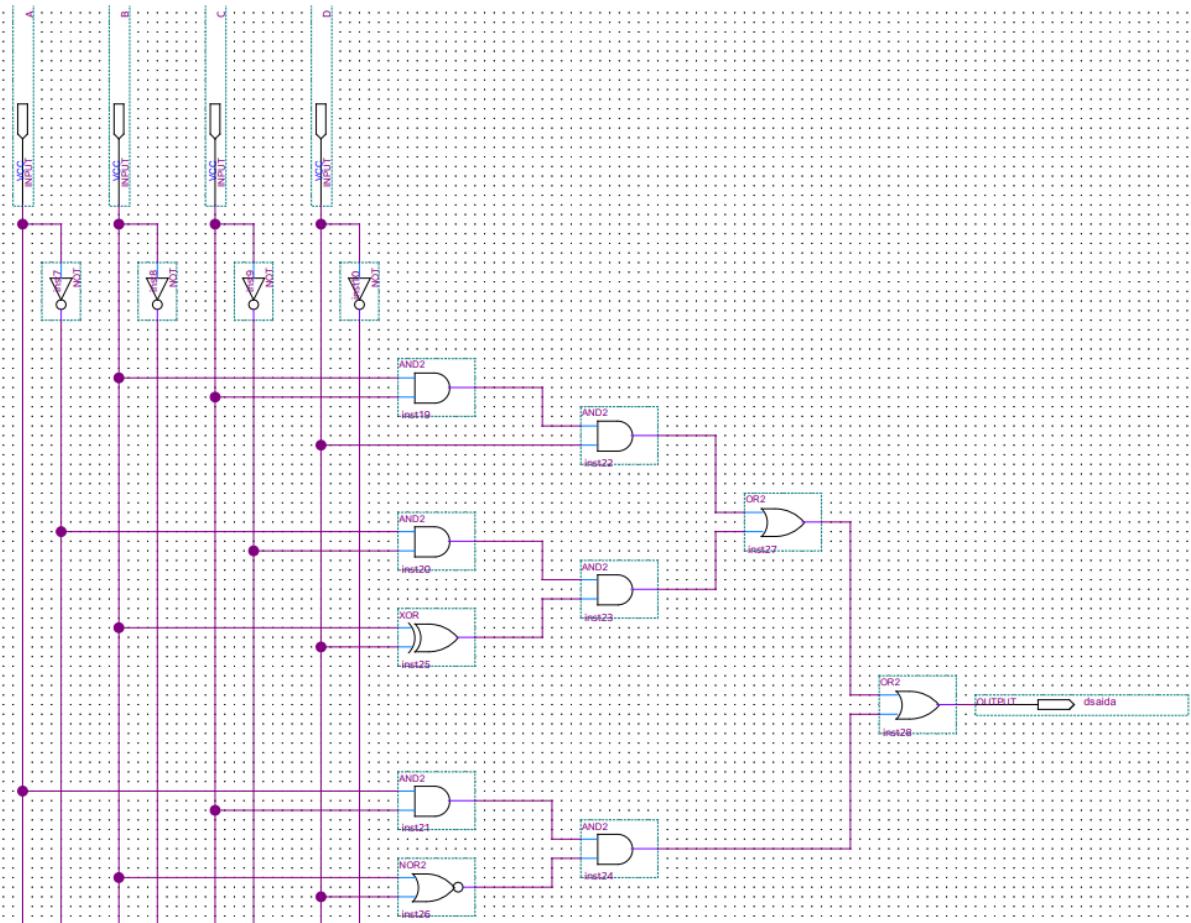
6.1.2. Circuito b



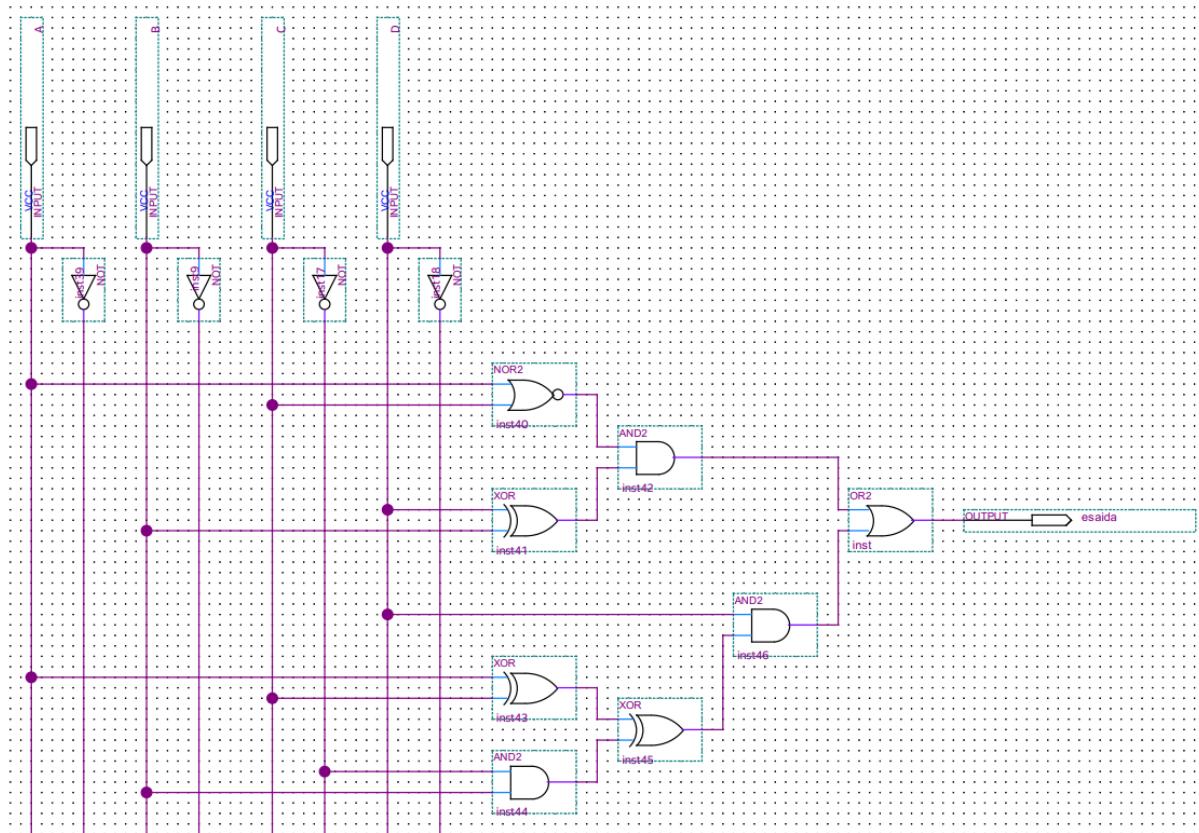
6.1.3. Circuito c



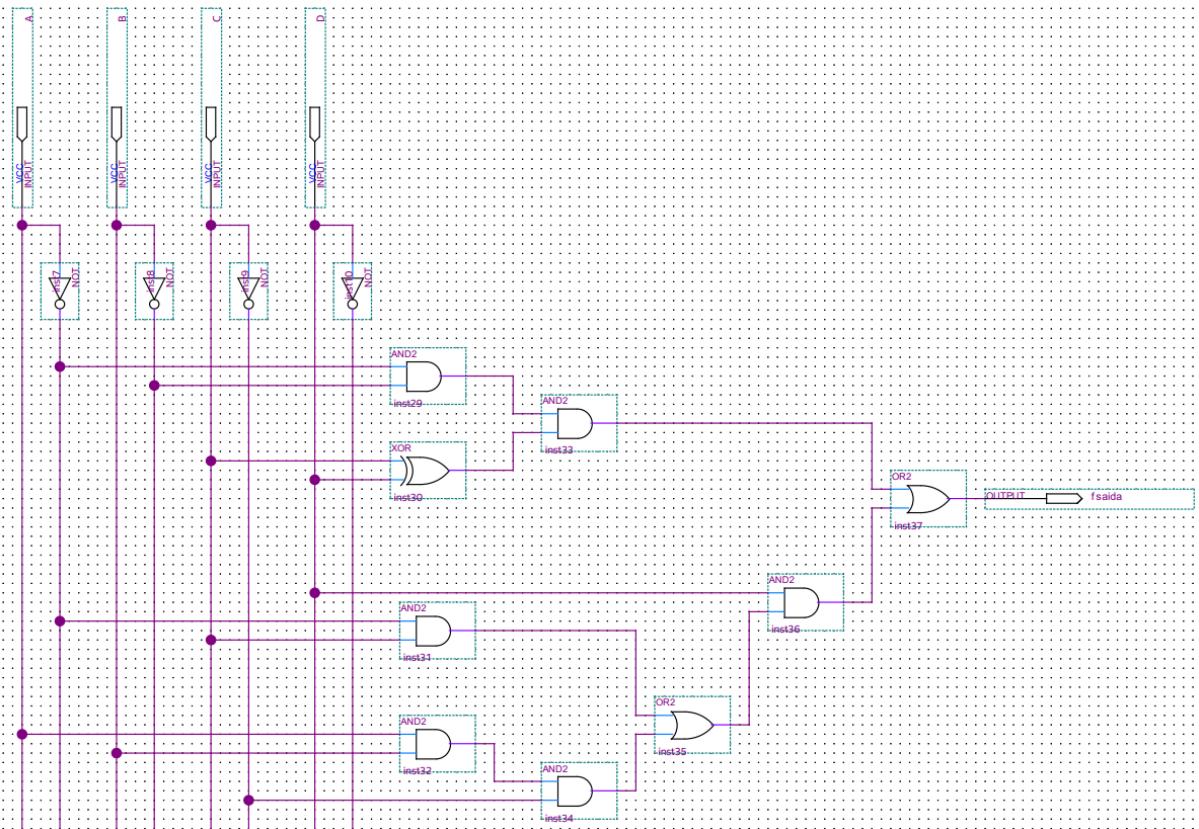
6.1.4. Circuito d



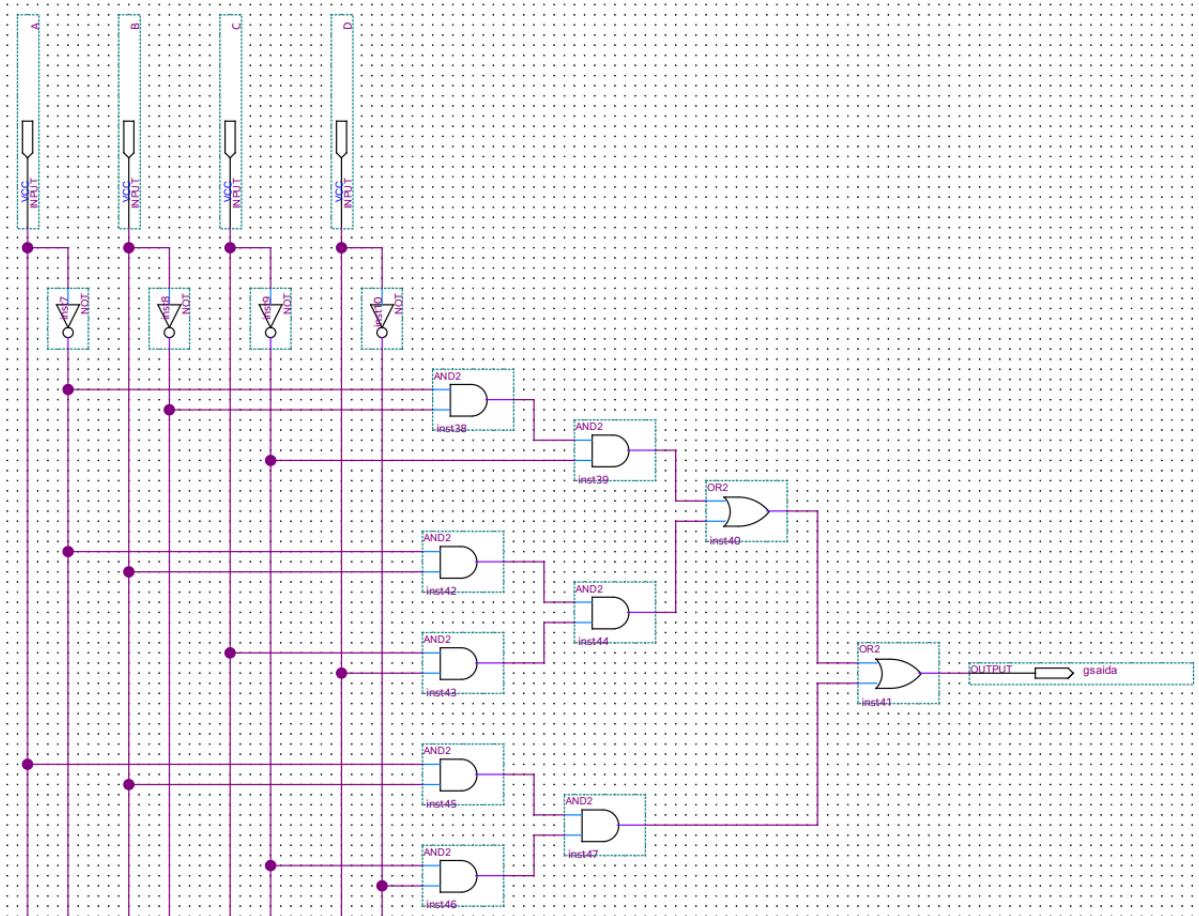
6.1.5. Circuito e



6.1.6. Circuito f



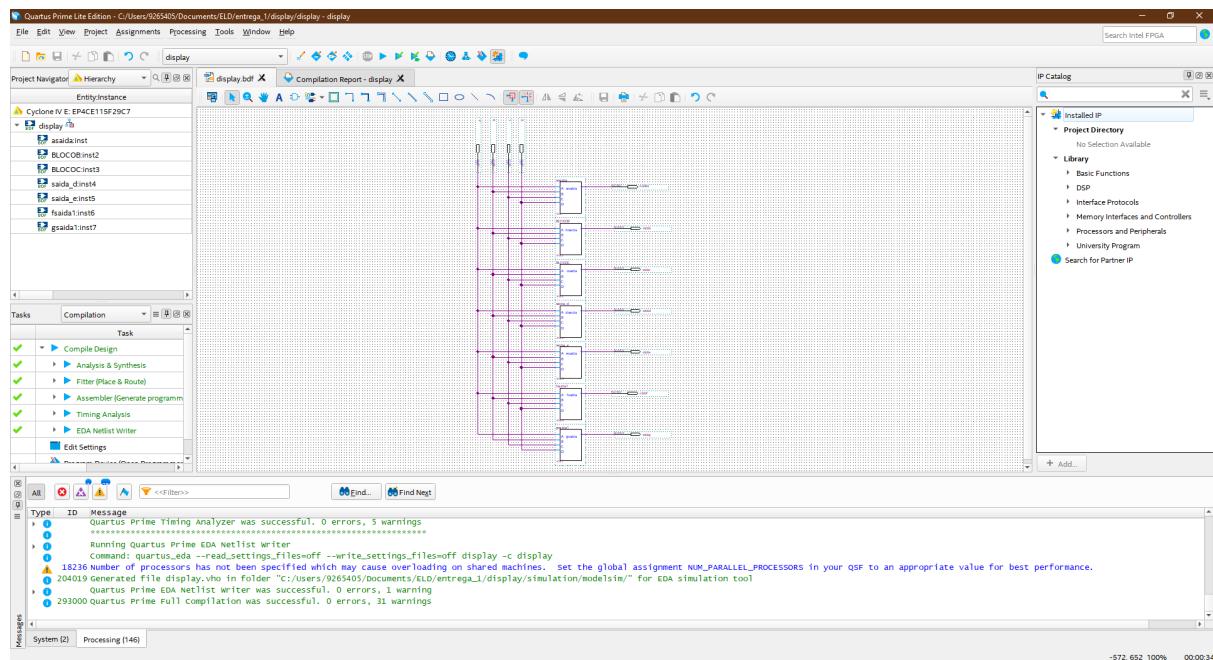
6.1.7. Circuito g



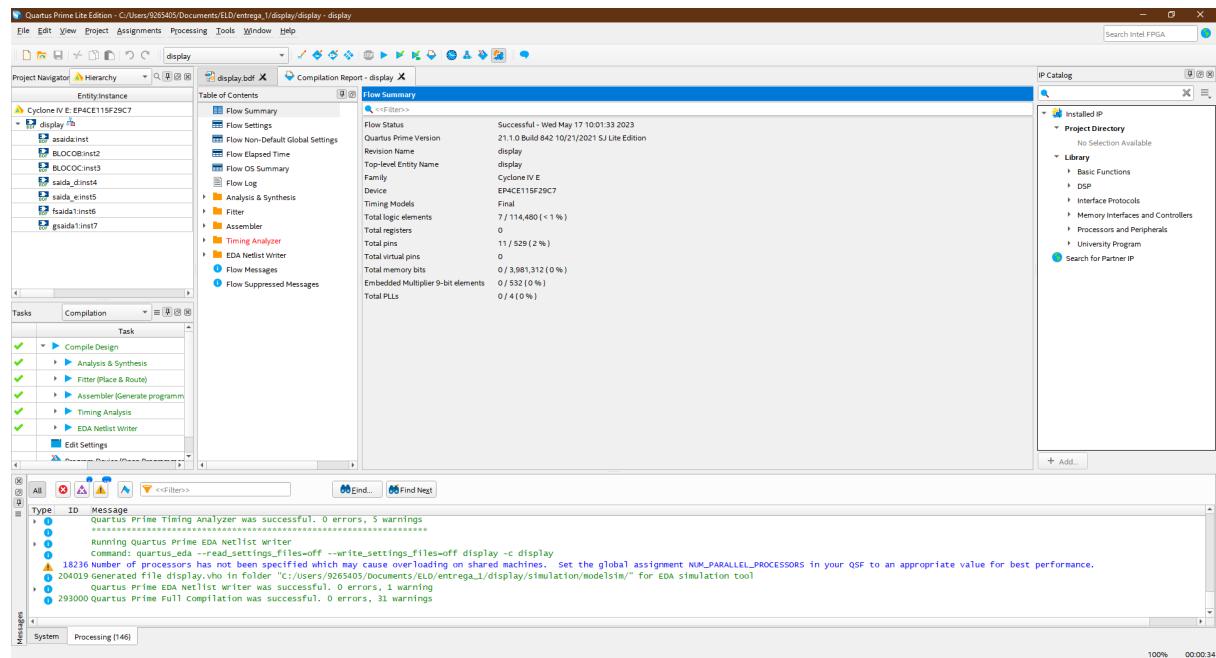
6.2. Blocos

6.2.1. Parte I tutorial Quartus

Feito os blocos individuais a partir dos circuitos listados anteriormente, conectamos todos eles às entradas A, B, C, D, como pode ser visto a seguir.

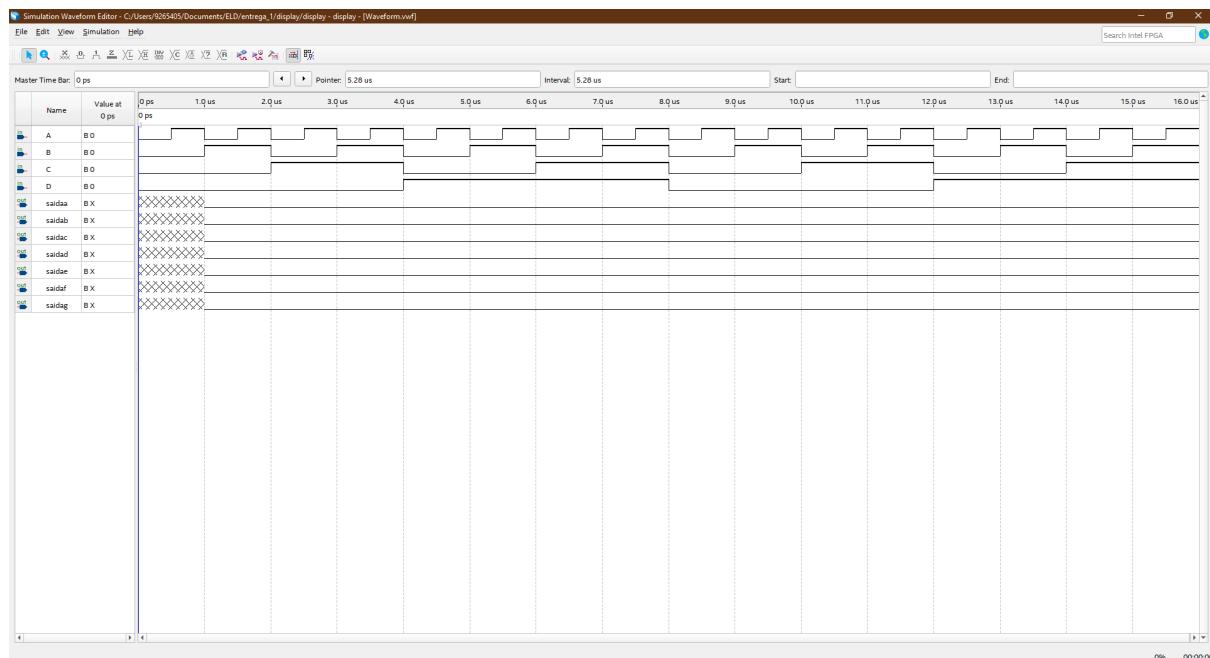


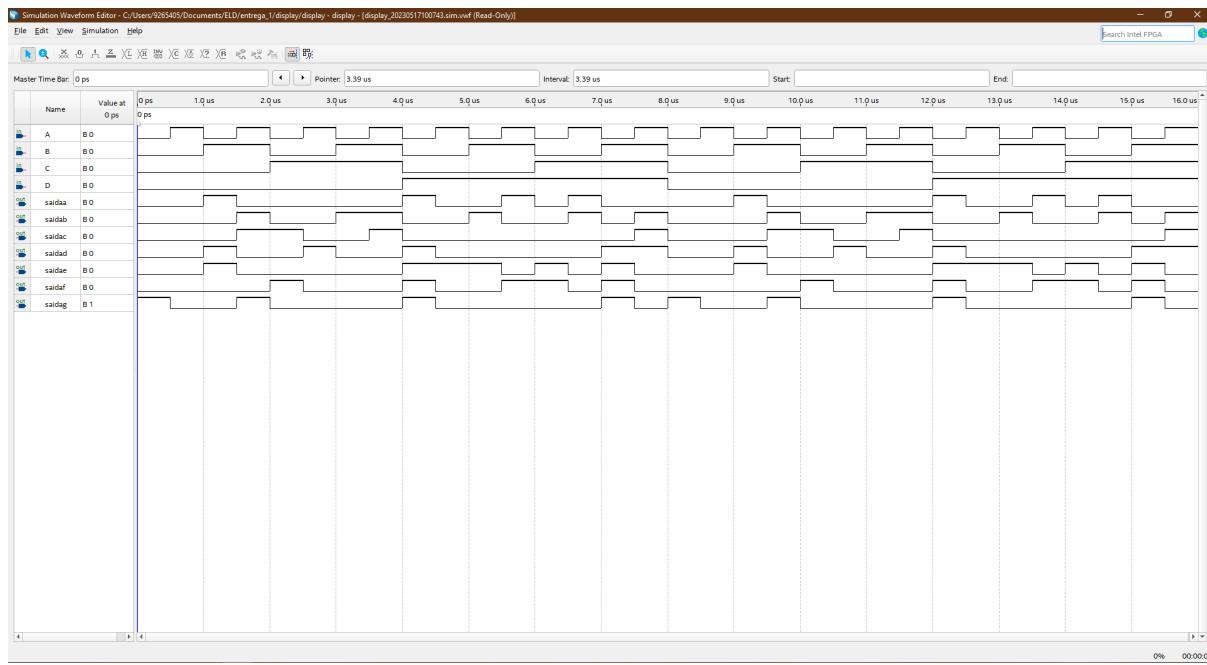
A parte I do tutorial com os blocos de cada circuito foi concluída e a compilação não mostrou nenhum erro.



6.2.1 Parte II tutorial Quartus

Imagens de antes e depois da simulação ser concluída, cada entrada e saída com seus respectivos *clocks*.

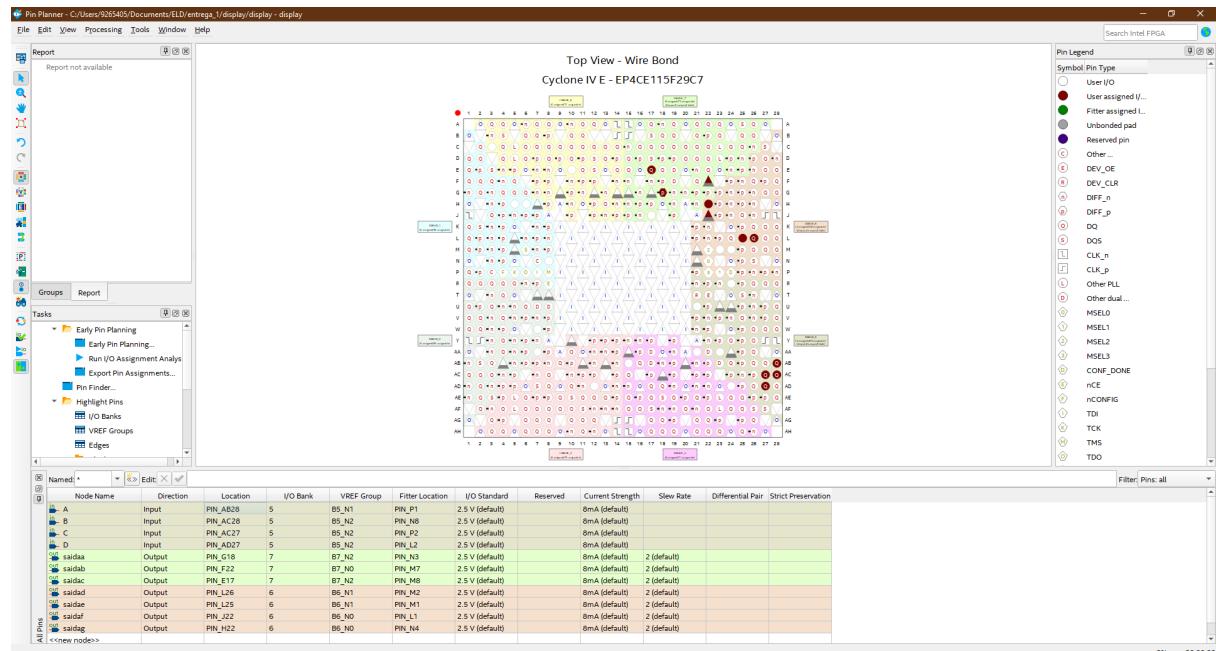




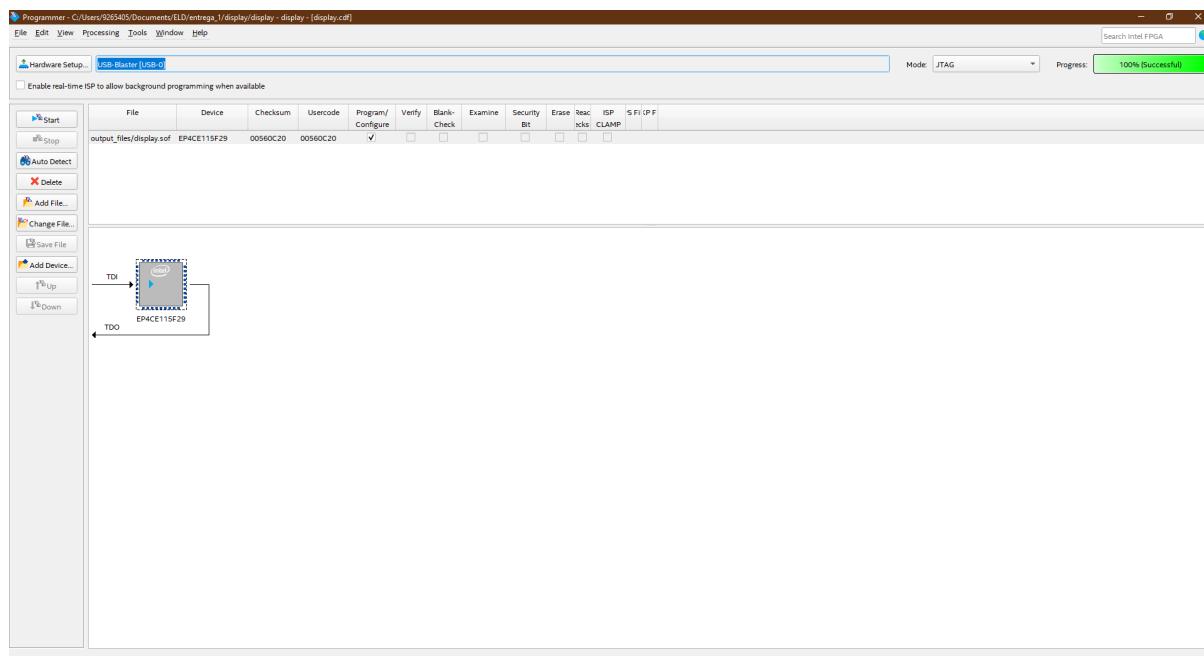
Definimos um período de $16 \mu s$ e o *clock* de A até D é, respectivamente: 1, 2, 4, $8 \mu s$.

6.2.3 Parte III tutorial Quartus

Ao iniciar o tutorial 3, definimos os pinos de cada entrada e saída, como pode ser visto na imagem abaixo no mapa *pin planner*.

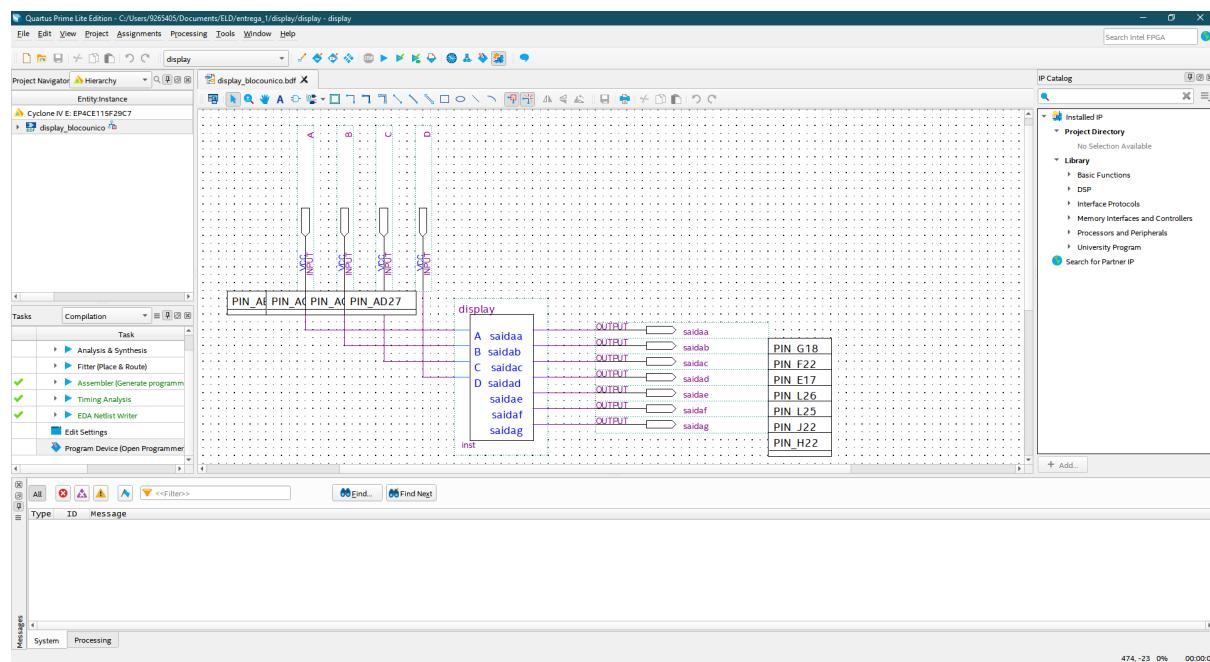


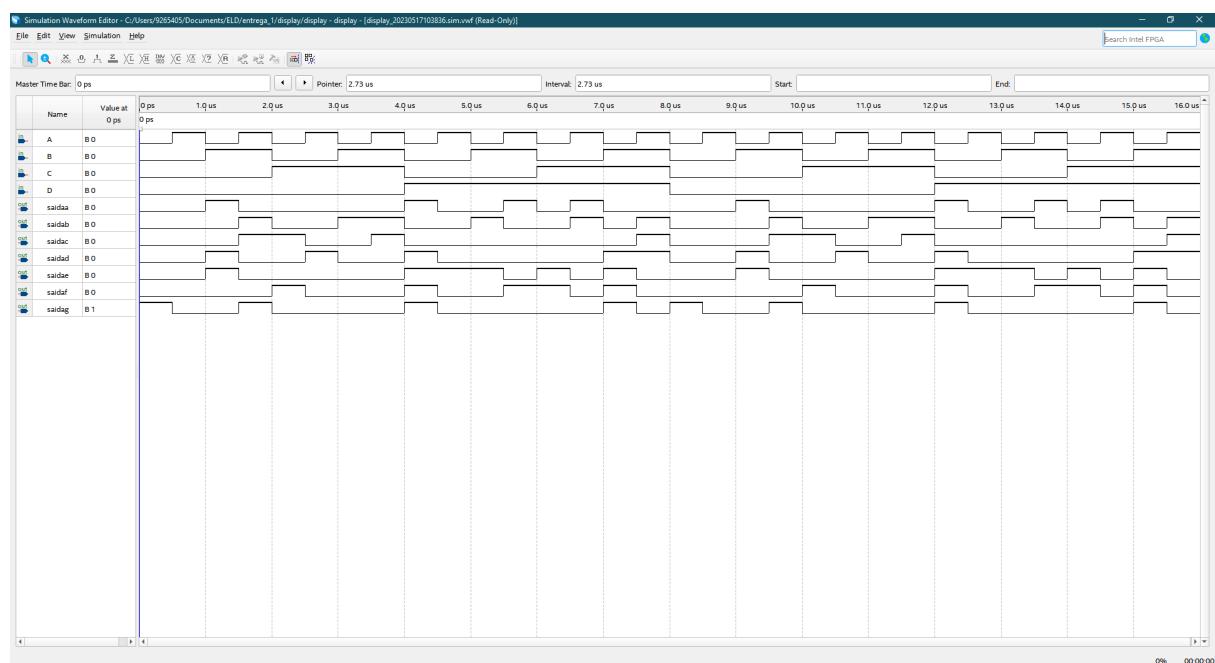
Descarregamos o projeto na FPGA e conseguimos visualizar o resultado.



6.2.4. Bloco único

Ao finalizar os blocos de cada saída, construímos um bloco único que une todos os blocos individuais e fizemos todos os tutoriais novamente para chegar na simulação com sucesso.





6.2.5. Imagens FPGA

Ao finalizar as simulações no *Quartus*, revisamos novamente os circuitos com suas respectivas funções digitais e descarregamos na FPGA para testar, como pode ser visto nas imagens a seguir de cada letra e número no sistema numérico hexadecimal.

