

# 数字系统仿真验证方法

—— 华山论剑

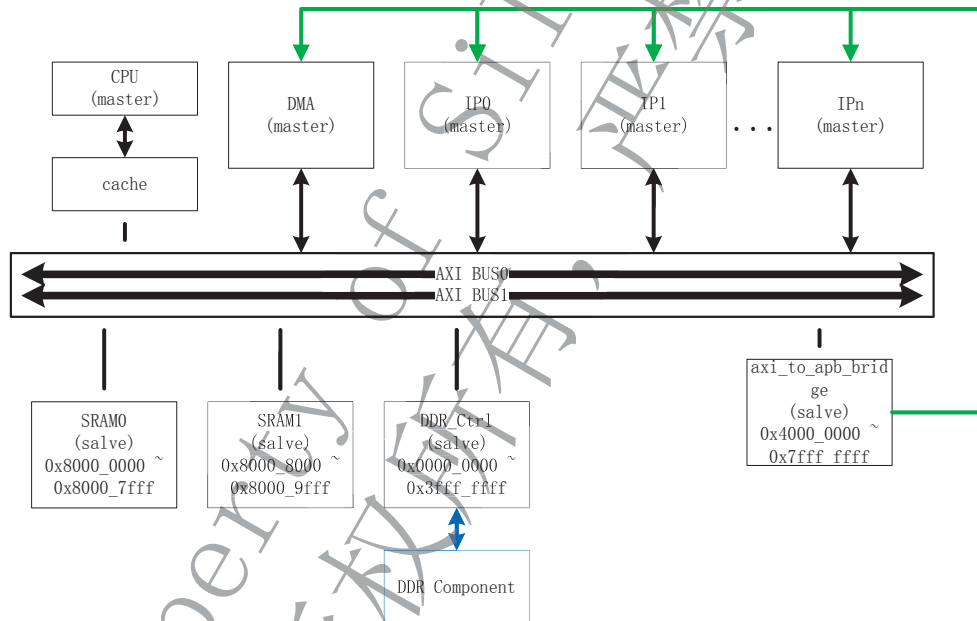
## 1. 数字系统仿真概述

数字 IC 从 1980 年代开始起步，发展。随着设计水平，工艺，EDA 工具的发展，数字系统的集成度，功能复杂度不断提升：从简单的 8051/8086 到今天的 ARM based MCU，wifi/bluetooth，CNN 神经网络加速器，手机/电视 SOC 芯片，Intel/AMD 8 核 16 线程 CPU，功耗超 100W 的 GPU。工艺的演进也带来设计、开发成本的激增：光 tap out 成本就从 0.18um 的十万人民币级增涨到 28nm 的百万级；再到 7nm 更是盛传的亿级。

小码农搬砖的工资不高，一个 BUG，卖身也赔不起啊。咋整？

幸好数字系统(数字 IP/ASIC/SOC)可以仿真验证，只要覆盖的够全，可以保证没有 BUG。那就来看看数字系统仿真验证的各路功夫。

一个简单的数字系统示例（基于 AXI 总线互连的数字系统）：



## 2. 数字系统仿真验证方法

经过近 40 年发展，数字系统的仿真验证已经发展出几大门派，分别介绍如下。

### 2.1. 第一大门派：丐帮

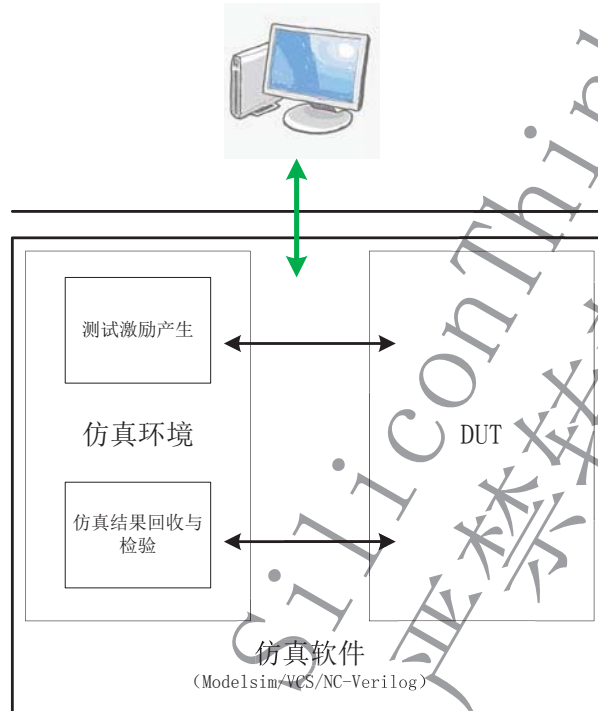
必杀技：基于仿真 tool 的纯软件仿真。

武器：入门级：Modelsim/Questasim；长老级：VCS/NC-Verilog。

早期设计思想：基于 verilog 语言，构建测试环境，测试向量（测试激励）产生，测试结果收集与对比。

稍有内力的，对于一些标准组建（比如 bus 系统的 master/slave 接口），开始构建一些标准的 task/function 用来进行接口逻辑功能的激励输入/结果收集。

内力深厚的，开始使用 verilog 提供的 PLI(programming language interface)/systemverilog 提供的 DPI (direct programming interface)，让 verilog/systemverilog 能够跟其它高级语言联合仿真（比如 C/C++），从而让激励/golden 数据的产生更加顺畅。



Simulation Tool 仿真验证示例

有些有头脑的商人，发现“丐帮”开发一些复杂接口/协议的仿真 model，协议合规性检测有难度，就用一些邪门法术开发了“VIP”这种东西：Verification IP，给“丐帮”提供 VIP 服务。既保留了丐帮的面面，还赚的盆满钵满。比如：AHB/AXI/USB/PCIE/Ethernet/SATA 等标准接口的 VIP。

“丐帮”中也有不甘寂寞的人才，开发出 systemverilog 语言，并基于此开发了验证的新心法：VMM/UVM 验证方法学。此秘籍在“丐帮”高手间广为流传。

对于简单的数字 IP/ASIC 系统，此法快速方便，效率极高。但遇到复杂的 IP/ASIC/SOC，就捉襟见肘，速度奇慢，约在 KHZ 级别，甚至更低。

众长老在多次对战后，总结出本门交战总则，bottom-up 验证：

- 每个小的 IP 有自己的验证环境，尽量 100%覆盖此 IP 的功能。在小系统把小功能验证全面；
  - 再集成数个已经验证的 IP，进行 sub-system 验证，组合成“方阵”；
  - 最后集成数个 sub-system，进行整个 IP/ASIC/SOC 的验证，组合出最终“功能”；
- 因“丐帮”人数众多，用此心法后屡屡得胜，逐渐成为江湖第一门派。

## 2.2. 第二大门派：峨嵋派

必杀技：基于 FPGA 的 HW+SW 联合仿真验证。

武器：入门级：自家开发的 FPGA 验证平台；长老级：S2C 等专业 FPGA 验证平台。

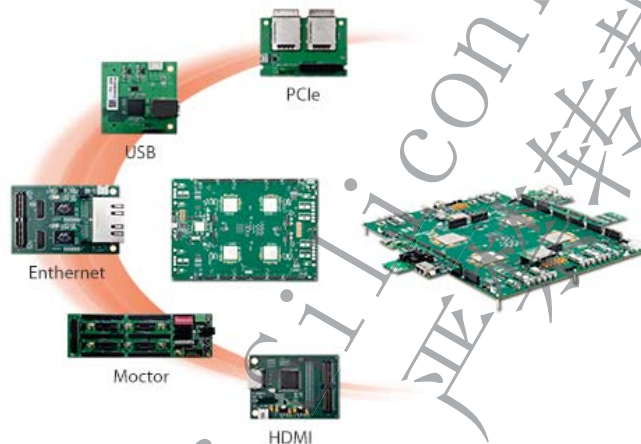
此派追求仿真验证的效率与成本的平衡。“丐帮”纯软件（simulation tool）的仿真，速

度已经不能满足时代的进步，尤其是现在各家自立门户的时代：

- a) IP/ASIC/SOC 规模越来越大，从数万 gate，数百万 gate，到亿 gate 级别。SW sim tool 仿真已经越来越慢；
- b) 随着 SOC 功能增加，需要仿真验证的项目激增；
- c) MCU/CPU 集成进 SOC 后，CPU 需要 SW 才能跑起来。如果使用 SW sim tool 来验证整个系统的功能（整个系统的 HW+SW），一个项目就可以从少年混到老年。

因此，“峨嵋派”决意使用一套新的仿真验证心法：在 FPGA 上，把整个数字系统放入数颗 FPGA 中，联合开发/调试 HW+SW，甚至让整个系统应用跑起来。虽然数字系统在 FPGA 验证平台下的处理能力可能不及最终的 ASIC/SOC 芯片，无法让应用 real-time 处理，但是整个系统的 function, performance 已经能很好的评估，并且 SW 跟 HW 也初步集成并联合调试。芯片回来后，系统能够很快的 boot-up。

用此心法，“峨嵋派”遇海造船，见山开山，在江湖中也鲜有失手，占得一席之地。



S2C 的仿真验证平台

S2C 更多信息: <http://www.s2ceda.com/products/prodigy-prototype-ready-ip>

## 2.3. 第三大门派：古墓派

必杀技：基于 HW emulator 的仿真验证。

武器：HW emulator 平台。

此派乃武林中最神秘莫测的门派，只追求仿真验证的效率，完全不顾成本。目前窥得基本心法如下：

- a) 使用 FPGA 构建大型的硬件平台，能放入巨量级的 ASIC/SOC 系统；
- b) 考虑 simulation tool 的便利性：使用高级语言编写测试激励（可能不可综合）；DUT 内部的所有 signal（或是大量的 signal）可一直观测；平台中会放入 CPU 来执行这部分；
- c) SOC 中的 MCU 是放入 FPGA 的，所以 MCU 的 driver 是在 FPGA 上运行的，通常运行速度在 MHZ 级，已经比纯 simulation tool 仿真快了千倍级；
- d) 运行在验证平台的 CPU 中的测试激励/信号观测通过 DPI 接口与 FPGA 阵列通信，CPU 中还有专门的软件调度整个验证系统在 CPU/FPGA 的仿真进度；

至于具体细节，资质平庸者，仍难领悟。

此派心法深奥，晦涩难懂，能熟练掌握者，江湖中屈指可数，比如：Nvidia, Hisilicon。

猜测：Intel/ADM/ARM/Imagination/展锐/Verisilicon 也略知一二。

HW emulator 平台供应商：

Mentor: <https://www.mentor.com/products/fv/emulation-systems/>

Synopsys: <https://www.synopsys.com/verification/emulation/zebu-server-4.html>

Candence:

[https://www.cadence.com/en\\_US/home/tools/system-design-and-verification/acceleration-and-emulation/palladium-z1.html](https://www.cadence.com/en_US/home/tools/system-design-and-verification/acceleration-and-emulation/palladium-z1.html)

Guys at Berkeley: <https://fires.im/>

## 2.4. 第四大门派：“佛系”

必杀技：“信念”。

武器：读经、拜佛。

此派仿真验证全靠“信念”：写完代码直接集成，跑 FPGA 综合，place&route，然后上板子调试。为心平气和、稳如泰山，每日日出、日落必读经三遍，拜佛五尊。

此门派本为前三大派系中，看破红尘的“扫地僧”所创。但因其名声显赫，且入门心法简单，实操性强，趋之若鹜者盛。尤其盛行于各小型 FPGA 产品开发、应用公司。

此派强者极强，能以一敌百，一夫当关万夫莫开；但是弱者极弱，暴毙街头者无数。可谓鱼龙混则。与此派过招，务必谨慎。

## 2.5. 第五大门派：无门无派

必杀技：无。

武器：无。

此派无自家心法与秘籍，但是博学以上 4 家套路，取长补短，因势而为。实乃武林中的高手。常隐于江湖，难得一见。

## 3. 四大门派战力对比

四大门派战力对比，大致如下：

各门派战力对比						
门派	效果	入门心法	验证环境 初次建立	验证速度	学习成本	使用成本
丐帮		低→高	低→高	低	低→中	低
峨嵋派		高	高	高	高	中
古墓派		极高	极高	极高	极高	极高
佛系		0	0	光速	0	0
						0→∞

群主介绍（QQ 技术交流群：877205676）：

sky：2006 年电子科大毕业；前 Verisilicon Sensor Staff Engineer；数字电路前端设计从业 14 年；主要做视频 IP 设计（H.264/H.265 编解码器设计，JPEG 编解码器设计），CNN 加速器 IP 设计。参与 7 颗 ASIC/SOC 芯片设计（量产 3 颗）。目前申请 3 篇国家发明专利。