



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ
КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)
НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

По лабораторной работе № 4

Название: Исследование синхронных счетчиков

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-45Б

(Группа)

26.05.2022

(Подпись, дата)

С.К.Романов

(И.О. Фамилия)

Преподаватель

С.В.Ибрагимов

(Подпись, дата)

(И.О. Фамилия)

Москва, 2022

Цель работы:

Изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

1. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

- а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения $U=5\text{ В}$ и 0 В (общая);
- б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.
- в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Вариант 18: 10010010

Схема, построенная в Multisim

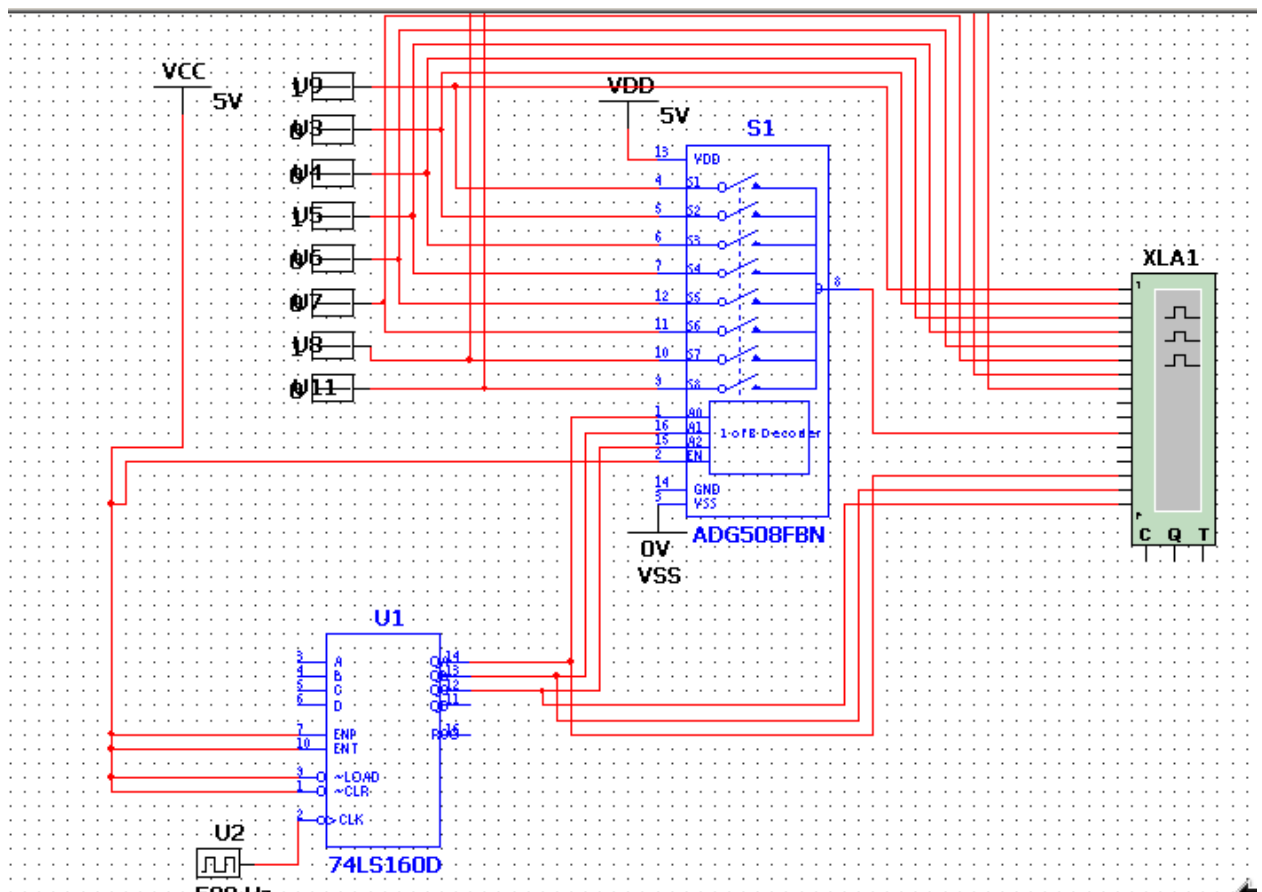


Рис.1-1

Временная диаграмма

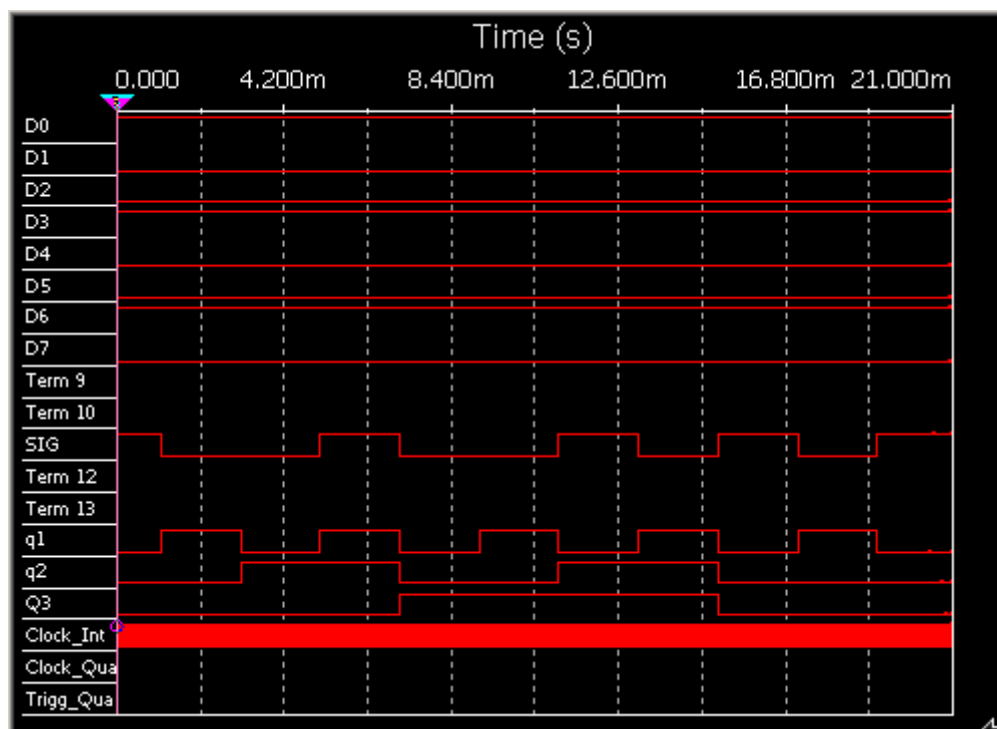


Рис.1-2

На данной диаграмме видно, что мультиплексор можно использовать как адресный коммутатор: он передает на выход информационный сигнал, адрес которого установлен на адресных входах.

2. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

- а. на информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;
- б. на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;
- с. снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

Схема, построенная в Multisim

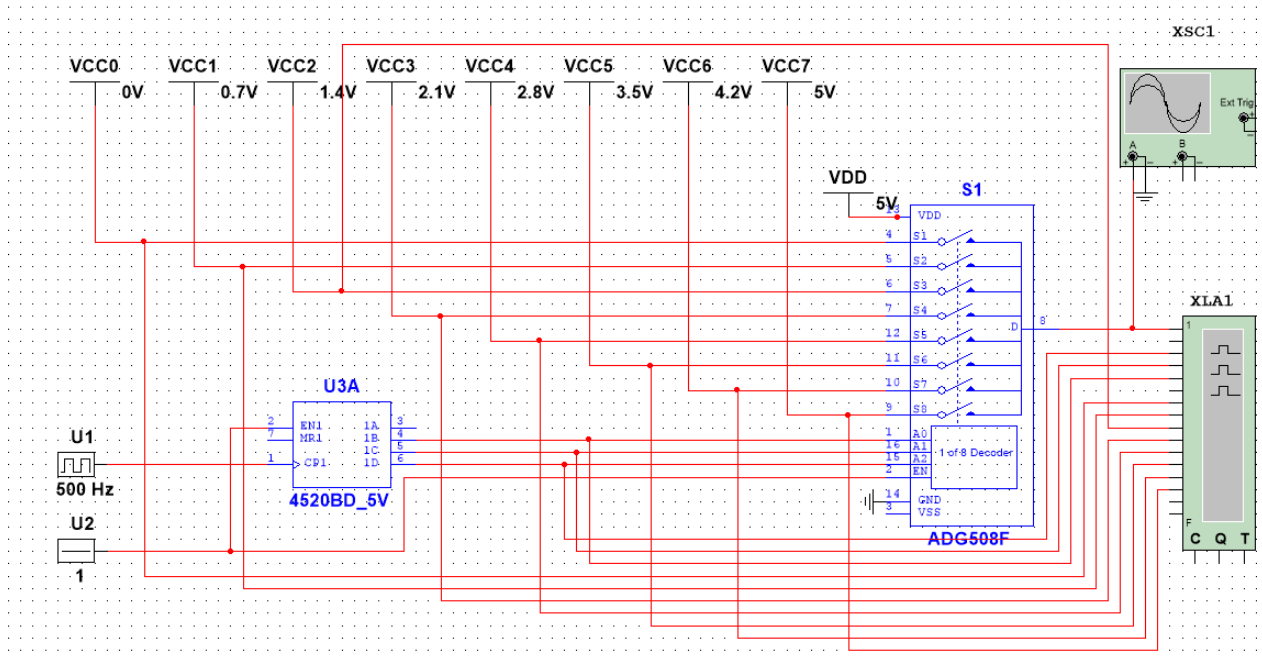


рис.2-1

Временная диаграмма

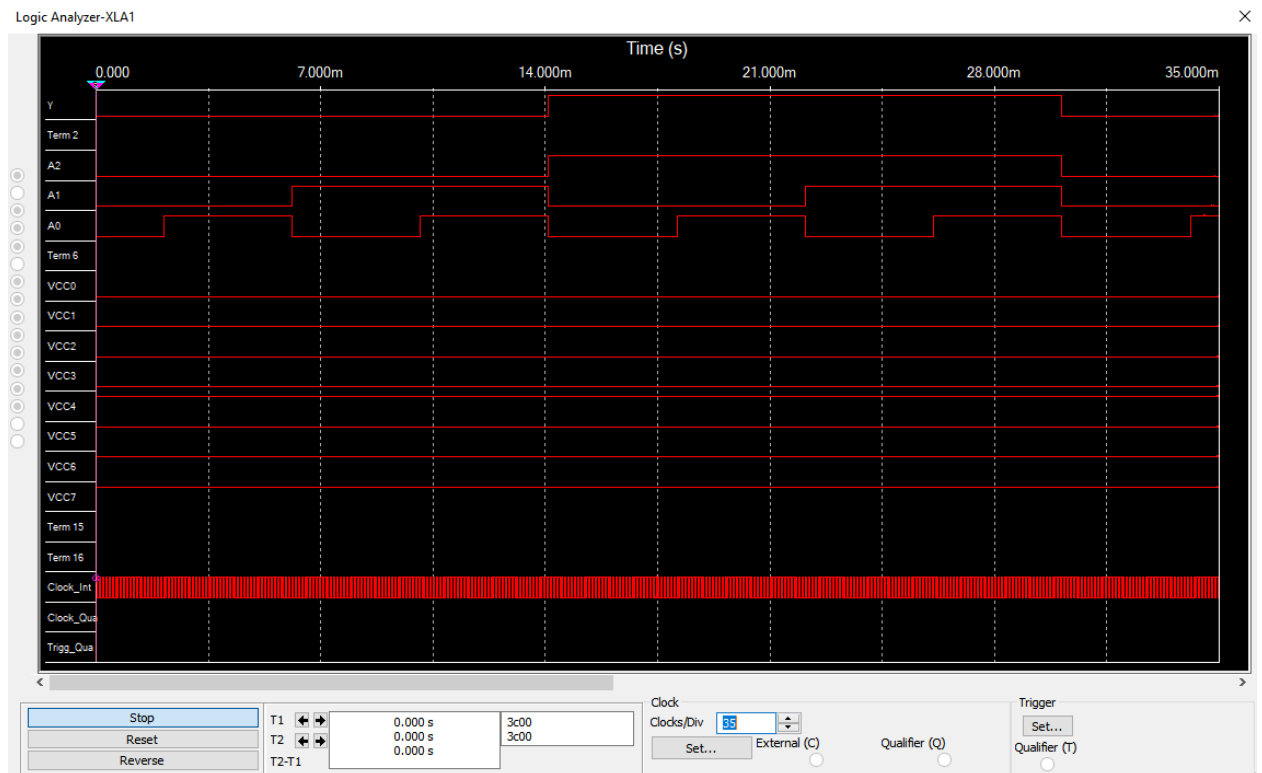


рис. 2-2

По данным с осциллографа можно сделать вывод, что выходной сигнал – это функция, а не дискретные значения. В дискретные значения он переводится по следующему правилу: если сигнал ≥ 0.5 , то он интерпретируется как 1, иначе – как 0.

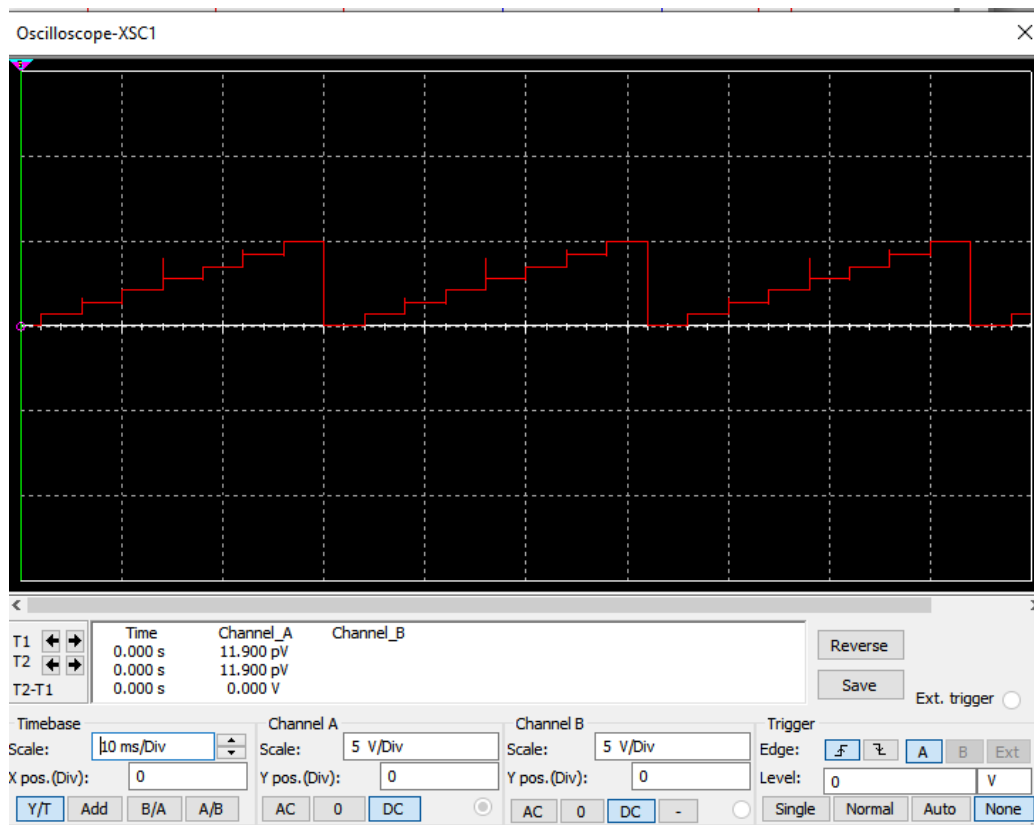


рис. 2-3

3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных.

ФАЛ задается преподавателем. Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ

Вариант 18: 0, 3, 6, 7, 9, 10, 13, 14

Вспомогательная таблица:

Таблица 1

№ набора	A2	A1	A0	x	f	Di
0	0	0	0	0	1	!x
1	0	0	0	1	0	
2	0	0	1	0	0	x
3	0	0	1	1	1	
4	0	1	0	0	0	0
5	0	1	0	1	0	
6	0	1	1	0	1	1
7	0	1	1	1	1	
8	1	0	0	0	0	x
9	1	0	0	1	1	
10	1	0	1	0	1	!x
11	1	0	1	1	0	
12	1	1	0	0	0	x
13	1	1	0	1	1	
14	1	1	1	0	1	!x
15	1	1	1	1	0	

Схема, построенная в Multisim

4. Нарращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4. Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – по варианту (*Вариант 18: 0, 3, 6, 7, 9, 10, 13, 14 (1001 0011 0110 0110)*). Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1.

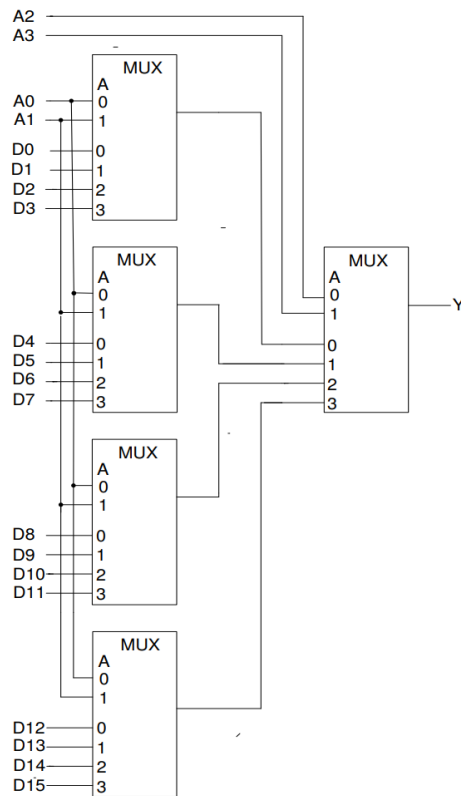


Рисунок 4

Схема построенная в Multisim:

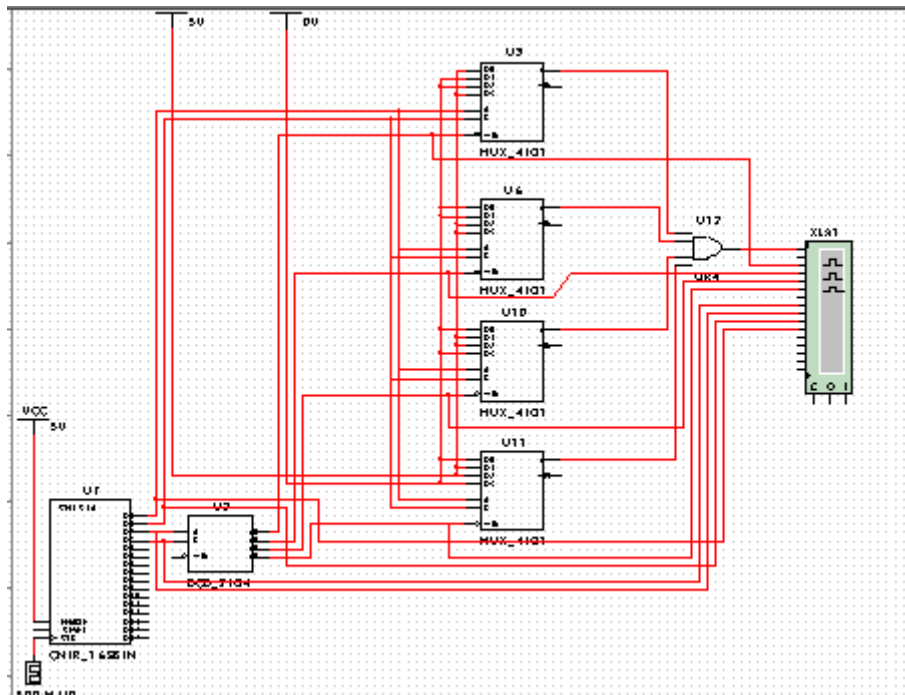


рис. 4-1.

Временная диаграмма

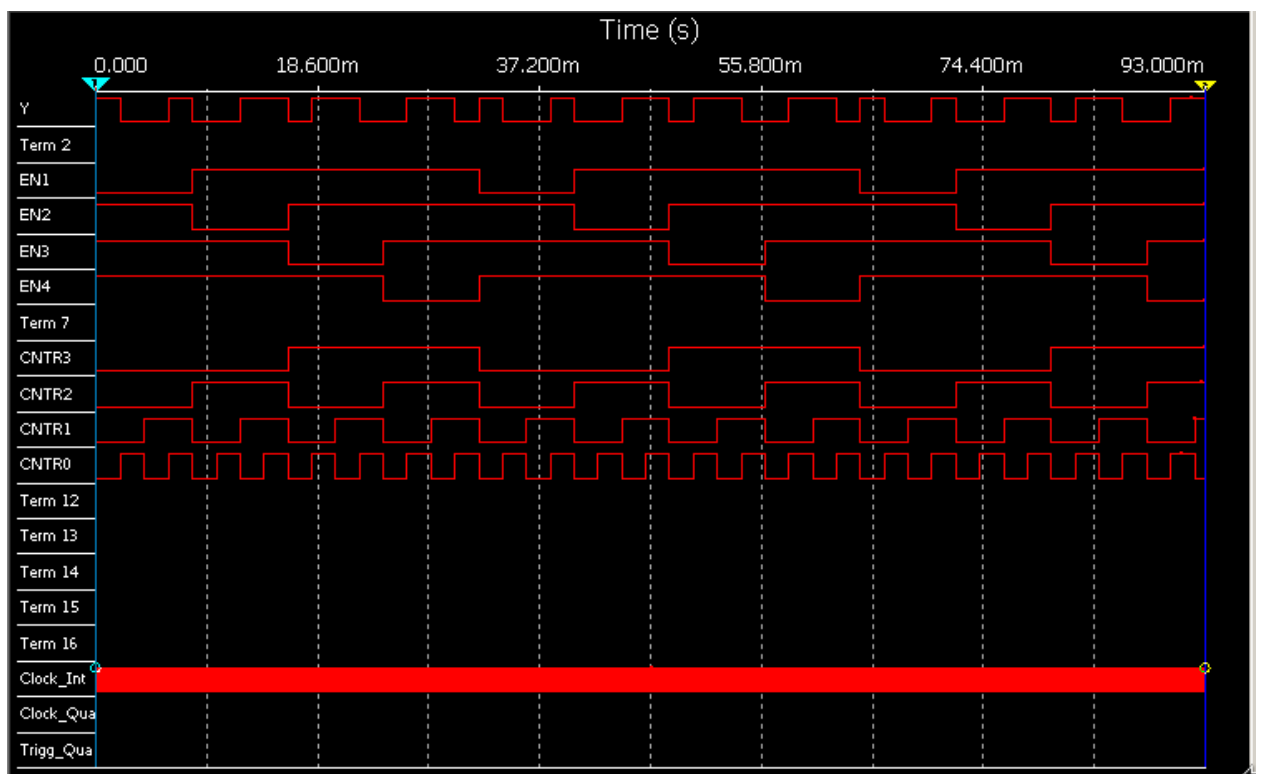


рис.4-2.

Исходя из данных логического анализатора, наша построенная схема работает верно, соответственно, можно сделать вывод о том, что построение было выполнено верно. Таким образом, используя данный метод наращивания, можно реализовать мультиплексор любой сложности.

Вывод

В результате данной лабораторной работы были изучены принципы построения и практического применения, а также экспериментально исследованы мультиплексоры.

Контрольные вопросы

1. Что такое мультиплексор?

Мультиплексор – это функциональный узел, имеющий n адресных входов и 2^n информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах. Мультиплексор переключает сигнал с одной из n входных линий на один выход.

2. Какую логическую функцию выполняет мультиплексор?

A_i - адресные входы и сигналы D_j - информационные входы и сигналы m_j - конститuenta числу, образованному двоичным кодом сигналов на адресных входах EN - вход и сигнал разрешения (стробирования)

3. Каково назначение и использование входа разрешения?

Вход \overline{EN} используется для:

1. Разрешения работы мультиплексора
2. Стробирования
3. Наравивания числа информационных входов

При $\overline{EN} = 1$, разрешается работа мультиплексора, при $\overline{EN} = 0$ – работа запрещена.

4. Какие функции может выполнять мультиплексор?

Мультиплексоры широко применяются для построения:

1. коммутаторов-селекторов
2. постоянных запоминающих устройств емкостью бит
3. комбинационных схем, реализующих функции алгебры логики
4. преобразователей кодов (например, параллельного кода в последовательный) и других узлов.

5. Какие способы наращивания мультиплексоров?

Существует два способа наращивания коммутируемых каналов:

1. по пирамидальной схеме соединения мультиплексоров меньшей размерности
2. путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

6. Поясните методику синтеза формирователя ФАЛ на мультиплексоре?

Для реализации ФАЛ $n + 1$ переменных на адресные входы мультиплексора подаются n переменных, на информационных входы $n+1$ -ая переменная (или ее инверсия), константы 0 или 1 (в соответствии со значениями ФАЛ)

7. Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?

Для исключения на выходе ложных сигналов (их вызывают гонки входных сигналов), вход $\square\square$ используется как стробирующий. Для выделения 18 полезного сигнала на вход $\square\square$ подается сигнал в интервале времени, свободном от действия ложных сигналов.