



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ  
КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ  
ТЕХНОЛОГИИ (ИУ7)  
НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

## ОТЧЕТ

По лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-45Б

(Группа)

29.04.2022

(Подпись, дата)

С.К.Романов

(И.О. Фамилия)

Преподаватель

С.В.Ибрагимов

(Подпись, дата)

(И.О. Фамилия)

Москва, 2022

## Цель работы:

Изучение принципов построения и методов синтеза дешифраторов;  
макетирование и экспериментальное исследование дешифраторов.

## Исследование линейного двухвходового дешифратора с инверсными выходами.

*Схема, построенная в Multisim*

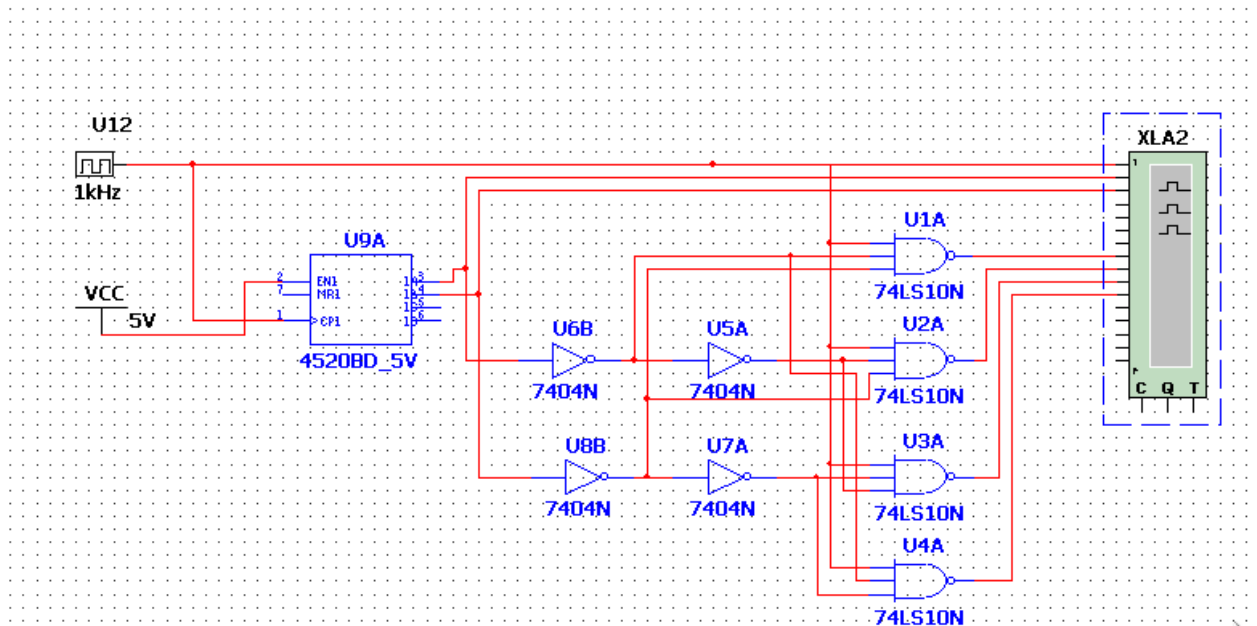


Рис.1-1

*Результат анализирующего дешифратора*

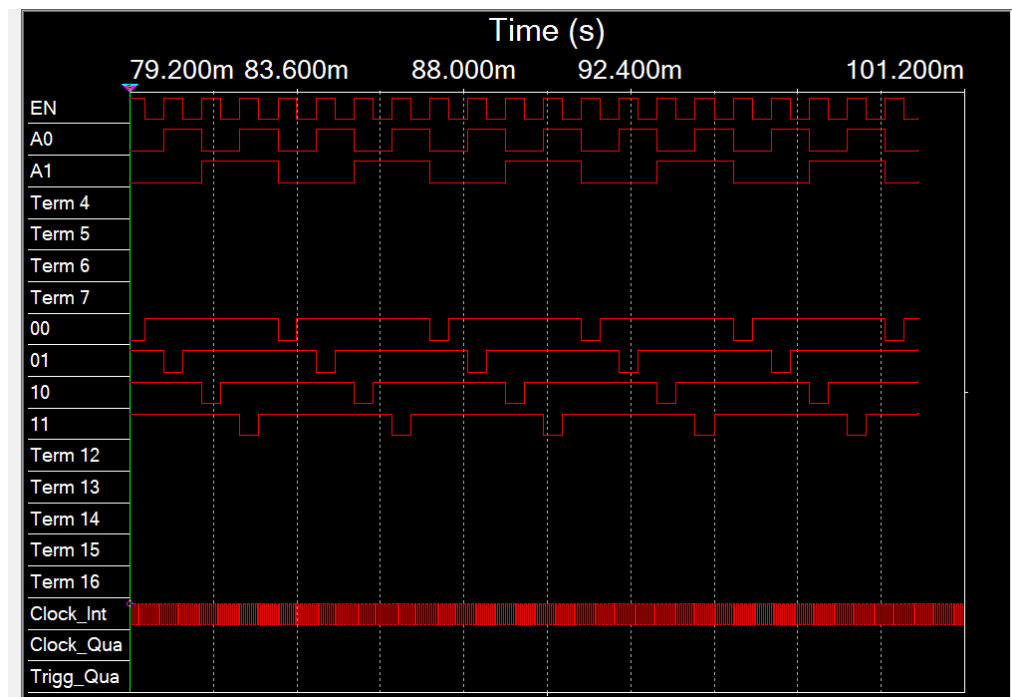


рис. 1-2

Таблица истинности для двухвходового дешифратора (таблица 1):

Таблица 1

E	A1	A2	F1	F2	F3	F4
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Схема, на которой можно выявить помехи, вызванные гонками,  
построенная в Multisim

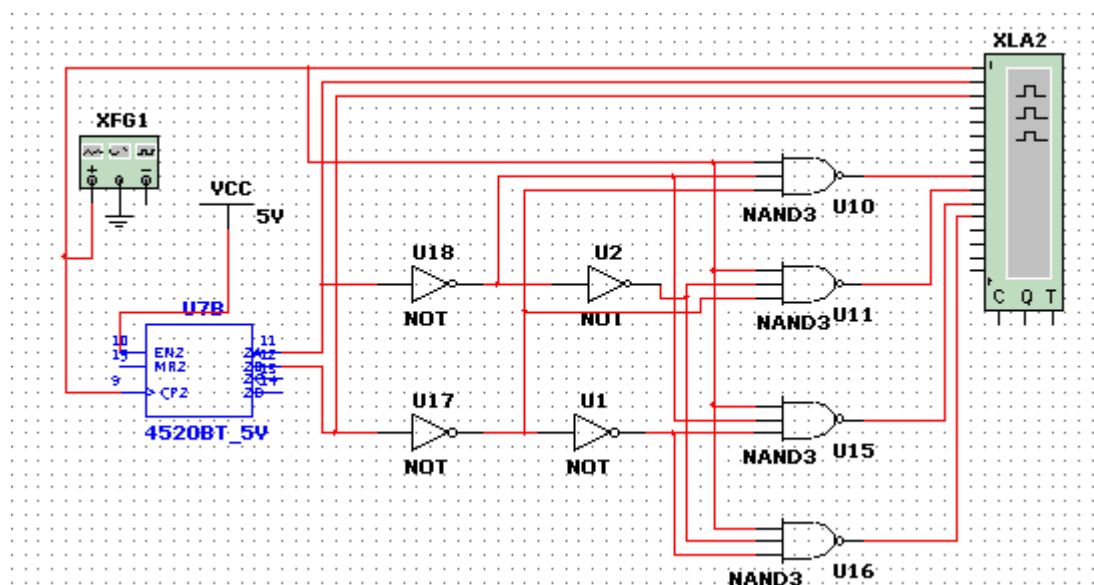


рис.2-1

Определение длительности помех с возможностями линейного  
анализатора

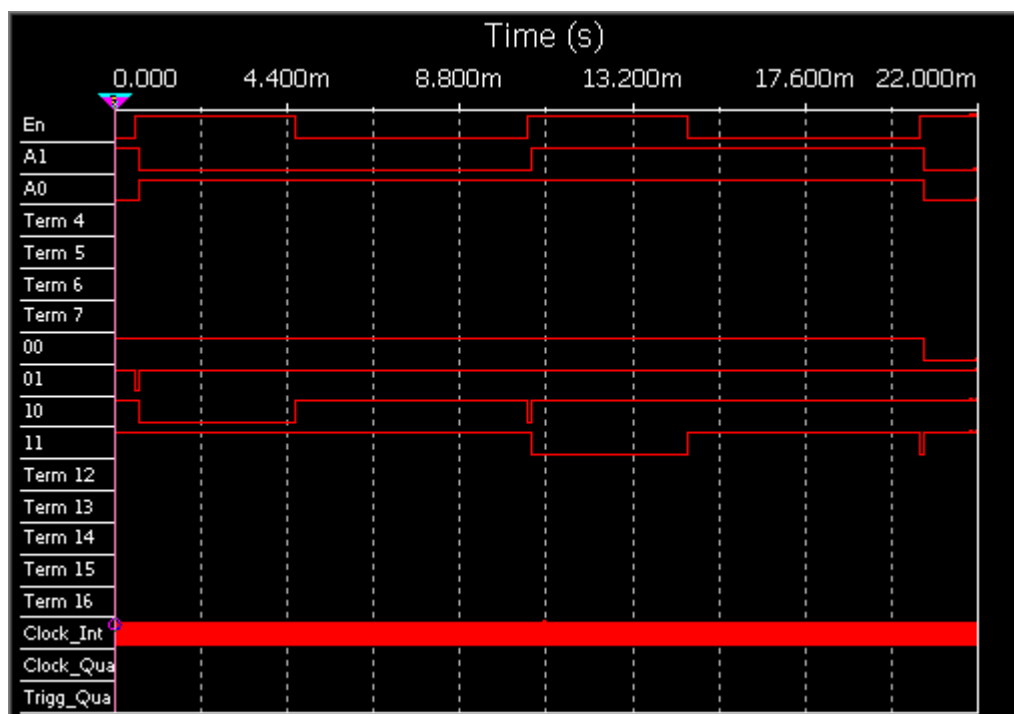


рис. 2-2

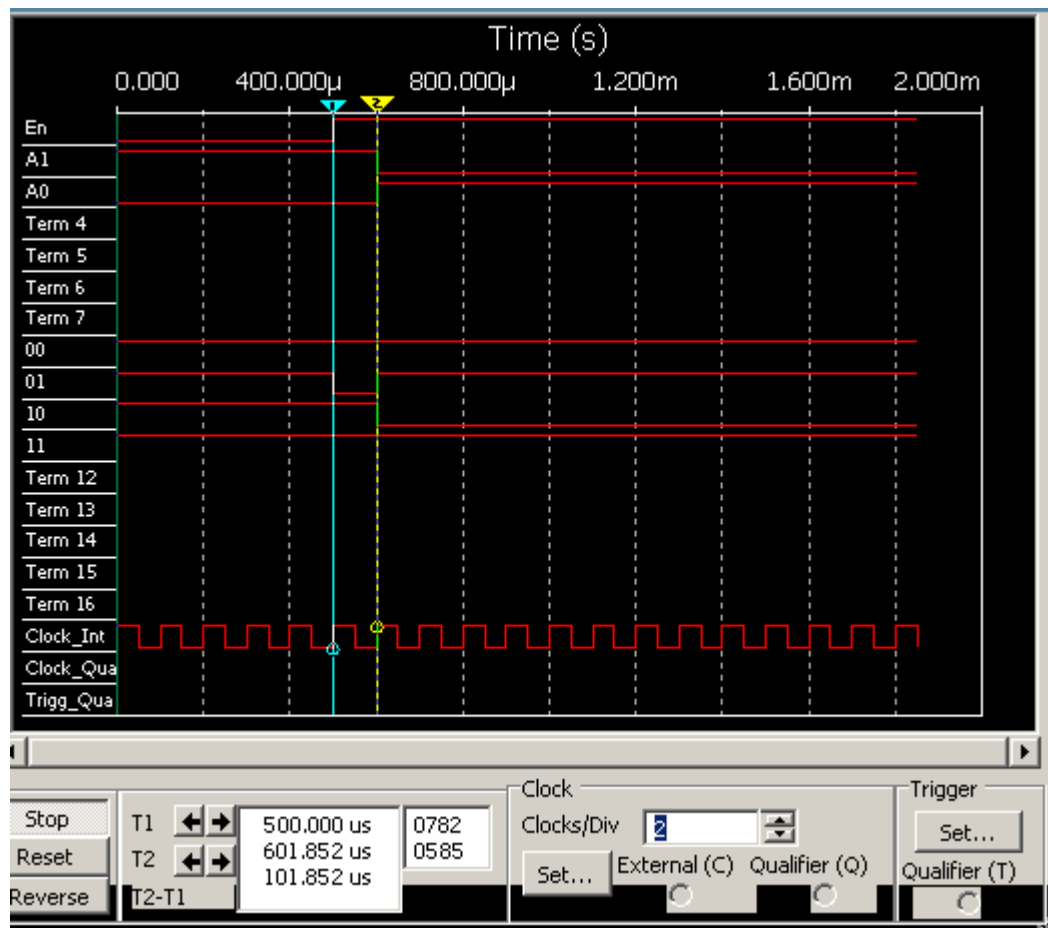



рис. 2-3

На рисунке 2-3 видно, что помехи составляют 100us

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора , задержанный линией задержки логических элементов (повторителей и инверторов);

Схема, построенная в Multisim

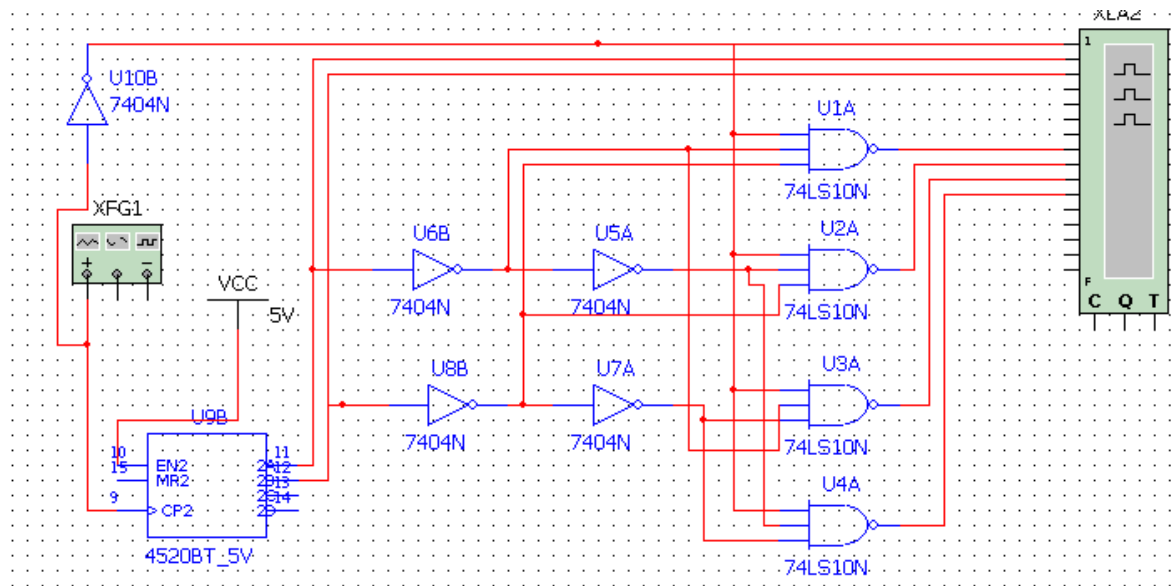


рис. 3-1

Временная диаграмма для схемы на рисунке 7.

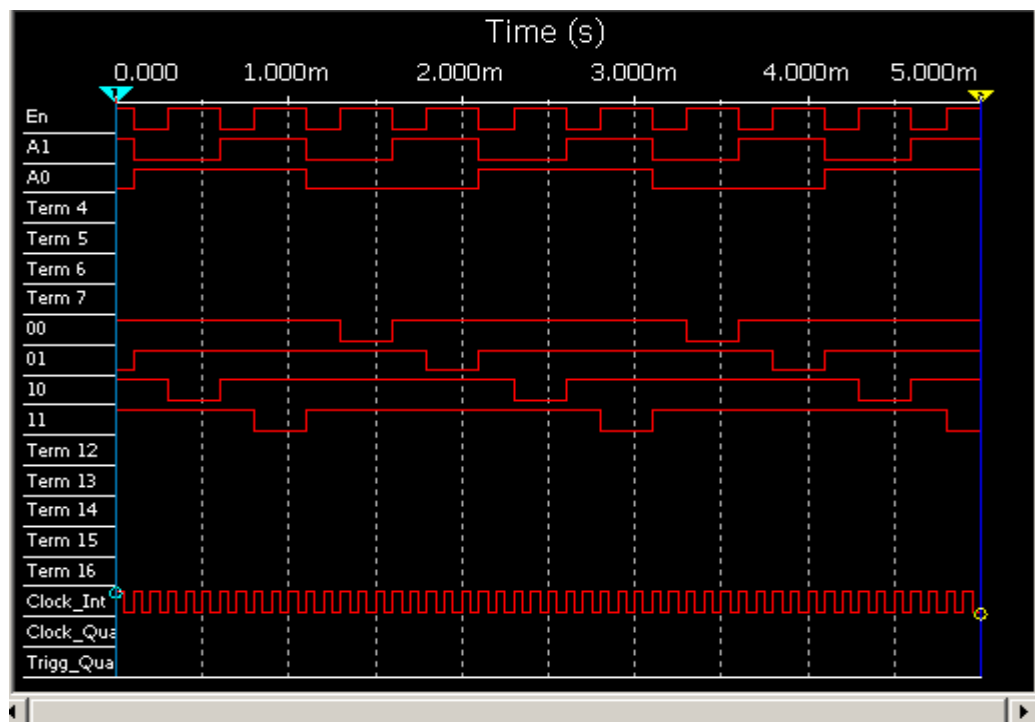


рис. 3-2

**Вывод:** с помощью одного логического элемента (ЛЭ) можно избавиться от помех.

*е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.*

Время задержки должно быть больше, чем суммарная задержка всех элементов в цепи от входа до выхода дешифратора. (задержка NOT + разница самого быстрого и самого медленного из 3И-НЕ)

### Схема, построенная в Multisim

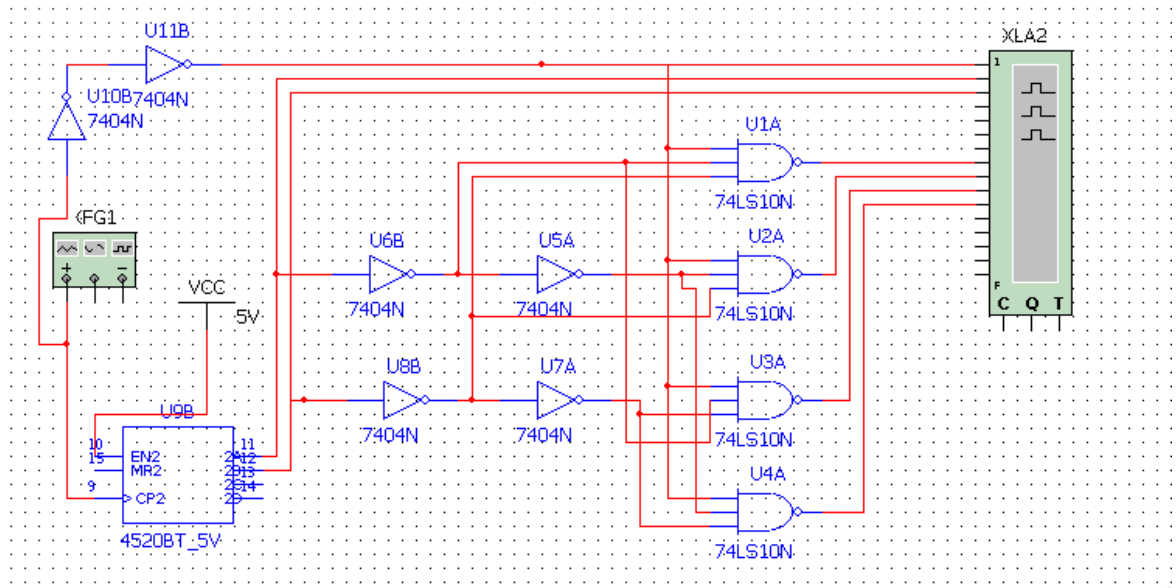


рис. 4-1

Время задержки - 50us, половина длительности помех.

Шаги для проверки:

1. Добавить еще один элемент NOT
2. Настроить 2 элемента NOT следующим образом (рис. 4-3)

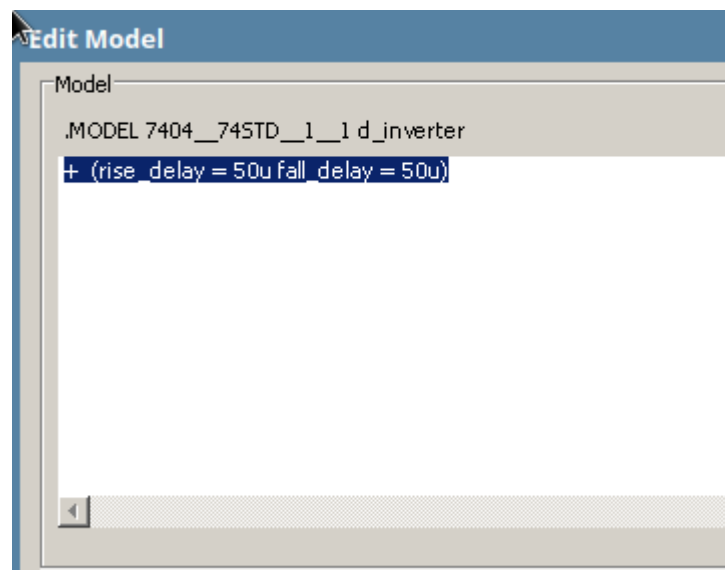


рис. 4-2

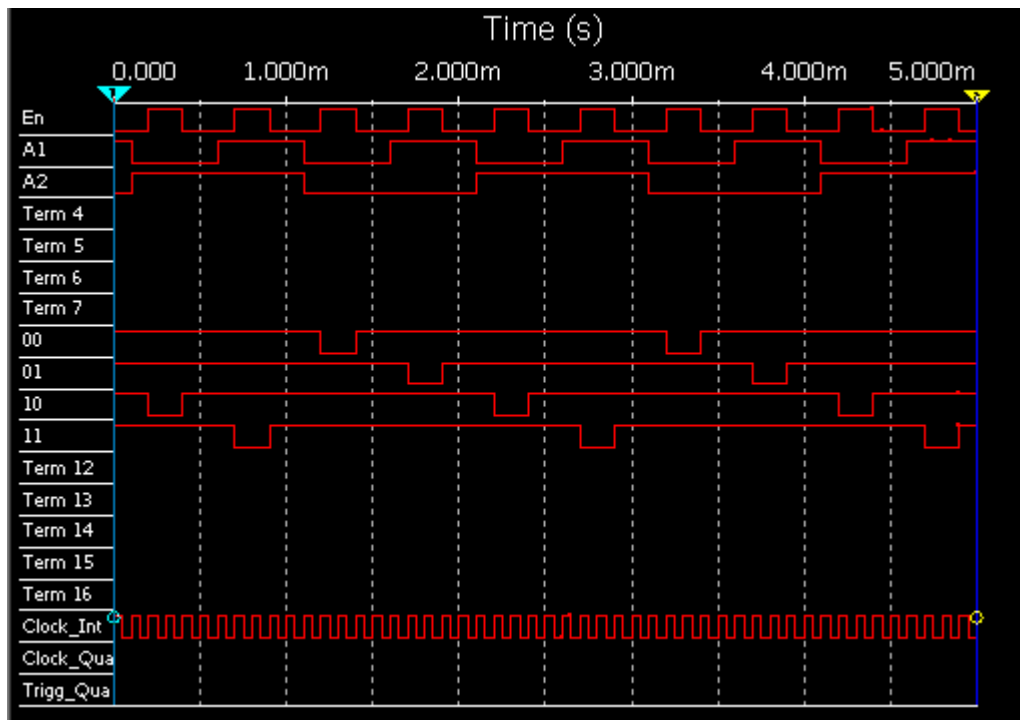


Рис. 4-3

*Временная диаграмма для схемы на рисунке 4-1*

## 2. Исследование дешифраторов ИС К155ИД4 (74LS155)

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы  $Q_0$  и  $Q_1$  выходов счетчика, а на стробирующие входы 3 и 4 – импульсы генератора, задержанные линией задержки;

*Схема дешифратора, построенная в Multisim*



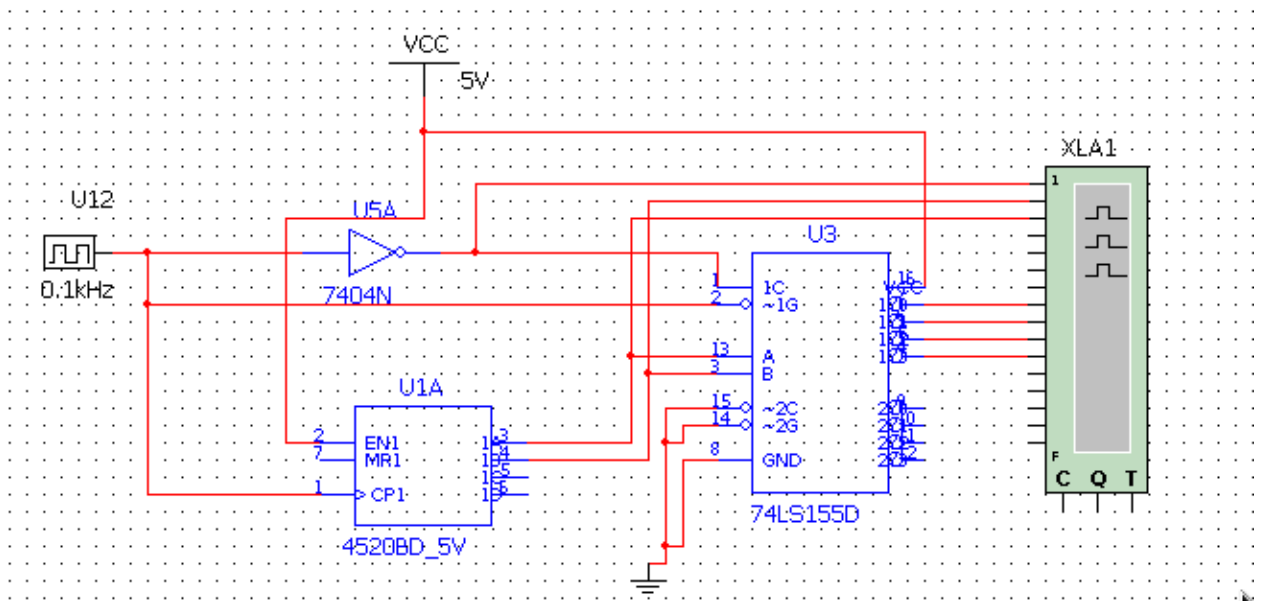


рис. 5-1

Временная диаграмма для схемы на рисунке 5-1.

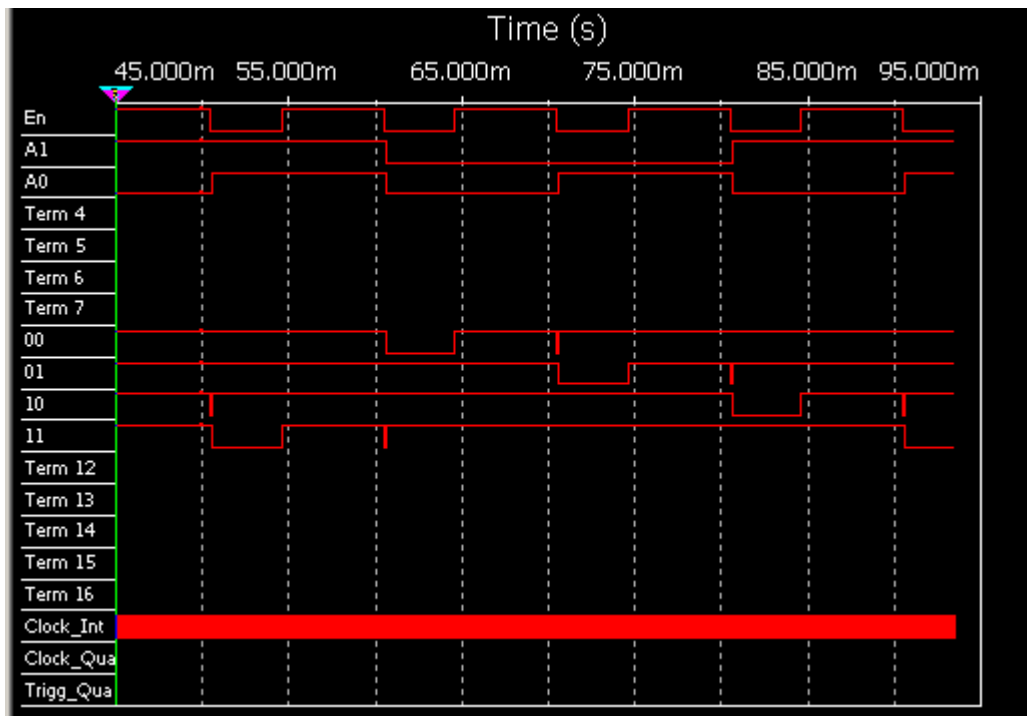


рис. 5-2

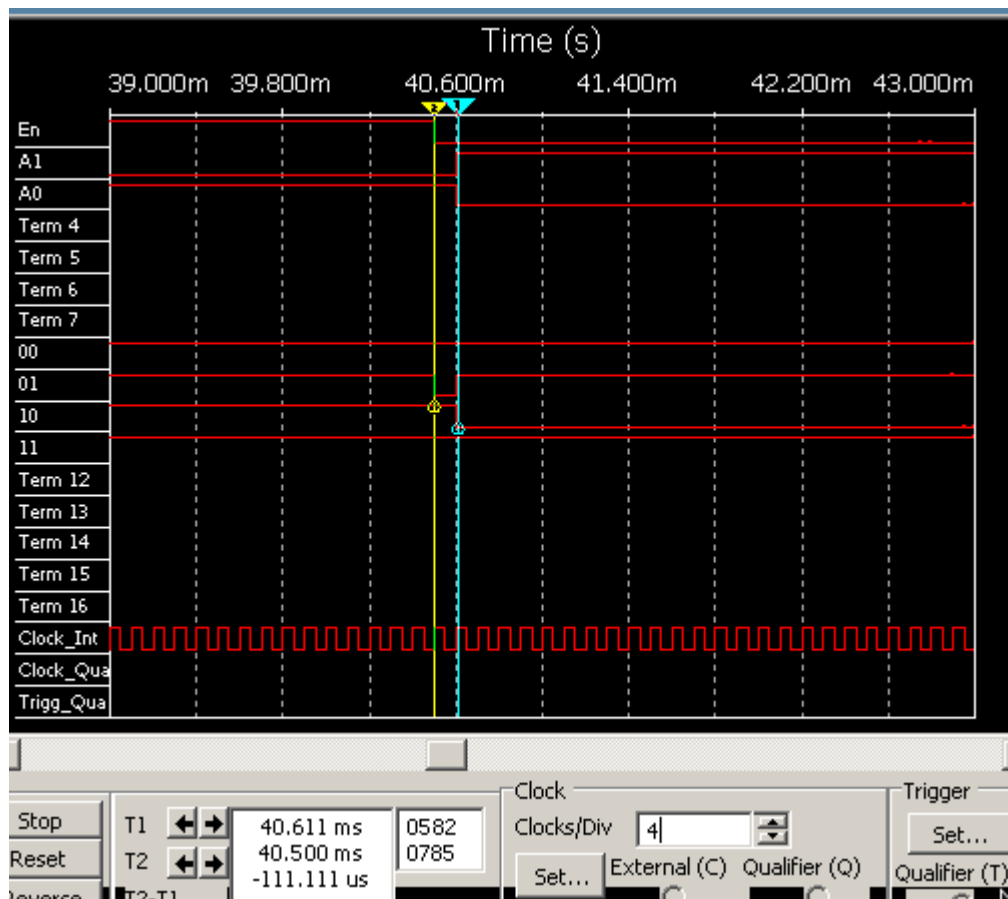


рис.5-3

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

Задержка составляет 100us

Заменив параметры инвертора на задержку, указанную выше, мы получаем следующую картину

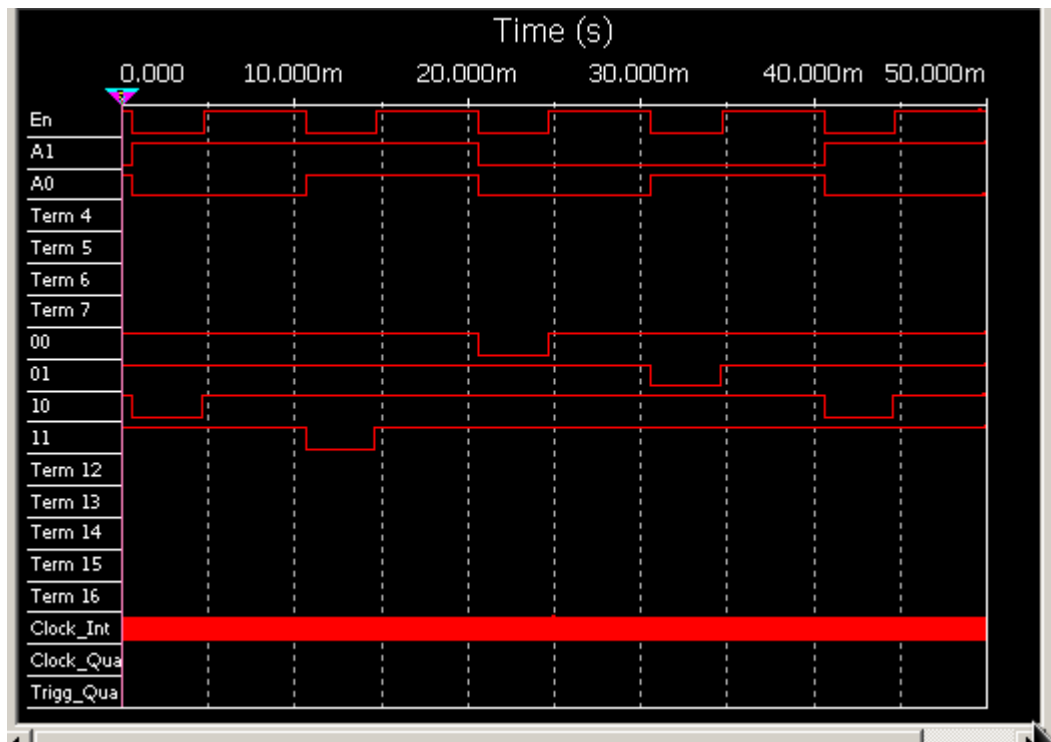


рис. 6

**Вывод:** с помощью замены одного логического элемента на другой можно также избавиться от помех.

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы  $A_0, A_1, A_2$  с выходов  $Q_0, Q_1, Q_2$  счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

*Схема трехвходового дешифратора на основе дешифратора К155ИД4, построенная в Multisim*

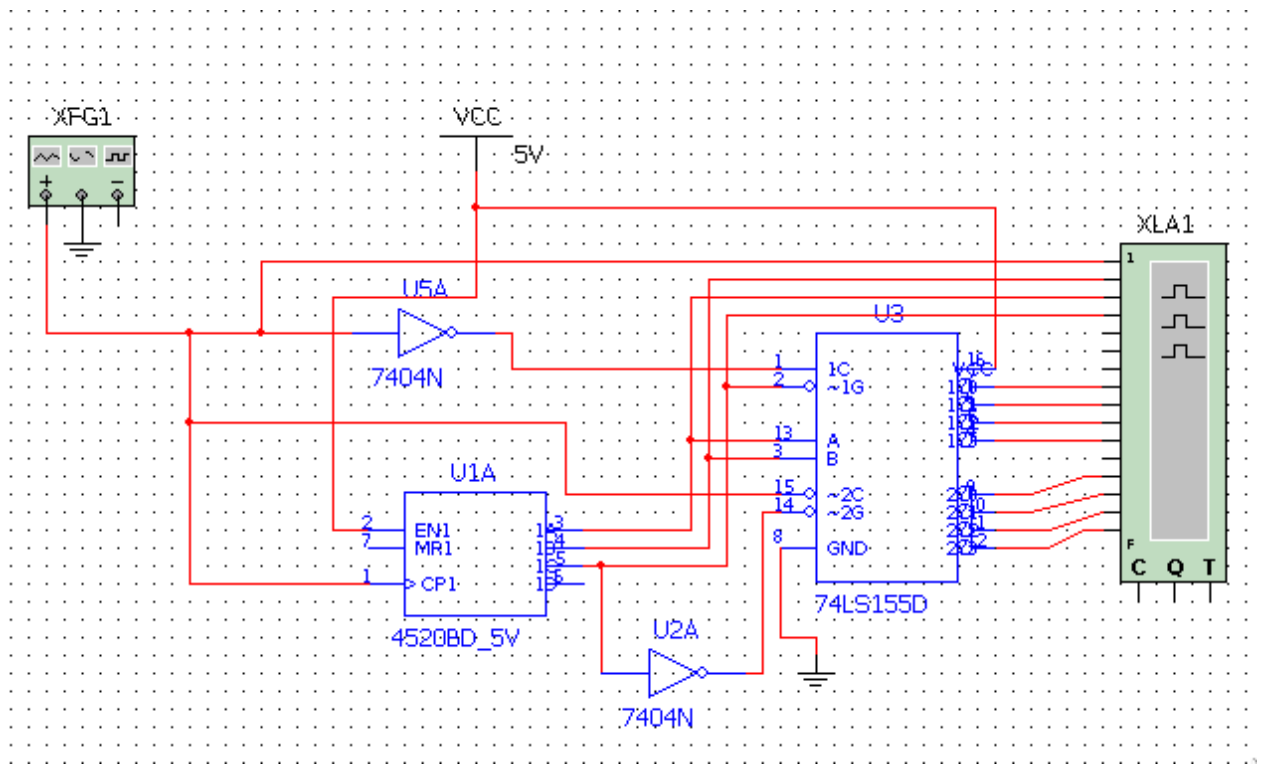


рис. 7-1

Временная диаграмма для схемы на рисунке 22.

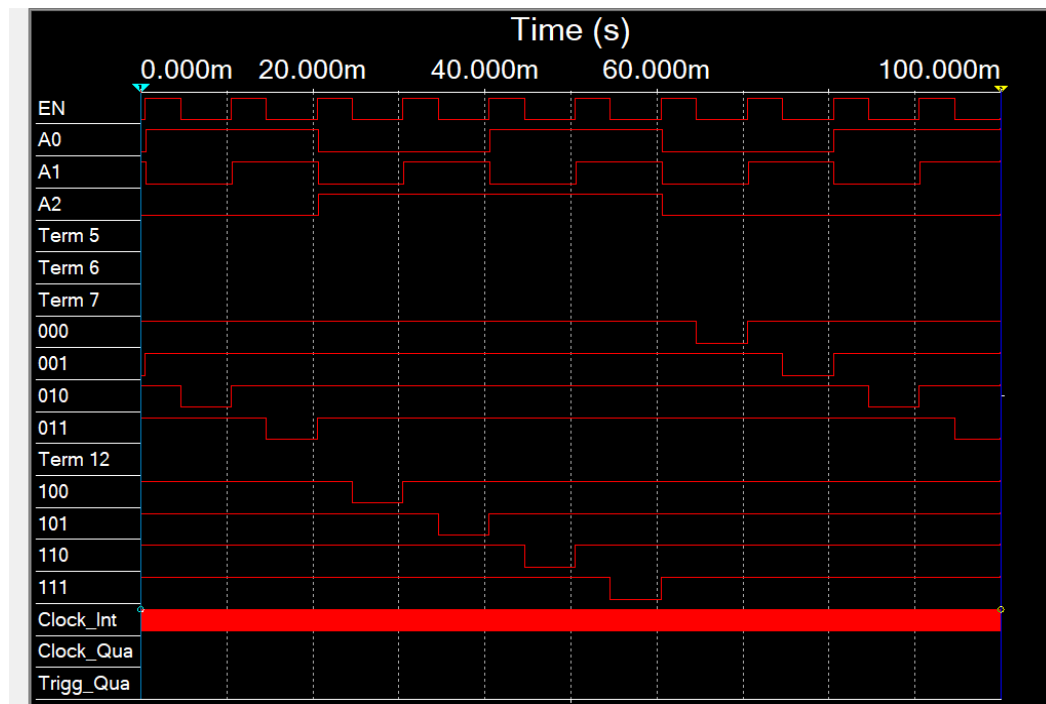


рис. 7-2

Таблица истинности трехвходового дешифратора

Таблица 2

A1	A2	A3	F1	F2	F3	F4	F5	F6	F7	F8
0	*	*	*	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1
1	0	0	1	1	0	1	1	1	1	1
1	0	1	0	1	1	0	1	1	1	1
1	0	1	1	1	1	1	0	1	1	1
1	1	0	0	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	0	1	1	1	1	1	1	0

## Исследование дешифраторов ИС КР531ИД14 (74LS139).

ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. 24) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции  $\overline{EN_1}, \overline{EN_2}$ , ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

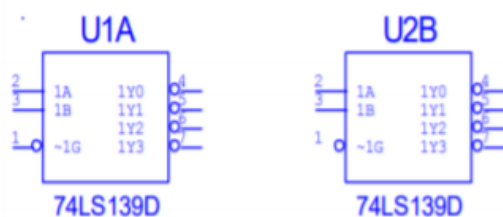


рис.8

Схема построения дешифратора ИС КР531ИД14 (74LS139) (рис. 25)

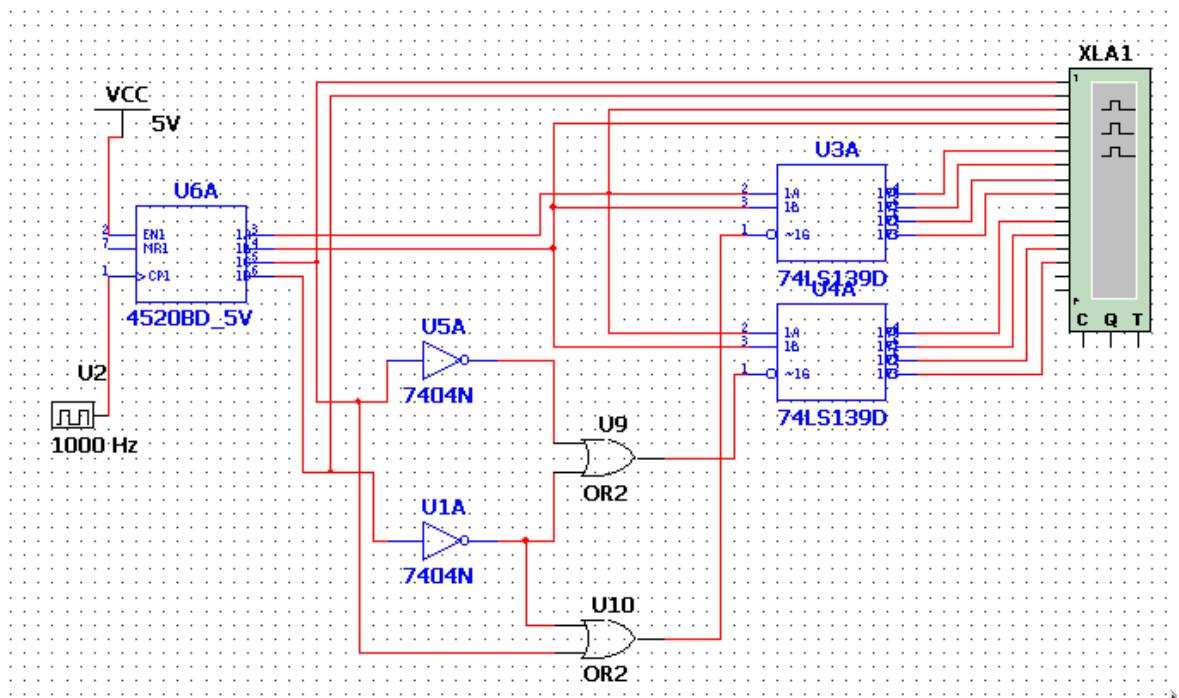


рис.9-1

Временная диаграмма для схемы на рисунке 9-1.

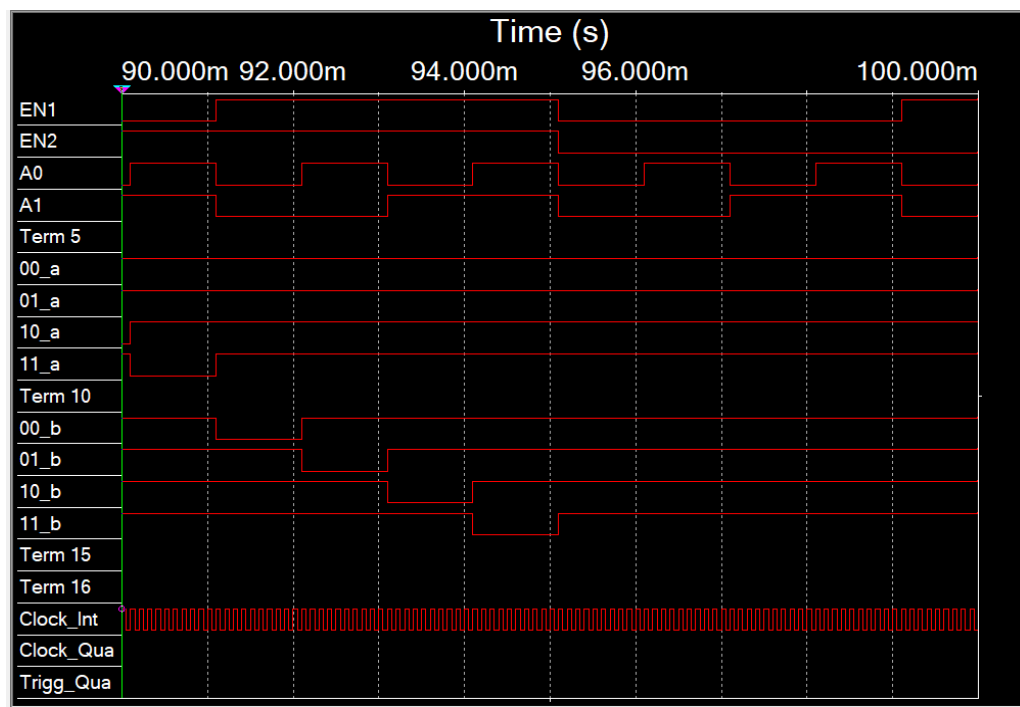


Рис. 9-2

#### 4. Исследовать работоспособность дешифраторов ИС 533ИД7.

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7 (рис. 27), подавая на его адресные входы

1, 2, 4 сигналы  $Q_0, Q_1, Q_2$ , с выходов счетчика, а на входы разрешения Е1, Е2, Е3 – сигналы лог. 1, 0, 0 соответственно;

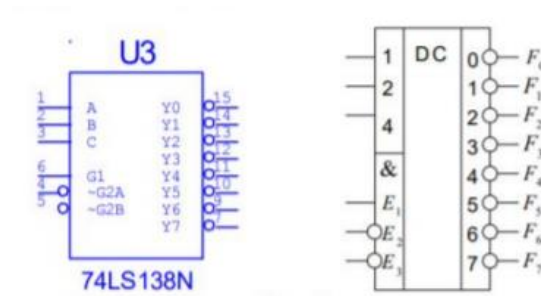
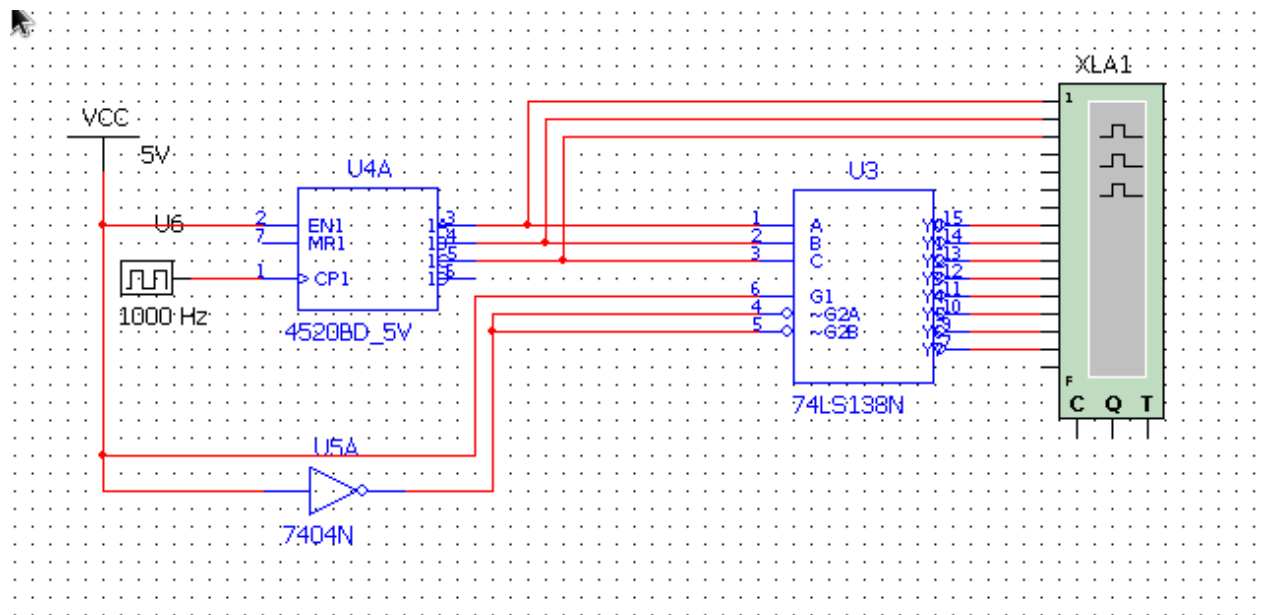


рис. 10

Схема построения нестробируемого дешифратора ИС 533ИД,  
построенная в Multisim



*pus. 11-1*

*Временная диаграмма для схемы на рисунке 11-1.*

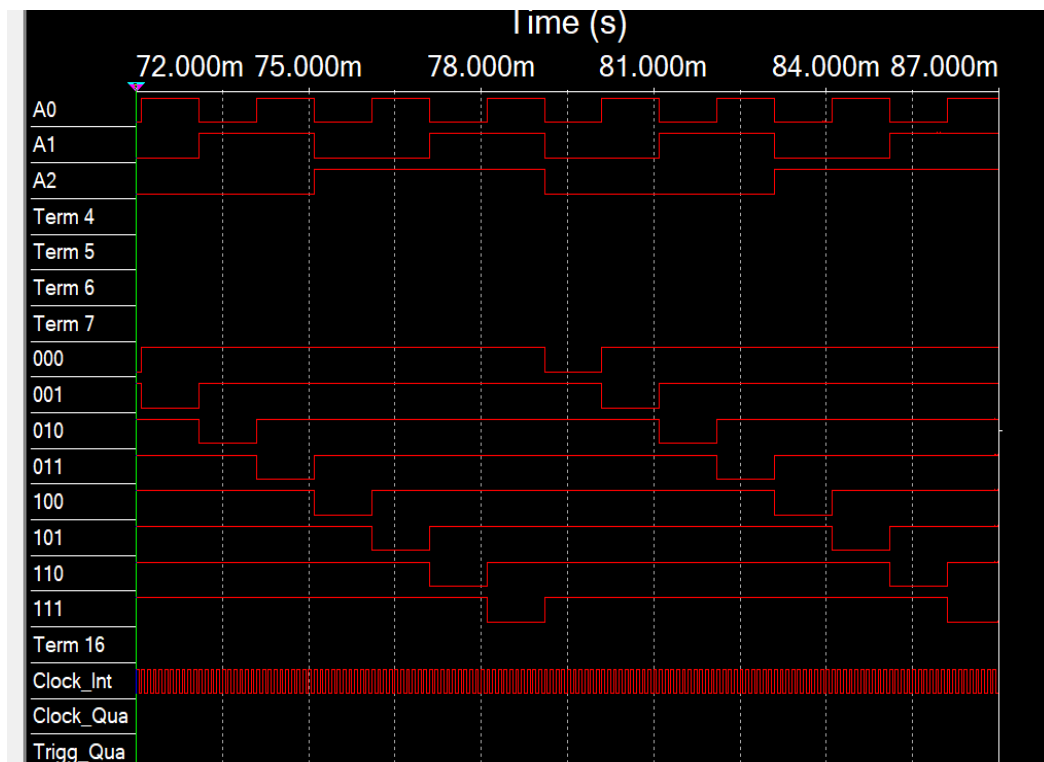



рис. 11-2

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы  $Q_0, Q_1, Q_2, Q_3, Q_4$  с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета.

*Схема построения дешифратора DC 5-32, построенная в Multisim*



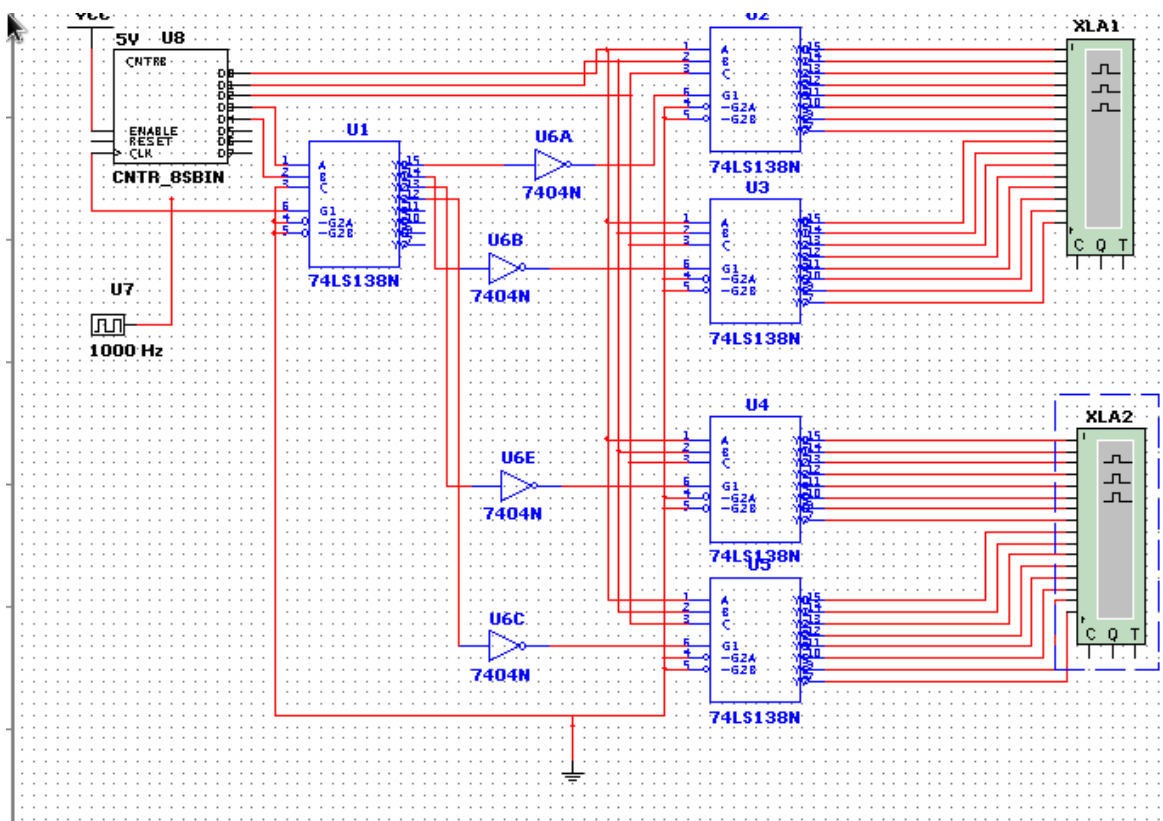


рис. 12-1

Временная диаграмма

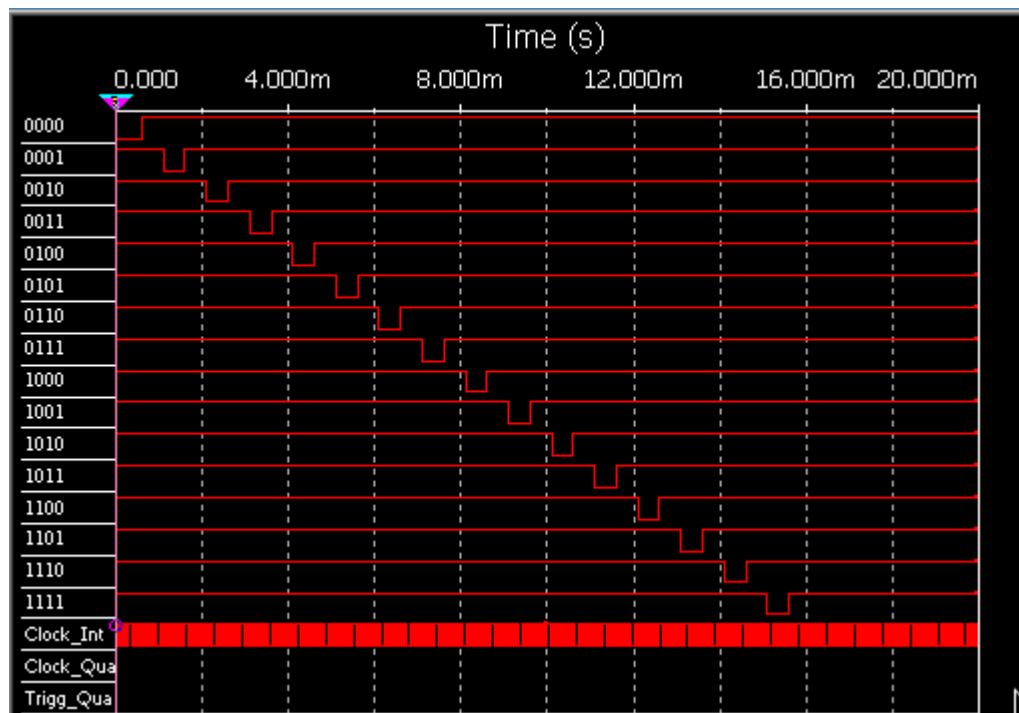


рис. 12-2

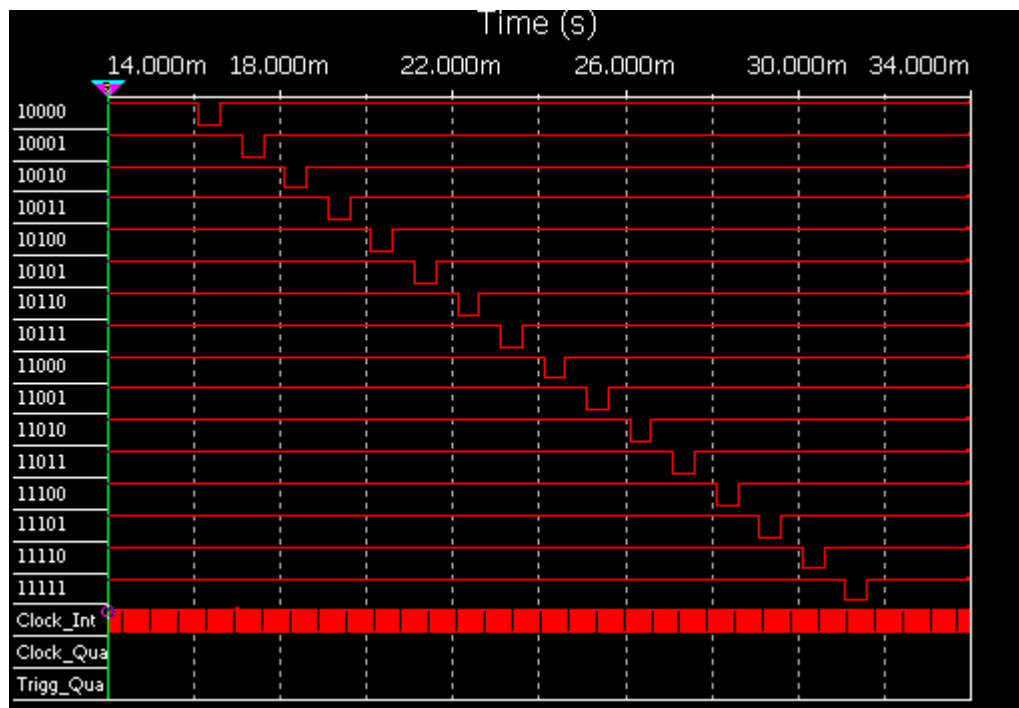


рис. 12-3

## Вывод

Изучены принципы построения и методы синтеза дешифраторов, произведено макетирование и экспериментальное исследование дешифраторов. В ходе работы были составлены таблицы истинности, произведен анализ временных характеристик дешифраторов

### Контрольные вопросы

#### 1. Что называется дешифратором?

Дешифратор - это комбинационный узел с  $n$  входами и  $N$  выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

#### 2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий  $2^n$  выходов, называется полным, при меньшем числе выходов - неполным.

**3. Определите закон функционирования дешифратора аналитически и таблично.**

Функционирование дешифратора  $DCn - N$  определяется таблицей истинности:

Входы							Выходы					
EN	$A_{n-1}$	$A_{n-2}$	$A_{n-3}$	...	$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	...	$F_{N-2}$	$F_{N-1}$
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
...	...	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...	...
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

**4. Поясните основные способы построения дешифраторов.**

Линейный дешифратор строится в соответствии с системой из предыдущего вопроса, и представляет собой  $2^n$  конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с  $n$ -входами каждый при отсутствии стробирования и с  $(n + 1)$  входами - при его наличии.

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную  $A_2(\overline{A_2})$ . На третьем этапе каждую из полученных выше конъюнкций трех

переменных умножают на  $A_3(\overline{A_3})$  и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

### ***5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?***

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

### ***6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?***

Пусть для построения сложного дешифратора  $DCn - N$  используются простые дешифраторы  $DCn_1 - N_1$ , причем  $n_1 \ll n$ , следовательно и  $N_1 \ll N$ .

1. Число каскадов равно  $= \frac{n}{n_1}$ . Если  $K$  – целое число, то во всех каскадах используются полные дешифраторы  $DCn_1 - N_1$ . Если  $K$  – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор  $DCn_1 - N_1$ .

2. Количество простых дешифраторов  $DCn_1 - N_1$  в выходном каскаде равно  $\frac{N}{N_1}$ , в предвыходном -  $\frac{N}{N_1^2}$ , в предпредвыходном -  $\frac{N}{N_1^3}$  и т.д.;

во входном каскаде -  $\frac{N}{N_1}$  к . Если  $\frac{N}{N_1}$  к – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются  $n_1$  младших разрядов адреса сложного дешифратора, в предвыходном – следующие  $n_1$  младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому  $n_1$  младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие  $n_1$  младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.