Estágio de Execução com vários ciclos em pipeline Exemplo:

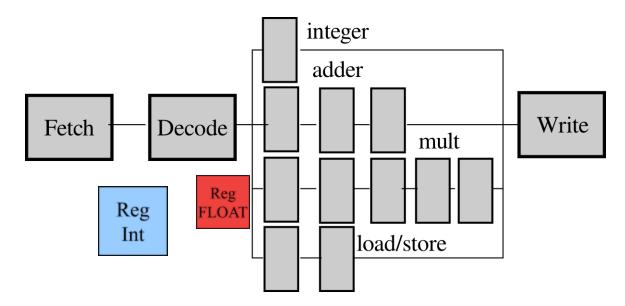
Somador de Ponto Flutuante em 3 ciclos (addF)

Multiplicador de Ponto Flutuante em 5 ciclos (mulF)

Load e Store como unidade de memória de 2 ciclos (Ld e Sd)

1 unidade de inteiros – **1 ciclo** (Add,Addi, sub, and,...)

Registros: R inteiros, F float, Exemplo Add R1,R2,R3 (inteiro), Addf F1,F2,F3 (float), LD F1,8(R1) Mem \rightarrow Float



Busca e depois no **Decode** avalia se a instrução pode continuar (não tem dependência). Caso contrário, bloqueia no **DECODE** e o processador irá **PARAR**.

Apenas uma instrução pode chegar ao WRITEBACK por ciclo (**1 wr por ciclo**) Mas pode **WR** float e Int ao mesmo tempo

Simulador Online - © Israel Koren, koren 'at' ecs.umass.edu

Exemplo 1

Exemple 1																					
	1	2	3	4	5	6	7	8	9	0	1	2	3	4	5	6	7	8	9	0	1
MultF f1,f2,f3																					
addf f3,f1,f3																					
Addi r2,r2,1																					
ld f5,0(r2)																					
Addf f4,f3,f1																					
Mulf f3,f4,f5																					

Outro formato para visualizar a execução

instrução	fetch	decode	exec	write
MultF f1,f2,f3				
addf f3,f1,f3				
Addi r2,r2,1				
ld f5,0(r2)				
Addf f4,f3,f1				
Mulf f3,f4,f5				

Com Loop

instrução	fetch	decod e	exec	write	fetch	decode	exec	write
Loop Mulf f1, f2, f3								
Addf f2, f3, f4								
Ld f3, 0 (r1)								
sd f3, 4 (r1)								
multf f1, f3, f1								
Sd f1, 4 (r1)								
addi r1,r1,4								
Bnez r1, LOOP								