



Universidad de Murcia
Facultad de Informática

TÍTULO DE GRADO EN
INGENIERÍA INFORMÁTICA

Ampliación de Estructura de Computadores

Tema 4: Sistema de memoria de altas prestaciones

Boletín de ejercicios

CURSO 2024 / 2025

Departamento de Ingeniería y Tecnología de Computadores

Área de Arquitectura y Tecnología de Computadores



Ejercicios Básicos

1. Tenemos un procesador con una caché de primer nivel unificada para datos e instrucciones. Queremos ejecutar una aplicación en la que el 30 % de las instrucciones acceden a datos. Disponemos de la tasa de fallos para dos tipos de caché: mapeo directo y asociativa de dos vías:

Asociatividad	Tasa de fallo
Una Vía	0.072
Dos Vías	0.057

Supongamos que el tiempo de servicio en caso de acierto es un ciclo para ambas cachés. La penalización en caso de fallo son 40 ciclos para el caso de la caché de mapeo directo. Sin embargo, la organización de caché asociativa de 2 vías incrementa la complejidad hardware obligando a aumentar el ciclo de reloj un 10 % más que para el caso de mapeo directo, afectando el número de ciclos de la penalización por fallo.

- a) Calcula el tiempo medio de acceso a memoria para ambas cachés.
 - b) ¿Qué organización será más rápida?
2. Supongamos una jerarquía de memoria con cachés de primer nivel separadas en instrucciones y datos, ambas de correspondencia directa, con un tiempo de acierto de 1 ciclo, una penalización de 50 ciclos en caso de fallo y tasas de fallos de 1 % y 10 %, respectivamente. La caché de datos utiliza postescritura, y la probabilidad de tener que reemplazar un bloque sucio al traer un nuevo bloque es del 20 %. La escritura de un bloque de datos en memoria requiere 50 ciclos.

Queremos mejorar el rendimiento de nuestra máquina, para lo cual hemos pensado en añadir a la caché de datos un búfer de escritura que también hace las funciones de caché de víctimas para datos sucios, y a la caché de instrucciones un búfer de prebúsqueda para la realización de prebúsqueda hardware. Los accesos a la caché y a los búfer de escritura o prebúsqueda se realizan secuencialmente. La probabilidad de que un bloque se encuentre en el búfer de prebúsqueda es de un 60 % y nos cuesta 1 ciclo enviar el bloque encontrado a la caché. La probabilidad de que un bloque se encuentre en el búfer de escritura es de un 30 % y nos penalizan con 2 ciclos. El búfer de escritura tiene un tamaño ilimitado. Sabiendo que hay un 30 % de cargas/almacenamientos, se pide:

- a) ¿Qué mejora obtenemos en el tiempo medio por acceso a memoria?
 - b) ¿Y en el tiempo de ejecución?
3. Tenemos la siguiente distribución de instrucciones:

Tipo	Porcentaje	CPI
ALU	50 %	1
Load	20 %	1
Store	10 %	1
Salto	20 %	1.2

donde el CPI es únicamente el relativo a la ejecución, es decir, no incluye la jerarquía de memoria, aunque sí incluye el hecho de que el 10 % de los saltos producen una detención de 2 ciclos por fallo de predicción.

Tenemos una caché única para datos e instrucciones, de escritura directa sin búsqueda de bloque y con una probabilidad del 20 % de que el búfer de escritura provoque una detención de 50 ciclos.

Teniendo en cuenta que la penalización por fallo de caché es de 100 ciclos, que la tasa de fallos de instrucciones es del 0.1 % y la tasa de fallos de datos es del 5 %, calcula el CPI global incluyendo la jerarquía de memoria.

4. Considera un procesador con una jerarquía de memoria consistente en un único nivel de memoria caché para datos y la memoria principal. Suponer que la caché es de escritura directa, tiene un tiempo de servicio en caso de acierto de 1 ciclo y una tasa de aciertos del 90 %. Por su parte, el tiempo de acceso a memoria principal es de 50 ciclos. El 30 % de las instrucciones ejecutadas por el procesador son cargas y almacenamientos, siendo las primeras el doble de frecuentes que los últimos.
 - a) Calcula el tiempo medio de acceso a memoria para la caché de datos, teniendo en cuenta sólo las instrucciones de carga y de almacenamiento.
 - b) Se ha añadido al sistema una caché de instrucciones con un tiempo de servicio en caso de acierto de 1 ciclo y una tasa de aciertos del 98 %. Calcula el tiempo medio de acceso a memoria. Ten en cuenta los accesos a las cachés de instrucciones y de datos.
 - c) Calcula el CPI del procesador teniendo en cuenta la jerarquía de memoria. Suponed que el CPI teniendo en cuenta sólo la ejecución es 1.
 - d) Se ha cambiado la política de escritura de la caché de datos por la de post-escritura. Sabiendo que el 20 % de los fallos de caché causarán el desalojo de un bloque de caché en estado modificado, vuelve a calcular el tiempo medio de acceso a memoria.
 - e) Hemos añadido un búfer de escritura a la caché de datos del apartado anterior para reducir la penalización de las escrituras a memoria. La probabilidad de encontrar el búfer de escritura lleno y por tanto tener que esperar a que memoria principal se actualice es del 10 %. Por otra parte, la probabilidad de encontrar en el búfer el dato buscado por una instrucción de carga o de almacenamiento es del 15 %, y en ese caso el bloque de datos puede obtenerse del búfer con 2 ciclos de penalización. Vuelve a calcular el tiempo medio de acceso a memoria.
5. Supongamos un procesador que implementa un pipeline con las etapas $F_1 F_2 DX_1 X_2 M_1 M_2 M_3 W$ totalmente segmentadas que emplea la técnica de adelantamiento y que hace uso del repertorio de instrucciones DLX. La frecuencia de reloj a la que opera este diseño es de 2 GHz. Se comprueba que el 36 % de las instrucciones ejecutadas son del tipo aritmético-lógicas, el 24 % de carga, el 15 % de almacenamiento y el 25 % de salto. En cuanto a la jerarquía de memoria, tiene las cachés de instrucciones y datos separadas. La de instrucciones es una caché virtual con una tasa de fallos del 3 %. La de datos, por su parte, es una caché indexada virtualmente y etiquetada físicamente que implementa la política de escritura directa y tiene una tasa de fallos del 10 %. La penalización en caso de fallo es de 200ns y el tiempo necesario para escribir una palabra es de 200ns también. El sistema dispone de un TLB de instrucciones y otro de datos, con tasas de fallos de 0.01 % y 0.05 %, respectivamente. El tiempo de servicio en caso de acierto de ambos TLBs es de 1 ciclo y los correspondientes tiempos de penalización en caso de fallo son de 200ns. Sin tener en cuenta los fallos de página, se pide:
 - a) Calcula el número de ciclos que en promedio se emplean por cada acceso a la caché de instrucciones.
 - b) Calcula el número de ciclos que en promedio se emplean por cada acceso a la caché de datos.
 - c) Calcula el tiempo medio de acceso a memoria en ns.
 - d) Calcula el CPI global del procesador incluyendo la jerarquía de memoria y suponiendo que $CPI_{saltos} = 1.27$, $CPI_{loads} = 2.5$ y que el resto de instrucciones tienen un CPI ideal de 1 ciclo.

Ejercicios Adicionales

6. En una máquina el acceso al TLB consume un ciclo y el acceso a la caché otro ciclo más. En determinadas circunstancias se pueden realizar ambos accesos en paralelo, pero no siempre. Tenemos cachés de instrucciones y datos separadas de 16 Kbytes cada una y de correspondencia directa. La caché de datos es de postescritura. El tamaño de página de la memoria virtual es de 4 Kbytes. La penalización por fallo de caché es de 50 ciclos y la tasa de fallos tanto para instrucciones como para datos es del 5 %. Se supone que el TLB siempre acierta.
- Indica qué cambios deberíamos hacer en nuestra caché para que se pudieran solapar los ciclos de traducción de la memoria virtual por el TLB y el acceso a la caché. Justifícalo muy brevemente.
 - ¿Existe alguna forma de conseguir que el CPI ideal sea 1 a pesar de que el acceso al TLB y a la caché ocupen dos ciclos? Explicar muy brevemente.
 - Señala de entre los siguientes efectos secundarios, cuáles podríamos sufrir si hiciésemos los cambios indicados en el apartado a) a nuestra caché.
 - El ciclo de reloj aumenta un 10 %.
 - La penalización por fallo aumenta un 10 %.
 - La tasa de fallos disminuye un 20 %.
 - El tamaño del bloque disminuye a la mitad.
 - Aumentamos el número de búfers de escritura al doble.
 - Teniendo en cuenta los efectos secundarios anteriores, compara el rendimiento de ambas máquinas (la del apartado a) y la del b)) usando el tiempo medio de acceso a memoria. ¿Cuál es la más rápida?
 - Vuelve a compararlas usando el tiempo de CPU sabiendo que el 30 % de las instrucciones son cargas y almacenamientos. ¿Cuál es la más rápida?
 - Por las características de la primera máquina su pipeline es más largo, resultando en un peor comportamiento con los saltos. Por tanto los diseñadores le han incluido un predictor de salto con correlación que ofrece una tasa de acierto del 90 %. La máquina modificada se aprovecha también de ese mismo predictor. Sabiendo que la penalización por salto mal predicho en el primer caso es de 4 ciclos y en el segundo de 2 y que hay un 20 % de saltos, ¿cuál es la mejor máquina ahora?
7. Tenemos un procesador con cachés de instrucciones y datos separadas de 8KB cada una, de correspondencia directa y postescritura con búsqueda de bloque. El tiempo de servicio en caso de acierto es de 1 ciclo. Los bloques de ambas cachés son de 4 palabras. La tasa de fallos de instrucciones es del 1 % y la de datos del 5 %. Se ha observado que en término medio el 25 % de los bloques están sucios. La penalización en caso de fallo de caché sigue la siguiente fórmula: $40 + NumPalabras \times 4$ ciclos. No hay búfer de escritura. La distribución de instrucciones es la siguiente: 50 % ALU, 20 % cargas, 10 % almacenamientos y 20 % saltos. El CPI base sin tener en cuenta el efecto de la jerarquía de memoria es 1.
- Calcula el tiempo medio por acceso y el CPI de la configuración dada.
 - Queremos comparar la jerarquía de memoria anterior con otra con las mismas características y tasas de fallos, pero con escritura directa, sin búsqueda de bloque, y también sin búfer de escritura. Compara el tiempo medio por acceso de ambas y calcula el CPI de la nueva.

- c) Pensamos que la falta de un búfer de escritura es en parte responsable del rendimiento de la nueva configuración. Así pues, le vamos a añadir un búfer de escritura a la caché de datos de la configuración anterior. De esta forma, la caché de datos sólo se detiene en las escrituras con una probabilidad del 8 %, que es la de encontrar el búfer lleno, en cuyo caso va directamente a escribir en memoria principal. Sin embargo, el 12 % de los fallos de lectura nos cuestan en promedio 10 ciclos más por tener que esperar a que se escriba parte del bloque buscado. Compara el tiempo medio por acceso de esta nueva configuración con las dos anteriores.
- d) Aumentamos ahora la asociatividad de ambas cachés, reduciendo sus tasas de fallo a la mitad, pero aumentando un 11 % el ciclo de reloj, manteniendo la configuración del apartado c). Compara los CPI y los tiempos de CPU de la configuración del apartado a) con esta nueva versión.
- e) ¿Sería preferible esto último, o que un compilador avanzado nos optimizara el código, eliminando el 20 % de las instrucciones ALU y el 10 % de las cargas y almacenamientos respecto a la configuración del apartado c)?
8. Tenemos un procesador con el siguiente pipeline: $F_1 F_2 D X_1 X_2 M_1 M_2 M_3 W$; con caché de instrucciones y datos separadas, direccionadas y etiquetadas físicamente, con tasas de fallos del 2 % y 10 % respectivamente, penalización por fallo de 40 ciclos y post-escritura con un 40 % de bloques sucios. También tenemos un TLB con una tasa de fallo del 1 % y una penalización por fallo de 100 ciclos. La distribución de instrucciones es:

Load/Store	30 %	1.4 ciclos
ALU	50 %	1.2 ciclos
Branches	20 %	1.2 ciclos

- a) Calcula el tiempo medio de acceso a memoria y el CPI de la máquina indicada.
- b) Añadimos un búfer de prebúsqueda a la caché de instrucciones. Este búfer tiene un ciclo de acceso y se accede al no encontrar el bloque en la caché de instrucciones. El bloque se encuentra un 60 % de las veces. Además aumentamos la asociatividad de las cachés, reduciendo las tasas de fallos a la mitad pero aumentando el ciclo un 10 %. Compara esta nueva configuración con la del apartado a) usando tanto CPI como T_{CPU} .
- c) Consideramos que hay demasiada penalización aún, así que cambiamos la caché direccionada físicamente por otra direccionada y etiquetada virtualmente donde el acceso al TLB se realiza solamente cuando se tiene que acceder a la memoria principal. Se mantienen las modificaciones hechas en el apartado b). Ahora el pipeline es diferente: $F D X_1 X_2 M_1 M_2 W$ y los saltos reducen su CPI inicial de 1,2 a 1,1. Compara la nueva máquina con la del apartado b) usando T_{ma} y T_{CPU} .
9. La empresa DMA quiere mejorar su línea de procesadores para lo que diseña un nuevo procesador, el LATHON-V, que en su versión inicial emplea una jerarquía de memoria con cachés de instrucciones y datos de primer nivel separadas, ambas de correspondencia directa y con política de escritura directa. Se quieren realizar las siguientes evaluaciones de rendimiento de la jerarquía de memoria:
- a) Calcular el CPI real del procesador para la configuración inicial, teniendo en cuenta los efectos de la jerarquía de memoria. Suponemos que el CPI ideal del sistema es de 1.2 ciclos, que las tasas de fallos son de 2 % y 5 % para las cachés de instrucciones y datos respectivamente, y que el tiempo de acceso a memoria principal es de 50 ciclos. Tenemos un 20 % de cargas y un 10 % de almacenamientos.
- b) Supongamos que cambiamos la política de escritura de la caché de datos a una de post-escritura con una probabilidad de 15 % de que un bloque esté sucio y añadimos, también a

la caché de datos, un búfer de escritura para almacenar los bloques sucios, y que tiene una probabilidad de acierto de 30 % y 2 ciclos de tiempo de acceso. Sin embargo, el 10 % de los bloques sucios que se mandan al búfer no pueden almacenarse allí, puesto que se encuentra lleno, lo que obliga a acceder a memoria principal. ¿Cuál será el nuevo CPI y la ganancia obtenida frente a la configuración del apartado a)?

- c) Si en lugar del anterior búfer de escritura añadimos un búfer de prebúsqueda a la caché de datos, cuya probabilidad de acierto también es de 30 % pero con un único ciclo de acceso, ¿en qué porcentaje se mejorará o empeorará el tiempo de ejecución de la configuración del apartado b)? Nota: la caché de datos continúa teniendo una política de postescritura igual que en el apartado anterior.
- d) Si a la configuración del apartado a) le añadimos un sistema de memoria virtual con TLBs de instrucciones y datos separados, teniendo ambos TLBs tasas de fallos de 1 %, 100 ciclos de penalización por fallo y 1 ciclo de tiempo de servicio, ¿cuál será el nuevo CPI y la ganancia o pérdida obtenida respecto a la configuración del apartado a) suponiendo que la caché de instrucciones está indexada y etiquetada virtualmente mientras que la caché de datos está indexada y etiquetada físicamente?