

به نام خدا



دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

الکترونیک دیجیتال

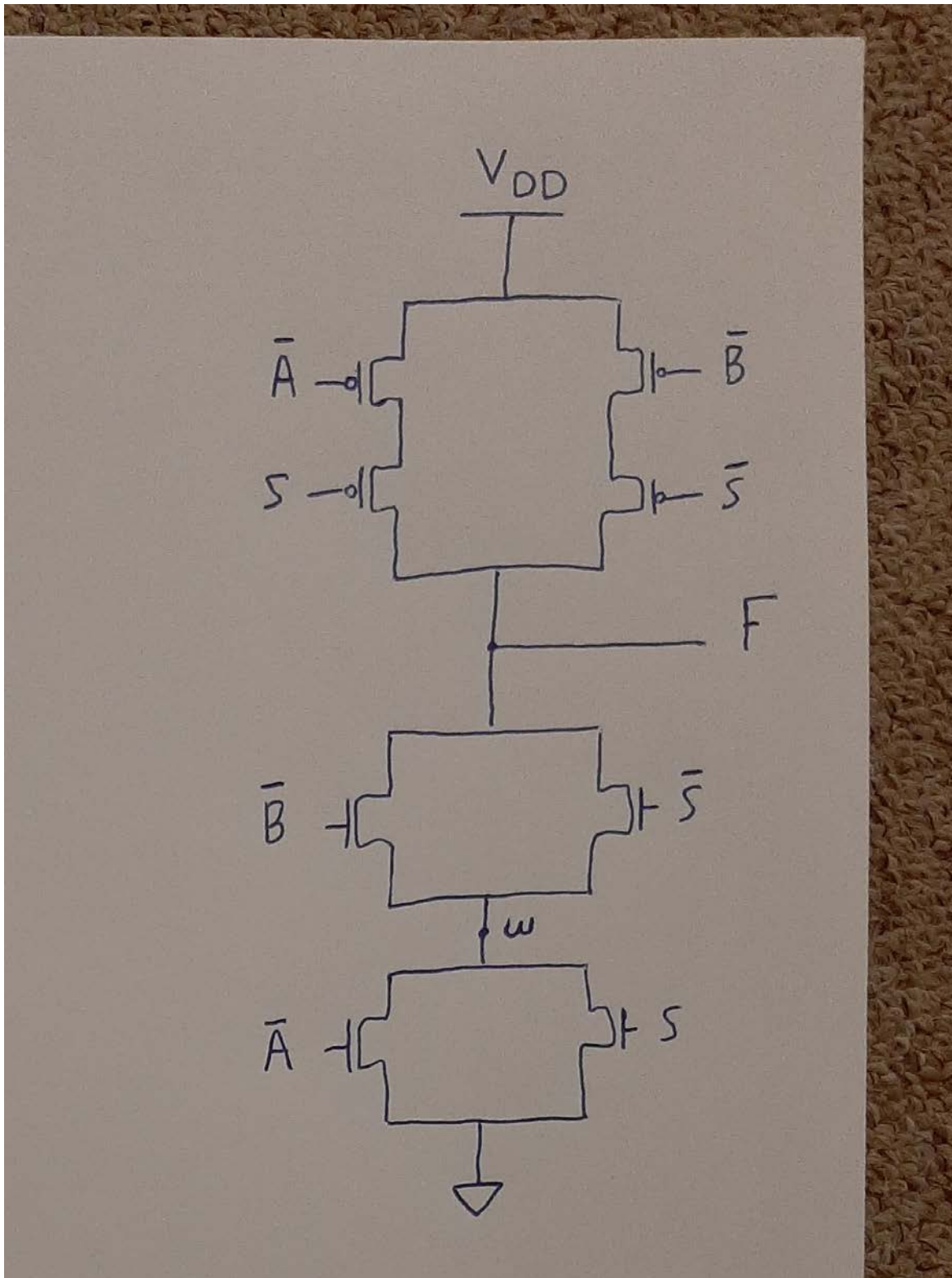
تمرین کامپیوتری ۳

محمد تقی زاده گیوری

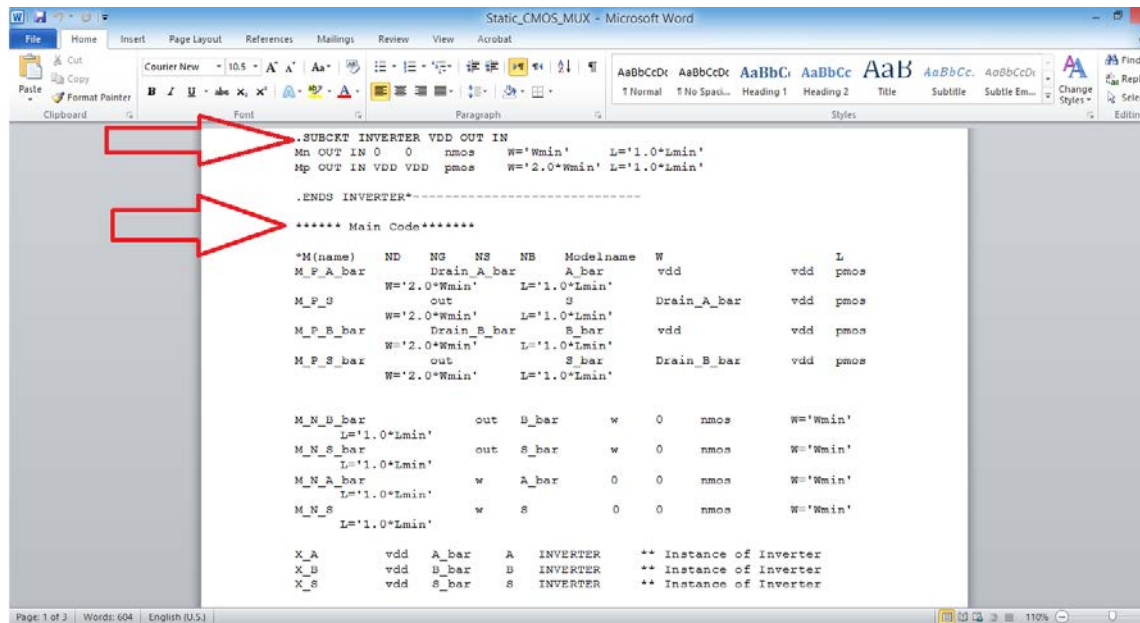
۸۱۰۱۹۸۳۷۳

پاییز ۱۴۰۱

ساختار MUX 2:1 با منطق Static CMOS (شماتیک مدار)



## ساختار 2:1 MUX با منطق Static CMOS (كد HSPICE)



```

.SUBCKT INVERTER VDD OUT IN
Mn OUT IN 0 0 nmos W='Wmin' L='1.0*Lmin'
Mp OUT IN VDD VDD pmos W='2.0*Wmin' L='1.0*Lmin'
.ENDS INVERTER

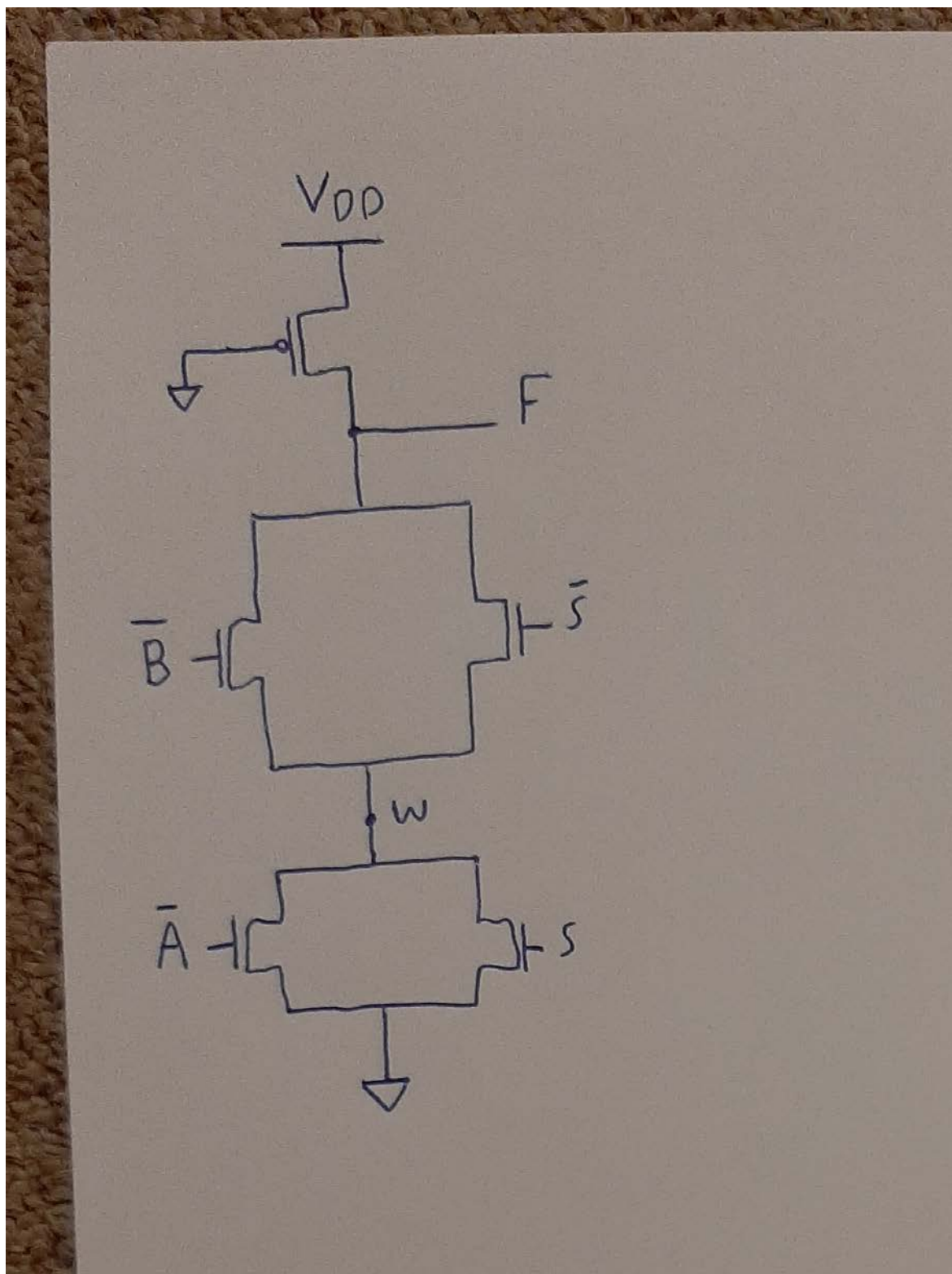
***** Main Code*****

*M(name) ND NG NS NB Modelname W L
M_F_A_bar Drain_A_bar A_bar vdd vdd pmos
W='2.0*Wmin' L='1.0*Lmin'
M_F_S out S Drain_A_bar vdd pmos
W='2.0*Wmin' L='1.0*Lmin'
M_F_B_bar Drain_B_bar B_bar vdd vdd pmos
W='2.0*Wmin' L='1.0*Lmin'
M_F_S_bar out S_bar Drain_B_bar vdd pmos
W='2.0*Wmin' L='1.0*Lmin'

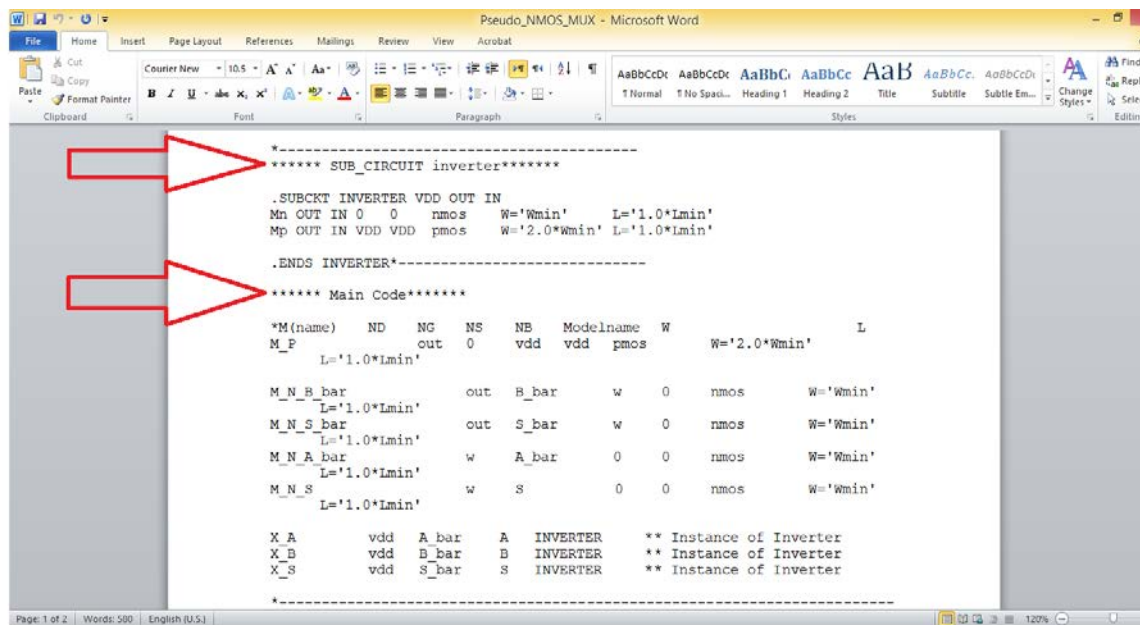
M_N_B_bar out B_bar w 0 nmos W='Wmin'
L='1.0*Lmin'
M_N_S_bar out S_bar w 0 nmos W='Wmin'
L='1.0*Lmin'
M_N_A_bar w A_bar 0 0 nmos W='Wmin'
L='1.0*Lmin'
M_N_S w S 0 0 nmos W='Wmin'
L='1.0*Lmin'

X_A vdd A_bar A INVERTER ** Instance of Inverter
X_B vdd B_bar B INVERTER ** Instance of Inverter
X_S vdd S_bar S INVERTER ** Instance of Inverter
    
```

ساختار MUX 2:1 با منطق Pseudo-NMOS (شماتیک مدار)



## ساختار MUX 2:1 با منطق Pseudo-NMOS (كد HSPICE)



```

***** SUB_CIRCUIT inverter*****

.SUBCKT INVERTER VDD OUT IN
Mn OUT IN 0 0 nmos W='Wmin' L='1.0*Lmin'
Mp OUT IN VDD VDD pmos W='2.0*Wmin' L='1.0*Lmin'
.ENDS INVERTER

***** Main Code*****

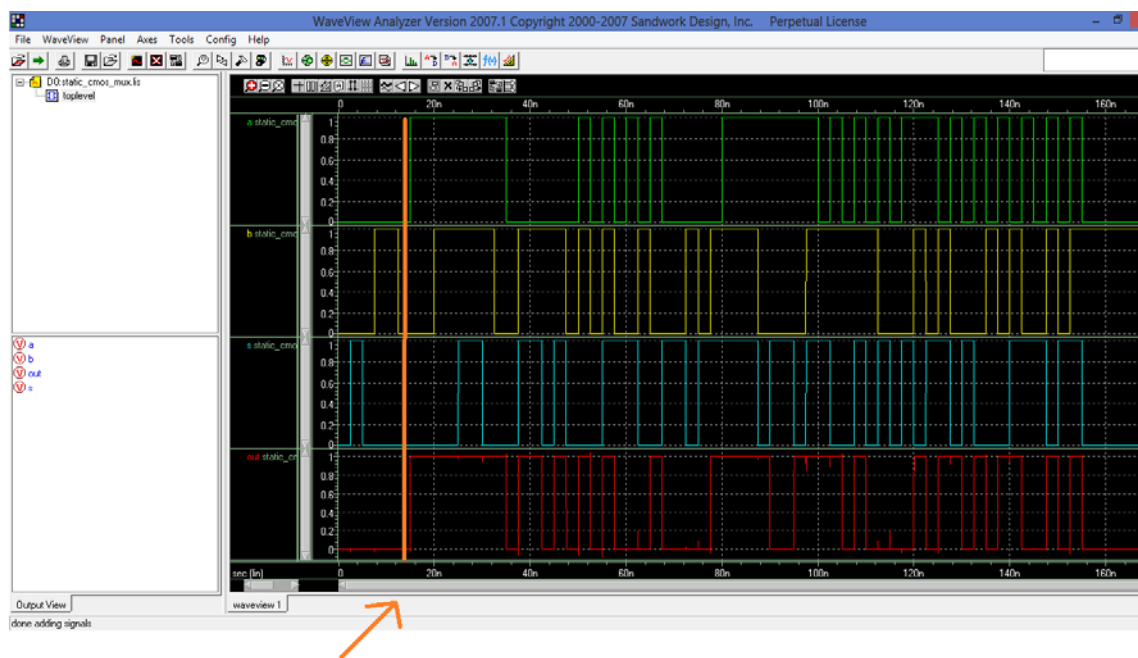
*M(name) ND NG NS NB Modelname W L
M_F out 0 vdd vdd pmos W='2.0*Wmin' L='1.0*Lmin'

M_N_B_bar out B_bar w 0 nmos W='Wmin' L='1.0*Lmin'
M_N_S_bar out S_bar w 0 nmos W='Wmin' L='1.0*Lmin'
M_N_A_bar w A_bar 0 0 nmos W='Wmin' L='1.0*Lmin'
M_N_S w S 0 0 nmos W='Wmin' L='1.0*Lmin'

X_A vdd A_bar A INVERTER ** Instance of Inverter
X_B vdd B_bar B INVERTER ** Instance of Inverter
X_S vdd S_bar S INVERTER ** Instance of Inverter

```

## خروجی شبیه سازی MUX 2:1 با منطق Static CMOS



### بررسی صحت عملکرد مدار:

در قسمت چپ نوار (خط) نارنجی رنگ در تصویر فوق:

ابتدا ورودی  $S$ ، ۱ شده پس خروجی برابر با مقدار ورودی  $B$  (که در آن لحظه ۰ است) می شود.  
 سپس ورودی  $S$ ، ۰ شده پس خروجی برابر با مقدار ورودی  $A$  (که در آن لحظه ۰ است) می شود.

در قسمت راست نوار (خط) نارنجی رنگ در تصویر فوق:

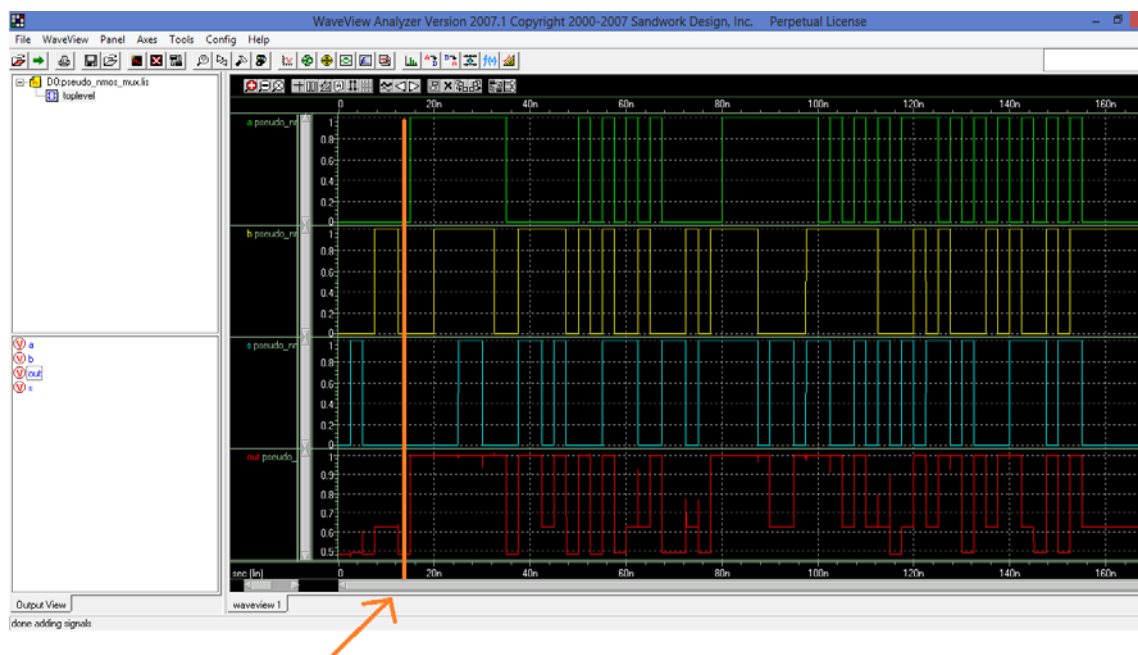
سپس ورودی  $A$ ، ۱ شده پس خروجی برابر با مقدار ورودی  $A$  (که در آن لحظه ۱ است) می شود.  
 در آخر ورودی  $S$ ، ۱ شده پس خروجی برابر با مقدار ورودی  $B$  (که در آن لحظه ۱ است) می شود.

همان طور که دیدید مقدار خروجی همواره برابر است با:

$$F = \bar{S}.A + S.B$$

که نشان دهنده درستی عملکرد مدار MUX 2:1 است.

## خروجی شبیه سازی MUX 2:1 با منطق Pseudo-NMOS



بررسی صحت عملکرد مدار:

در قسمت چپ نوار(خط) نارنجی رنگ در تصویر فوق:

ابتدا ورودی S، ۱ شده پس خروجی برابر با مقدار ورودی B (که در آن لحظه low است) می شود.  
سپس ورودی S، ۰ شده پس خروجی برابر با مقدار ورودی A (که در آن لحظه low است) می شود.

در قسمت راست نوار(خط) نارنجی رنگ در تصویر فوق:

سپس ورودی A، ۱ شده پس خروجی برابر با مقدار ورودی A (که در آن لحظه high است) می شود.  
در آخر ورودی S، ۱ شده پس خروجی برابر با مقدار ورودی B (که در آن لحظه high است) می شود.

همان طور که دیدید مقدار خروجی همواره برابر است با:

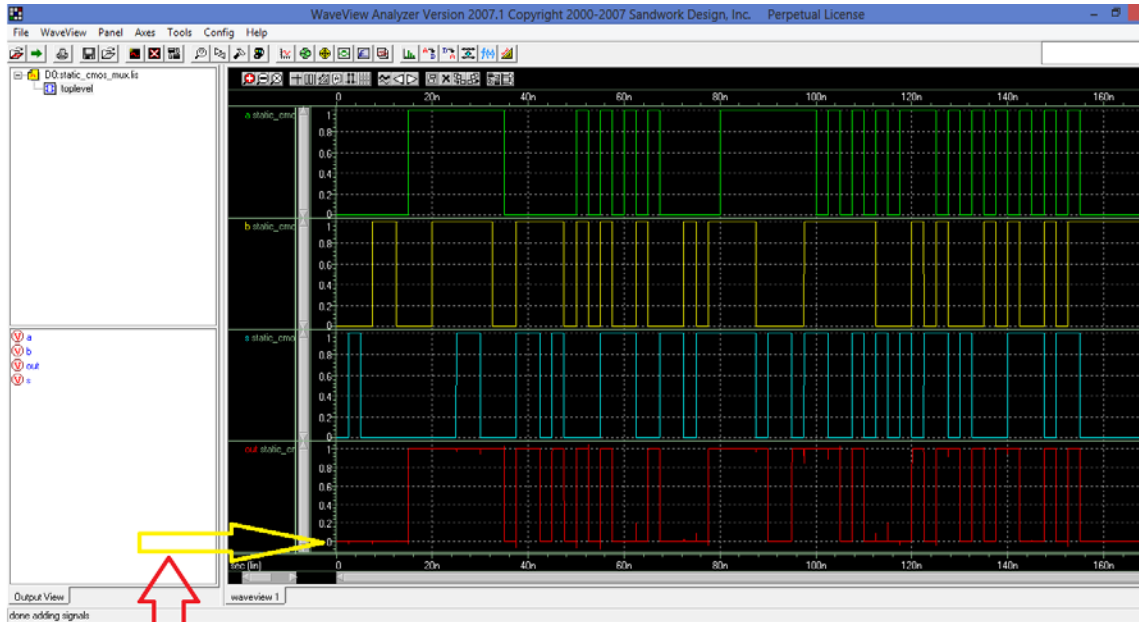
$$F = \bar{S}.A + S.B$$

که نشان دهنده درستی عملکرد مدار MUX 2:1 است.

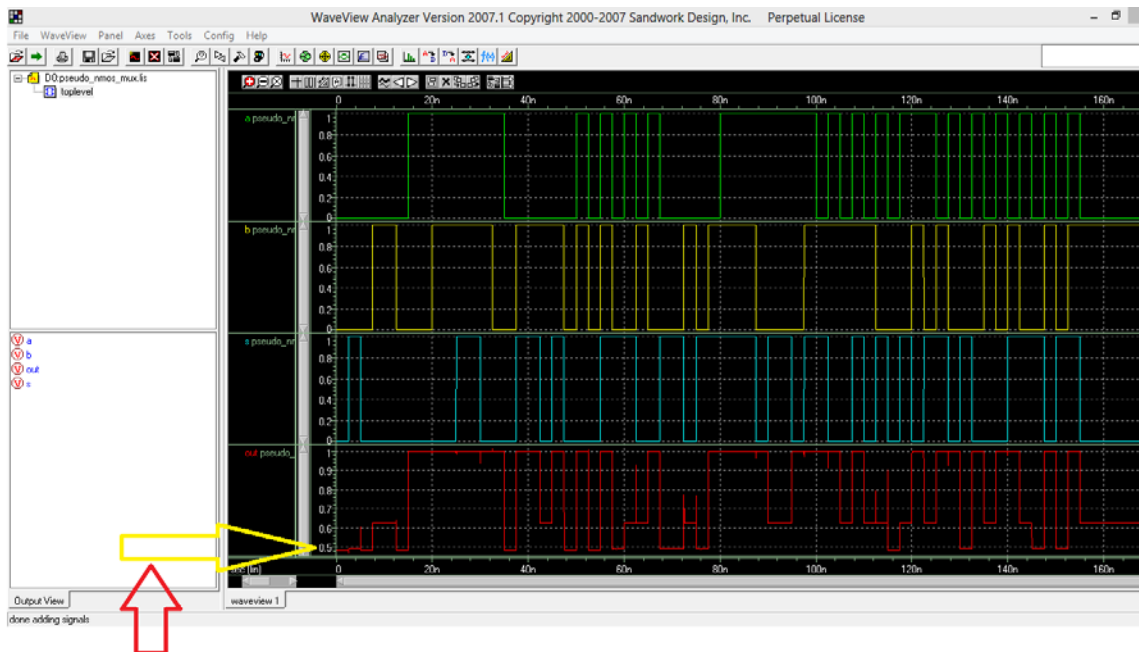


مقایسه اندازه ولتاژ خروجی زمانی که خروجی مدار low است

ساختار MUX 2:1 با منطق Static CMOS



ساختار MUX 2:1 با منطق Pseudo-NMOS



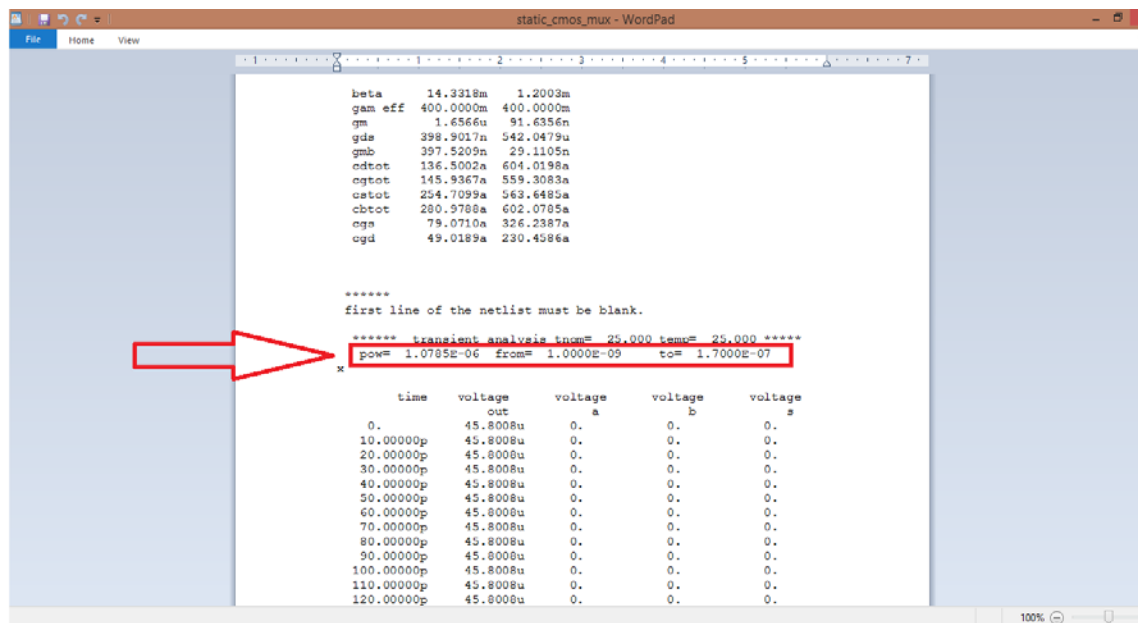
همان طور که در تصاویر فوق میبینید، ولتاژ خروجی Static CMOS زمانی که خروجی مدار low است برابر با 0 است. در حالی که ولتاژ خروجی در Pseudo-NMOS برابر با 0.5 است.



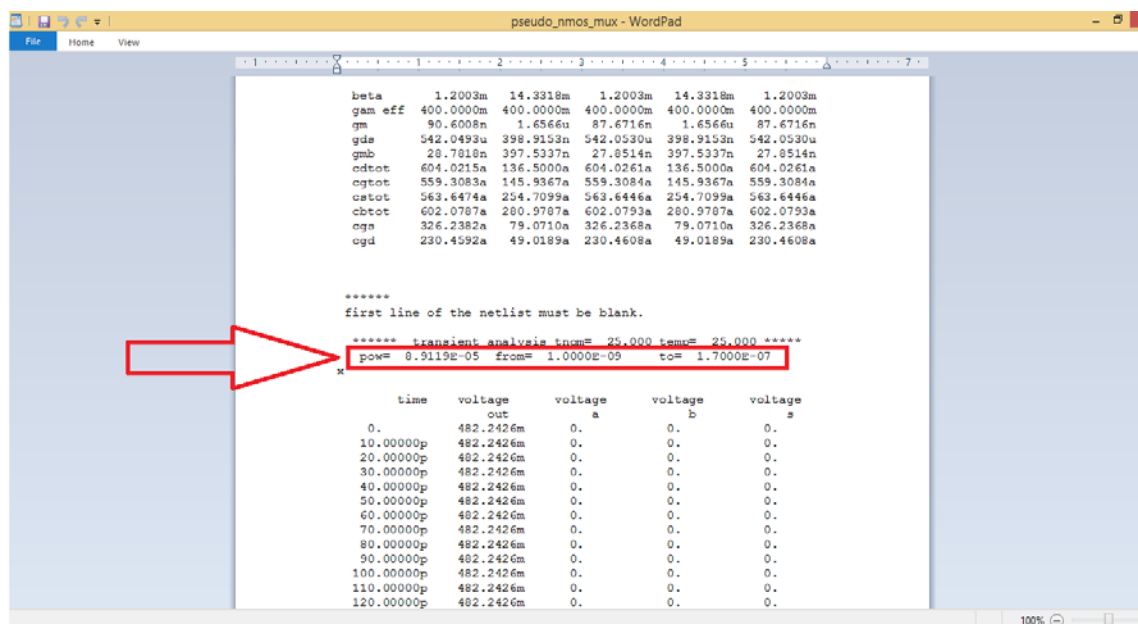
علت این اتفاق آن است که زمانی که خروجی مدار low می شود، در ساختار Pseudo-NMOS همچنان قسمت PUN (PMOS ای که گیت آن زمین شده) روشن است و در نتیجه ولتاژ خروجی را مقداری افزایش می دهد. هر چه نسبت W/L ترانزیستور PUN نسبت به ترانزیستور های استفاده شده در قسمت PDN کوچک تر باشد، مقاومت مسیر خروجی به VDD بیش تر شده و در نتیجه ولتاژ خروجی در حالت low کوچک تر شده و به مقدار 0 نزدیک تر می شود.

## مقایسه توان مصرفی

### ساختار MUX 2:1 با منطق Static CMOS



### ساختار MUX 2:1 با منطق Pseudo-NMOS

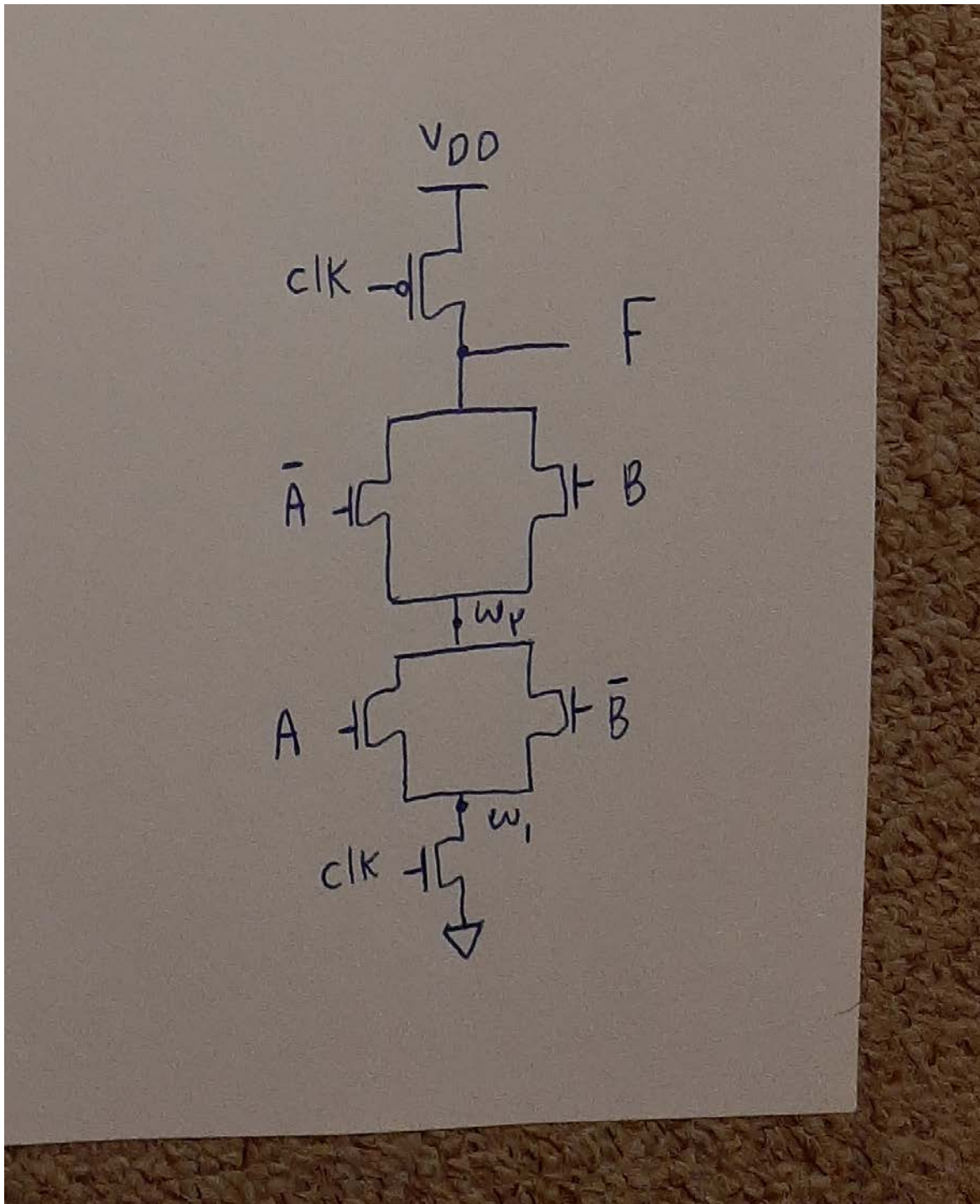


همان طور که در تصاویر فوق میبینید، توان مصرفی Static CMOS برابر با  $1.0785E06$  (۱ میکرو وات) است.

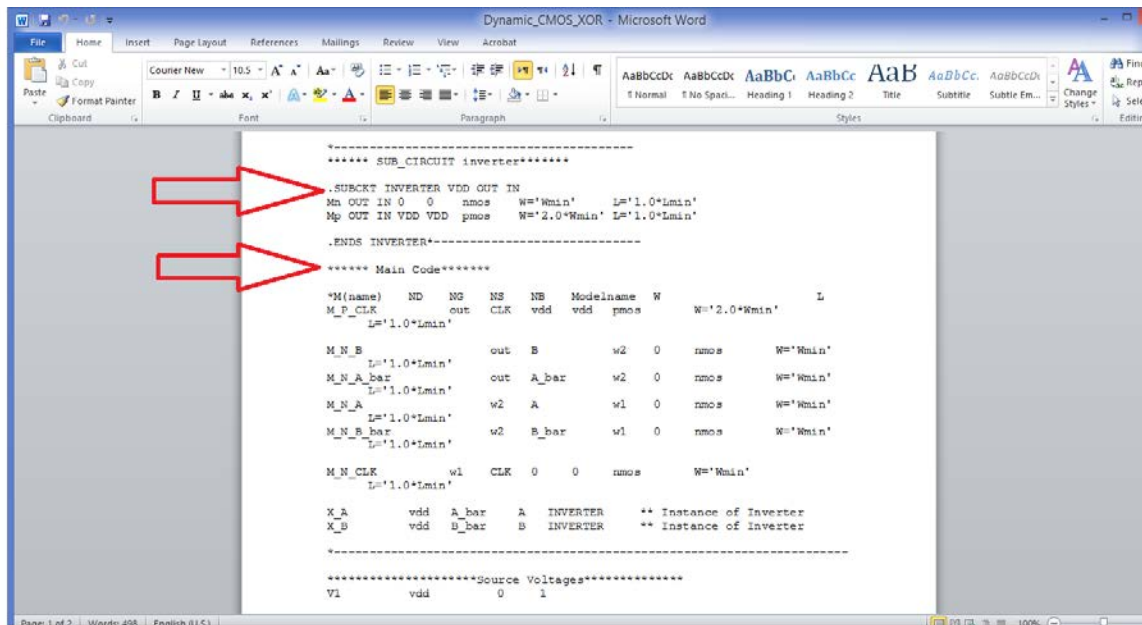
در حالی که توان مصرفی در Pseudo-NMOS برابر با  $8.9119E05$  (۸۰ میکرو وات) است.

علت بیش تر بودن توان مصرفی در ساختار Pseudo-NMOS، آن است که در این ساختار همواره قسمت PUN (PMOS) ای که گیت آن زمین شده) روشن است در حالی که در ساختار Static CMOS همواره یکی از PUN یا PDN روشن است. در نتیجه به علت مصرف توان اضافه، زمانی که خروجی مدار low است توان مصرفی در ساختار Pseudo-NMOS از توان مصرفی در ساختار Static CMOS بیش تر است.

ساختار XOR با منطق Dynamic CMOS (شماتیک مدار)



## ساختار XOR با منطق Dynamic CMOS (کد HSPICE)



```

***** SUB_CIRCUIT inverter*****
.SUBCIRCT INVERTER VDD OUT IN
Mn OUT IN 0 0 nmos W='Wmin' L='1.0*Lmin'
Mp OUT IN VDD VDD pmos W='2.0*Wmin' L='1.0*Lmin'
.ENDS INVERTER-----

***** Main Code*****

*M(name) ND NG NS NB Modelname W L
M_P_CLK out CLK vdd vdd pmos W='2.0*Wmin' L='1.0*Lmin'

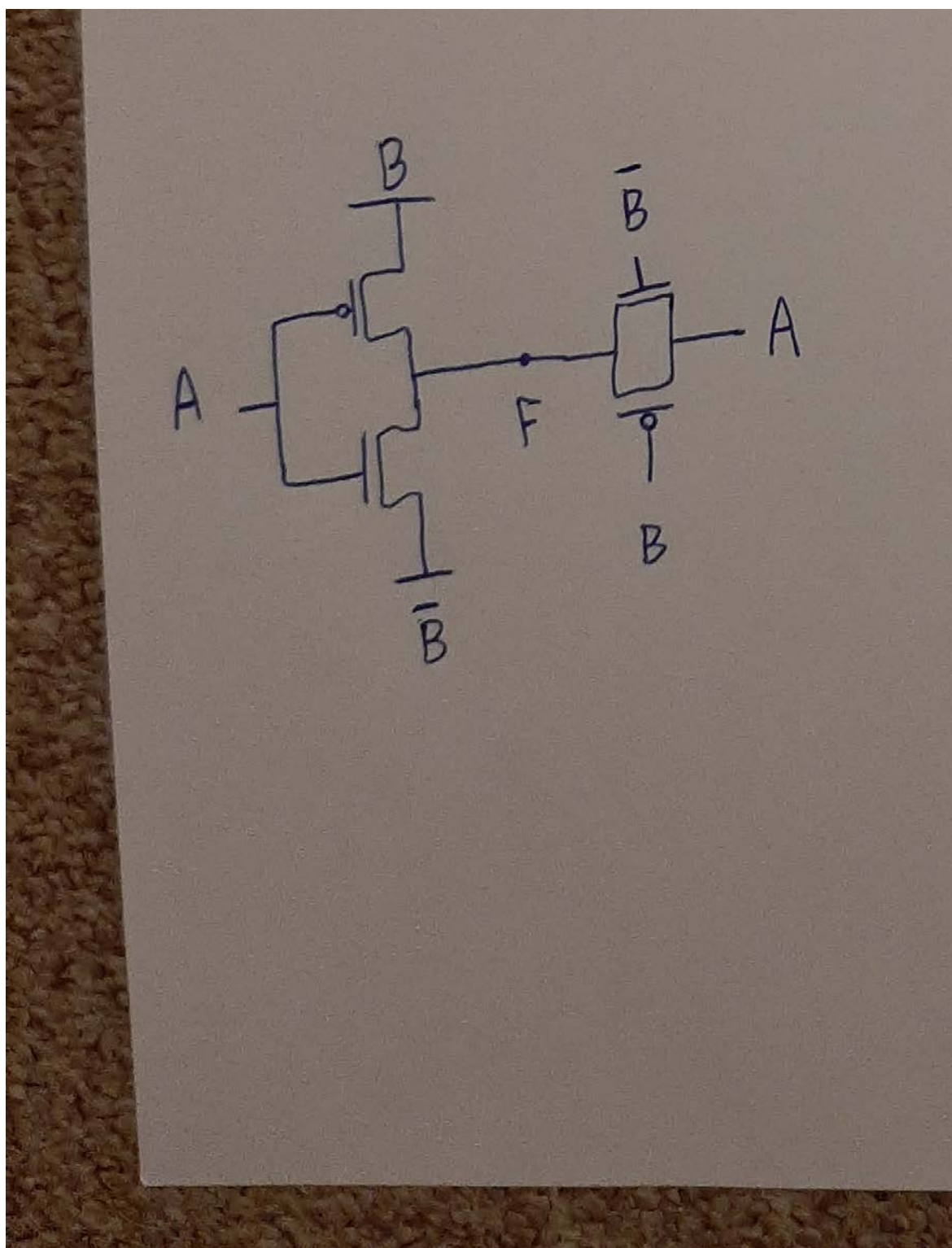
M_N_B out B w2 0 nmos W='Wmin' L='1.0*Lmin'
M_N_A_bar out A_bar w2 0 nmos W='Wmin' L='1.0*Lmin'
M_N_A w2 A w1 0 nmos W='Wmin' L='1.0*Lmin'
M_N_B_bar w2 B_bar w1 0 nmos W='Wmin' L='1.0*Lmin'

M_N_CLK w1 CLK 0 0 nmos W='Wmin' L='1.0*Lmin'

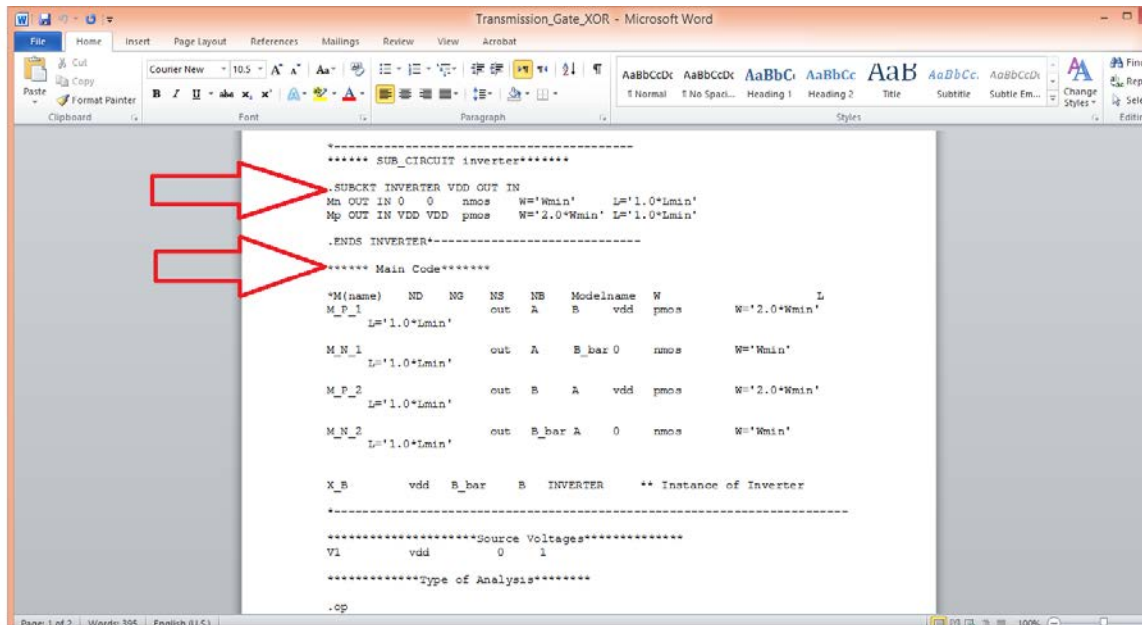
X_A vdd A_bar A INVERTER ** Instance of Inverter
X_B vdd B_bar B INVERTER ** Instance of Inverter

-----
*****Source Voltages*****
V1 vdd 0 1
    
```

ساختار XOR با منطق Transmission Gate (شماتیک مدار)



## ساختار XOR با منطق Transmission Gate (کد HSPICE)

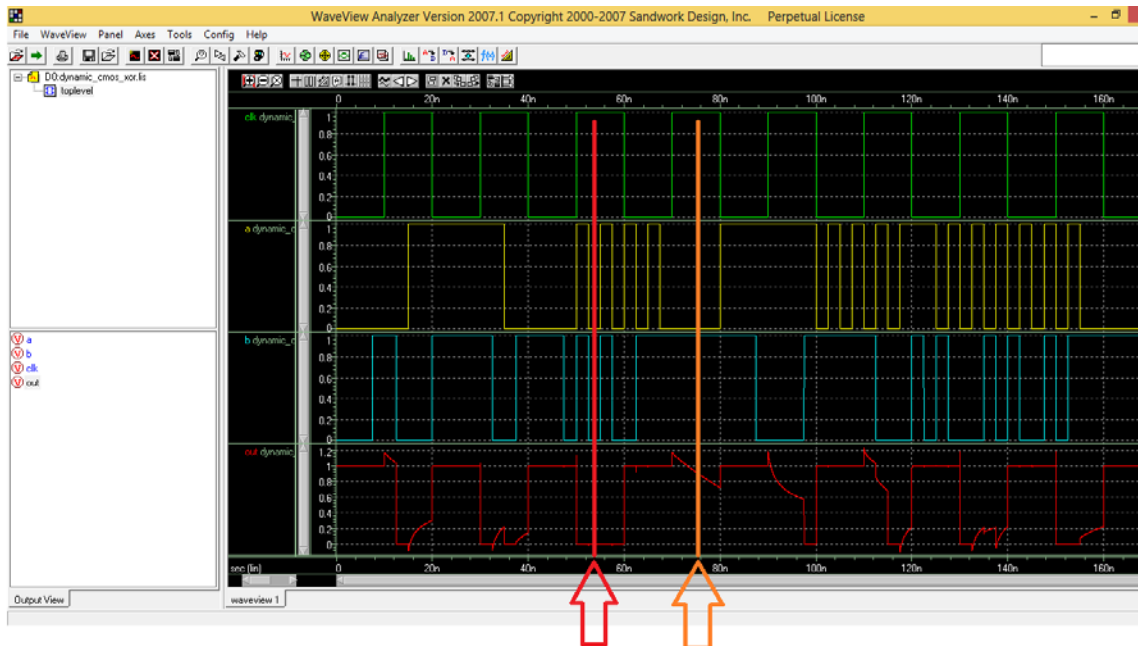


```

***** SUB_CIRCUIT inverter*****
.SUBCKT INVERTER VDD OUT IN
Mn OUT IN 0 0 nmos W='Wmin' L='1.0*Lmin'
Mp OUT IN VDD VDD pmos W='2.0*Wmin' L='1.0*Lmin'
.ENDS INVERTER*****
***** Main Code*****
*M(name) ND NG NS NB Modelname W
M_P_1 out A B vdd pmos W='2.0*Wmin'
L='1.0*Lmin'
M_N_1 out A B_bar 0 nmos W='Wmin'
L='1.0*Lmin'
M_P_2 out B A vdd pmos W='2.0*Wmin'
L='1.0*Lmin'
M_N_2 out B_bar A 0 nmos W='Wmin'
L='1.0*Lmin'
X_B vdd B_bar B INVERTER ** Instance of Inverter
*****Source Voltages*****
V1 vdd 0 1
*****type of Analysis*****
.cp
  
```



## خروجی شبیه سازی XOR با منطق Dynamic CMOS



بررسی صحت عملکرد مدار:

در مواقعی که ورودی clk برابر 0 است، مدار در حالت precharge بوده و خروجی مدار برابر با 1 است در مواقعی که ورودی clk برابر 1 است، مدار در حالت evaluation و خروجی مدار برابر با XOR دو ورودی A و B است:

به نوار(خط) قرمز رنگ در تصویر فوق دقت کنید:

در این لحظه ورودی A و B مشابه هم هستند در نتیجه خروجی مدار برابر با XOR دو ورودی و برابر با 0 می شود. (از جایی که دو ورودی مثل هم هستند XOR آن ها 0 است)

به نوار(خط) نارنجی رنگ در تصویر فوق دقت کنید:

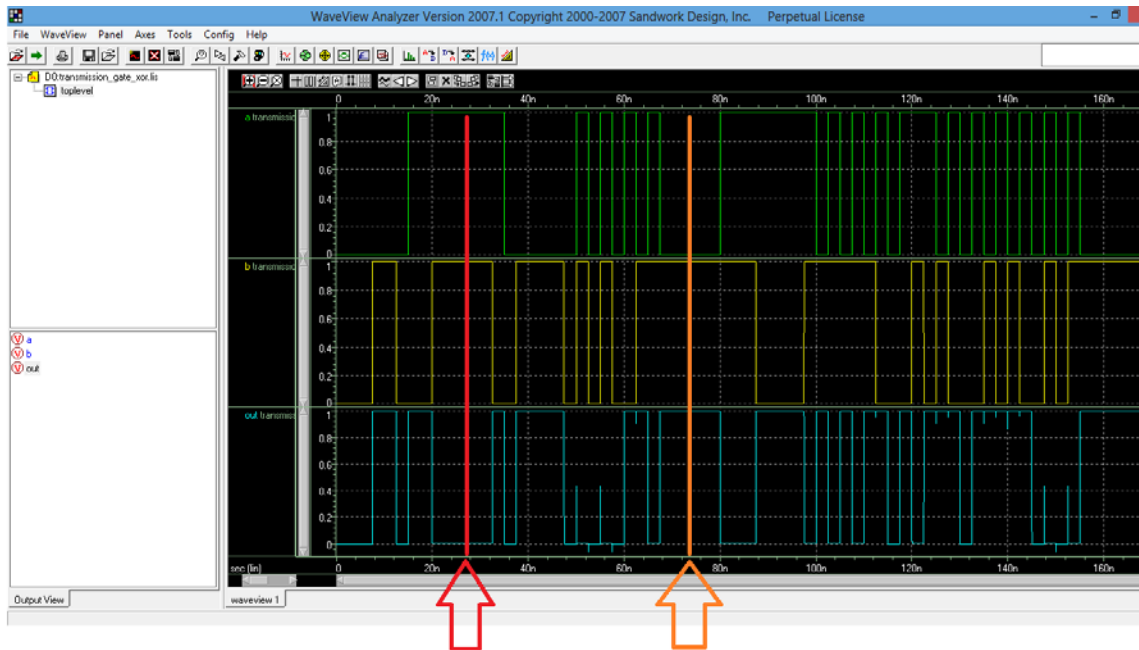
در این لحظه ورودی A و B به ترتیب برابر با 0 و 1 هستند در نتیجه خروجی مدار برابر با XOR دو ورودی و برابر با 1 می شود. (از جایی که دو ورودی متضاد هم هستند XOR آن ها 1 است)  
علت اینکه ولتاژ به صورت خطی کاهش یافته است دشارژ شدن خازن خروجی است.

همان طور که دیدید مقدار خروجی همواره برابر است با:

$$F = \bar{A}.B + A.\bar{B}$$

که نشان دهنده درستی عملکرد مدار XOR است.

## خروجی شبیه سازی XOR با منطق Transmission Gate



بررسی صحت عملکرد مدار:

به نوار(خط) قرمز رنگ در تصویر فوق دقت کنید:

در این لحظه ورودی A و B به ترتیب برابر با ۱ و ۱ هستند در نتیجه خروجی مدار برابر با XOR دو ورودی و برابر با 0 می شود. (از جایی که دو ورودی مثل هم هستند XOR آن ها 0 است)

به نوار(خط) نارنجی رنگ در تصویر فوق دقت کنید:

در این لحظه ورودی A و B به ترتیب برابر با 0 و ۱ هستند در نتیجه خروجی مدار برابر با XOR دو ورودی و برابر با ۱ می شود. (از جایی که دو ورودی متضاد هم هستند XOR آن ها ۱ است)

همان طور که دیدید مقدار خروجی همواره برابر است با:

$$F = \bar{A}.B + A.\bar{B}$$

که نشان دهنده درستی عملکرد مدار XOR است.

## ابعاد ترانزیستور ها

از جایی که mobility ترانزیستور nmos ۲ تا ۴ برابر ترانزیستور pmos است، برای اینکه تاخیر حالت صفر به یک و تاخیر یک به صفر مدار تقریباً با هم برابر شوند، نسبت  $W/L$  برای pmos را ۲ برابر این نسبت برای nmos در نظر گرفتیم. در نتیجه:

طول ( $L$ ) ترانزیستورها را برابر با ۳۲ نانو متر در نظر گرفتیم.

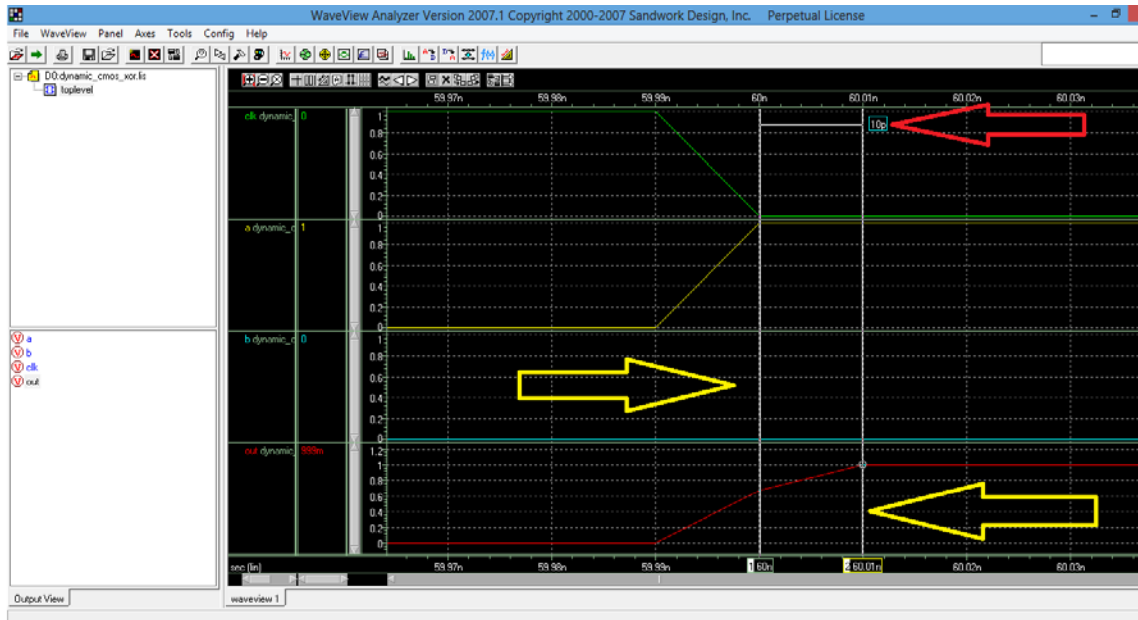
پهنای ( $W$ ) ترانزیستور pmos را ۲ برابر پهنای ( $W$ ) ترانزیستور nmos در نظر گرفتیم.

پهنای ( $W$ ) ترانزیستور nmos را برابر ۲۲۰ نانو متر (سایزینگ کمینه و استاندارد که در تکلیف

کامپیوتری دوم درس الکترونیک دیجیتال به آن اشاره شد) در نظر گرفتیم.

کم ترین و بیش ترین تاخیر

کم ترین تاخیر ساختار XOR با منطق Dynamic CMOS



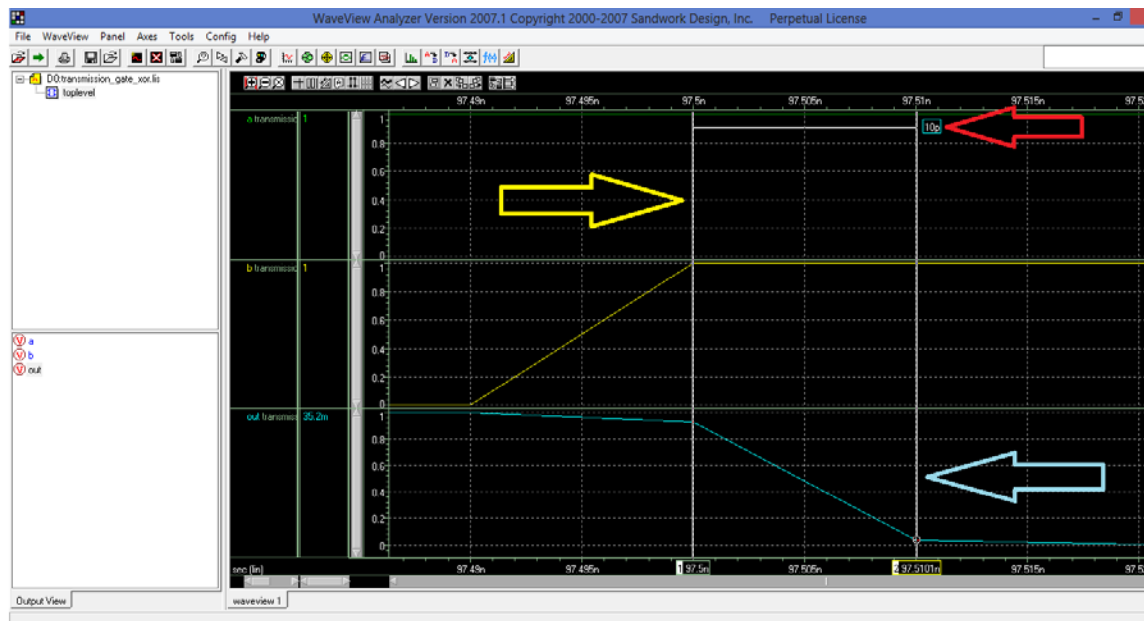
بیش ترین تاخیر ساختار XOR با منطق Dynamic CMOS



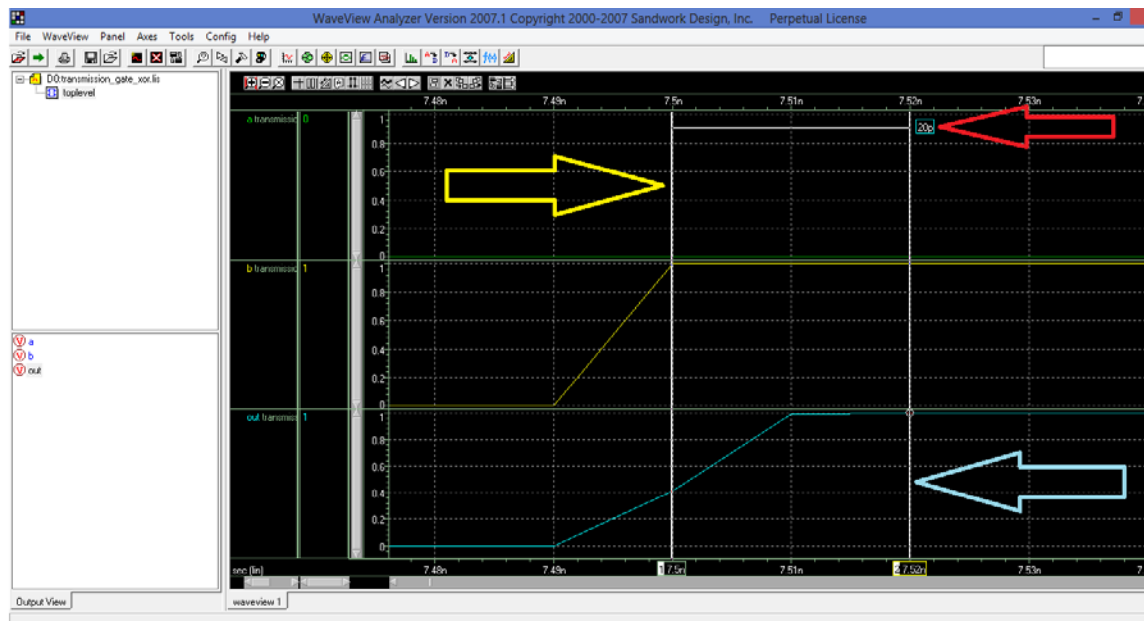
کم ترین تاخیر ساختار XOR با منطق Dynamic CMOS برابر با ۱۰ پیکو ثانیه است.

بیش ترین تاخیر ساختار XOR با منطق Dynamic CMOS برابر با ۲۵ پیکو ثانیه است.

کم ترین تاخیر ساختار XOR با منطق Transmission Gate



بیش ترین تاخیر ساختار XOR با منطق Transmission Gate



کم ترین تاخیر ساختار XOR با منطق Transmission Gate برابر با ۱۰ پیکو ثانیه است.

بیش ترین تاخیر ساختار XOR با منطق Transmission Gate برابر با ۲۰ پیکو ثانیه است.

توان مصرفی

## ساختار XOR با منطق Dynamic CMOS

```

dynamic_cmos_xor - WordPad
File Home View
1 2 3 4 5 6 7
beta      14.3318m  1.2003m  14.3318m  1.2003m
gam eff   400.0000m 400.0000m 400.0000m 400.0000m
gm         1.6566u  86.9450n  1.6566u  86.9570n
gds       398.9178n 542.0539u 398.9178n 542.0539u
gmb       397.5360n 27.6206n 397.5360n 27.6244n
cgtot     136.5000a 604.0273a 136.5000a 604.0273a
cgtot     145.9367a 559.3085a 145.9367a 559.3085a
cstot     254.7099a 563.6438a 254.7099a 563.6439a
cbtot     280.9787a 602.0794a 280.9787a 602.0794a
cgs       79.0710a 326.2364a 79.0710a 326.2364a
cgd       49.0189a 230.4612a 49.0189a 230.4612a

*****
first line of the netlist must be blank.
***** transient analysis tnom= 25.000 temp= 25.000 *****
pow= 5.1751E-07 from= 1.0000E-09 to= 1.7000E-07
x
time      voltage      voltage      voltage      voltage
          out          a          b          clk
0.         999.9688m  0.         0.         0.
10.00000p 999.9688m  0.         0.         0.
20.00000p 999.9688m  0.         0.         0.
30.00000p 999.9688m  0.         0.         0.
40.00000p 999.9688m  0.         0.         0.
50.00000p 999.9688m  0.         0.         0.
60.00000p 999.9688m  0.         0.         0.
70.00000p 999.9688m  0.         0.         0.
80.00000p 999.9688m  0.         0.         0.
90.00000p 999.9688m  0.         0.         0.
100.00000p 999.9688m 0.         0.         0.
110.00000p 999.9688m 0.         0.         0.
120.00000p 999.9688m 0.         0.         0.
100%

```

## ساختار XOR با منطق Transmission Gate

```

transmission_gate_xor - WordPad
File Home View
1 2 3 4 5 6 7
603.8809a 345.1473a 145.9309a 345.1473a 268.0839a 145.9373a
559.3050a 441.2300a 188.9915a 441.2300a 274.2096a 254.7099a
563.7330a 477.4106a 267.5989a 477.4106a 301.4268a 280.9808a
cbtot     602.0626a 161.3031a 49.0195a 161.3031a 150.4909a 79.0710a
cgs       326.2019a 161.3169a 79.0646a 161.3169a 116.6386a 49.0195a
cgd       230.4113a

*****
first line of the netlist must be blank.
***** transient analysis tnom= 25.000 temp= 25.000 *****
pow= 5.4747E-07 from= 1.0000E-09 to= 1.7000E-07
x
time      voltage      voltage      voltage
          out          a          b
0.         74.4031u  0.         0.
10.00000p 74.4031u  0.         0.
20.00000p 74.4031u  0.         0.
30.00000p 74.4031u  0.         0.
40.00000p 74.4031u  0.         0.
50.00000p 74.4031u  0.         0.
60.00000p 74.4031u  0.         0.
70.00000p 74.4031u  0.         0.
80.00000p 74.4031u  0.         0.
90.00000p 74.4031u  0.         0.
100.00000p 74.4031u 0.         0.
110.00000p 74.4031u 0.         0.
120.00000p 74.4031u 0.         0.
100%

```

توان مصرفی در Dynamic CMOS برابر با  $5.1751E-07$  (0.5 میکرو وات) است.

توان مصرفی در Transmission Gate برابر با  $5.4747E-07$  (0.5 میکرو وات) است.