


UNIVERSIDAD ICESI		
FACULTAD DE INGENIERÍA		
PERIODO ACADEMICO: 2024-2		
LOGICA DIGITAL		
Docente: Ing. Juan Palacios M.Sc	Laboratorio 2	

Entrega: 10 de Octubre de 2024  
Trabajo en parejas o individual.

### PLANTEAMIENTO:

- Se tiene una red la cual se encuentra monitoreada por cuatro bits, cada línea representa lo siguiente
  - A (Paquetes enviados):** 1 si se envían correctamente, 0 si no se envían.
  - B (Paquetes recibidos):** 1 si se reciben correctamente, 0 si no se reciben.
  - C (Estado de la latencia):** 1 si la latencia es baja, 0 si es alta.
  - D (Estado del ancho de banda disponible):** 1 si el ancho de banda es suficiente, 0 si es insuficiente.

De igual forma se genera en un display 7 segmentos diferentes códigos de errores como son

Código de error	Condiciones del error
0	No hay error
1	Pérdida de paquetes Congestión en la red
2	Congestión en la red
3	Ancho de banda insuficiente
4	Alta latencia y ancho de banda insuficiente
5	Pérdida de paquetes y alta latencia
6	Pérdida de paquetes y ancho de banda insuficiente
7	No se envían ni se reciben paquetes
8	Pérdida de paquetes, alta latencia y ancho de banda insuficiente
9	Fallo general en la red

Nota: Como recomendación, deben usar el decodificador BCD a 7 segmentos con el que cuenta Quartus.

- Realizar la resta de dos números de dos bits usando un Half y Full Adder construido por usted y mostrar su resultado en un display 7 segmentos.

Nota: Como recomendación, investigar como se obtiene un numero negativo en binario. Prohibido el uso de VHDL y de sumadores ya integrados.

## **INFORME.**

En un informe claro, concreto, consigne la información resultante del desarrollo del laboratorio, tal como:

- Tabla de verdad.
- Ecuación sin reducir.
- Circuito sin reducir
- Mapas de Karnaugh.
- Ecuación reducida.
- Circuito reducido.
- Resultados prácticos.
- Conclusiones
- Referencias.