

Lógica secuencial

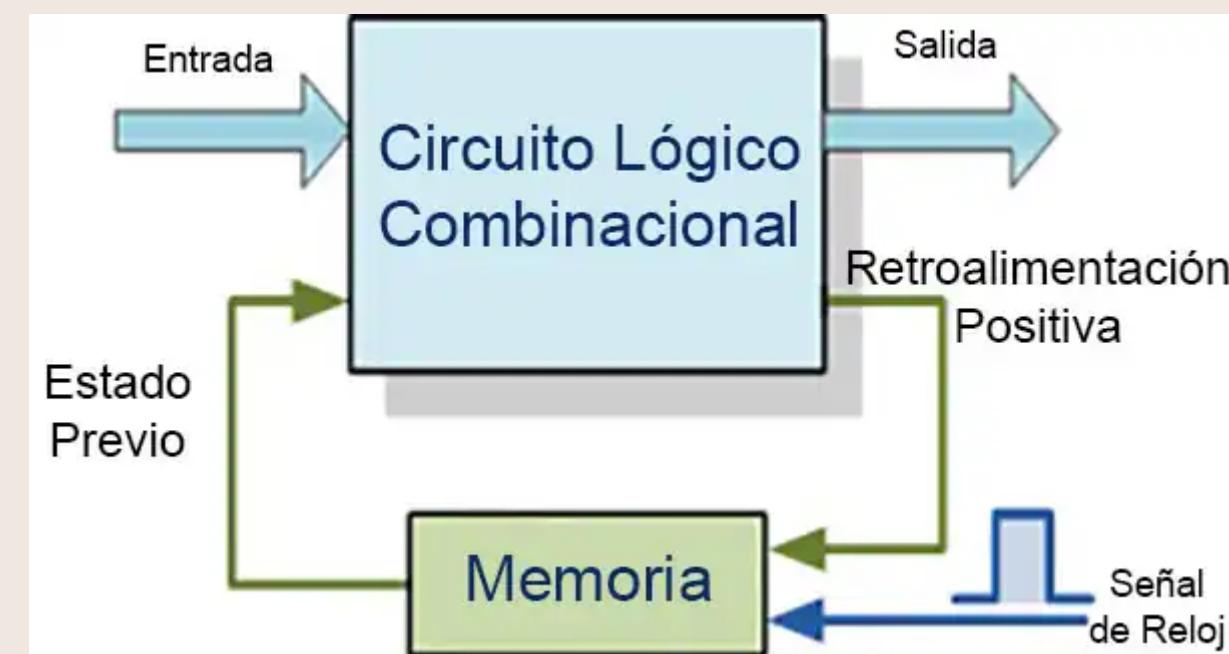
Ing. Juan Esteban Palacios M.sC
juan.palacios4@u.icesi.edu.co



Lógica secuencial.

La lógica secuencial es una rama de la electrónica digital que se ocupa de sistemas digitales que involucran elementos de memoria y almacenamiento temporal.

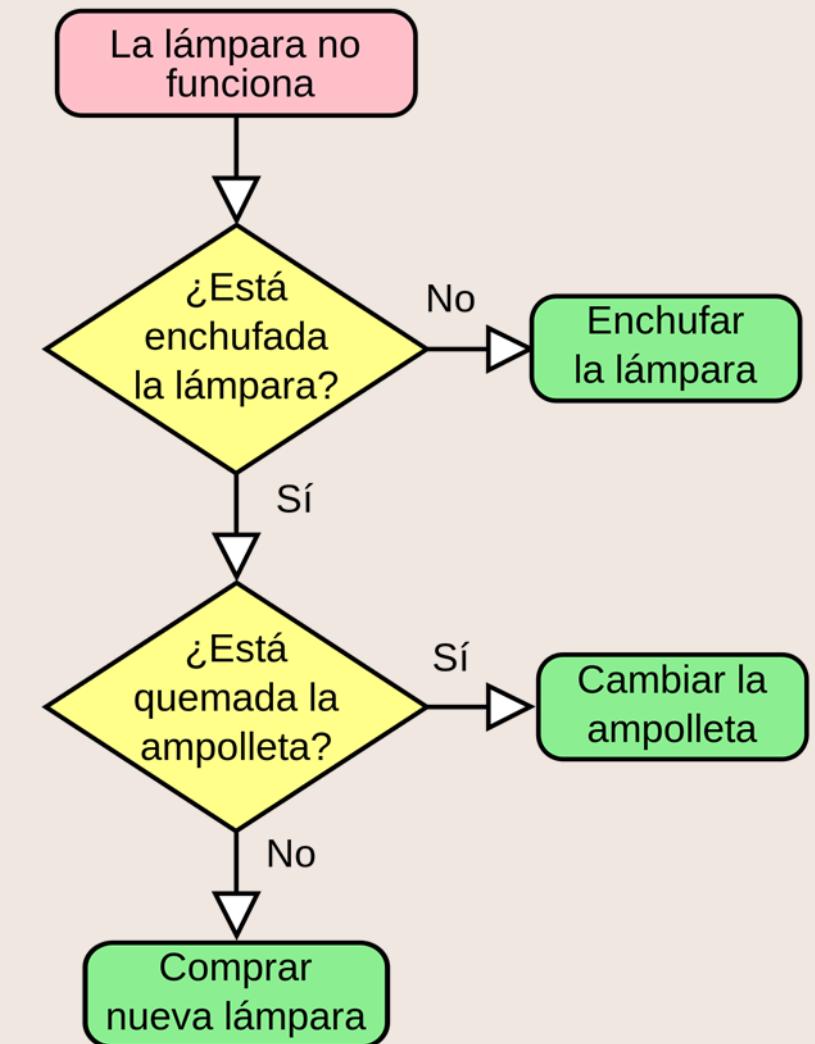
A diferencia de la lógica combinacional, donde la salida depende únicamente de las entradas actuales, la lógica secuencial toma en cuenta el estado actual del sistema, que está determinado por la historia de las entradas y salidas anteriores.



Lógica secuencial.

Los elementos clave en la lógica secuencial son los dispositivos de almacenamiento de información, como los flip-flops y los registros. Estos elementos permiten que un sistema retenga información y la utilice para tomar decisiones o generar salidas en función del estado actual. El concepto de secuencia implica que las salidas de un sistema dependen no solo de las entradas presentes, sino también del estado previo del sistema.

Los circuitos secuenciales se utilizan comúnmente en la construcción de sistemas más complejos, como contadores, máquinas de estado finito y microprocesadores.



Lógica secuencial.

Los sistemas secuenciales son esenciales en la implementación de lógica de control en sistemas digitales, donde es necesario coordinar y sincronizar diversas operaciones en función de condiciones previas.

Algunos conceptos asociados con la lógica secuencial incluyen:

1. Máquinas de Estado:

Las máquinas de estado describen el comportamiento secuencial de un sistema mediante estados, transiciones y acciones asociadas a cada estado. Pueden ser finitas o infinitas, dependiendo de la aplicación.

2. Contadores:

Los contadores son circuitos secuenciales que cuentan eventos, como pulsos de reloj, y generan salidas que representan la cuenta actual. Pueden utilizarse para contar o dividir la frecuencia de señales.

Lógica secuencial.

3. Registros de Desplazamiento:

Los registros de desplazamiento son dispositivos de almacenamiento secuencial que permiten el desplazamiento de bits de una posición a otra.

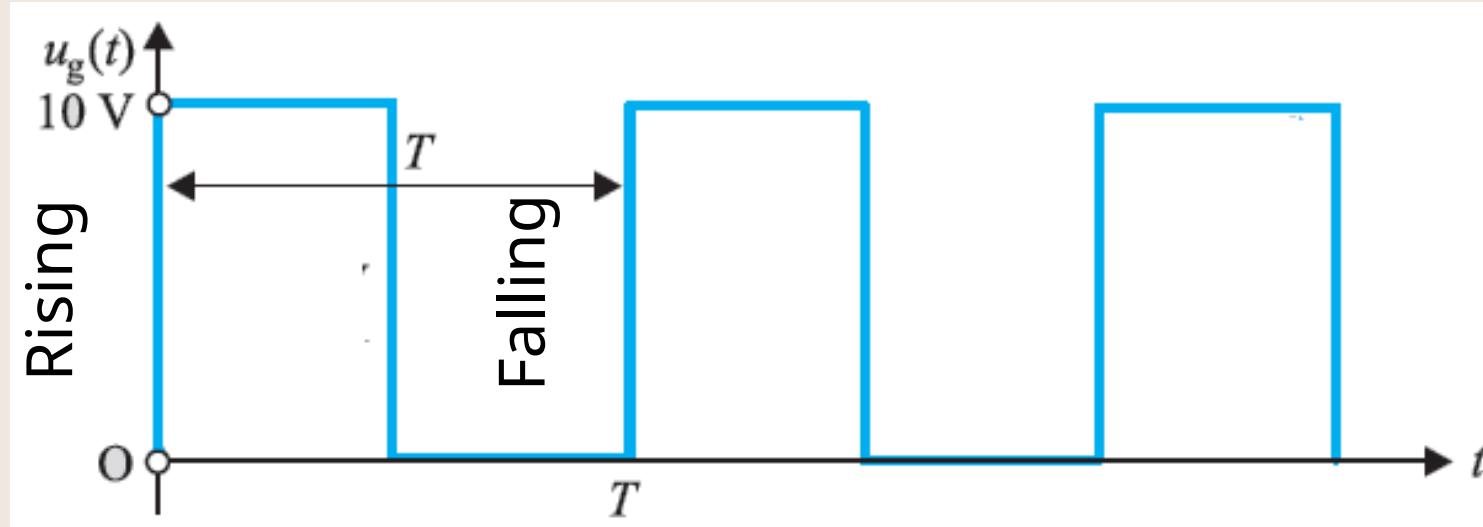
Se utilizan en aplicaciones como la transferencia de datos en serie y la implementación de operaciones aritméticas.

4. Flip-Flops:

Los flip-flops son dispositivos de almacenamiento de un bit que pueden almacenar un estado de salida hasta que se cambie mediante una señal de control.

Se utilizan para almacenar información en sistemas secuenciales.

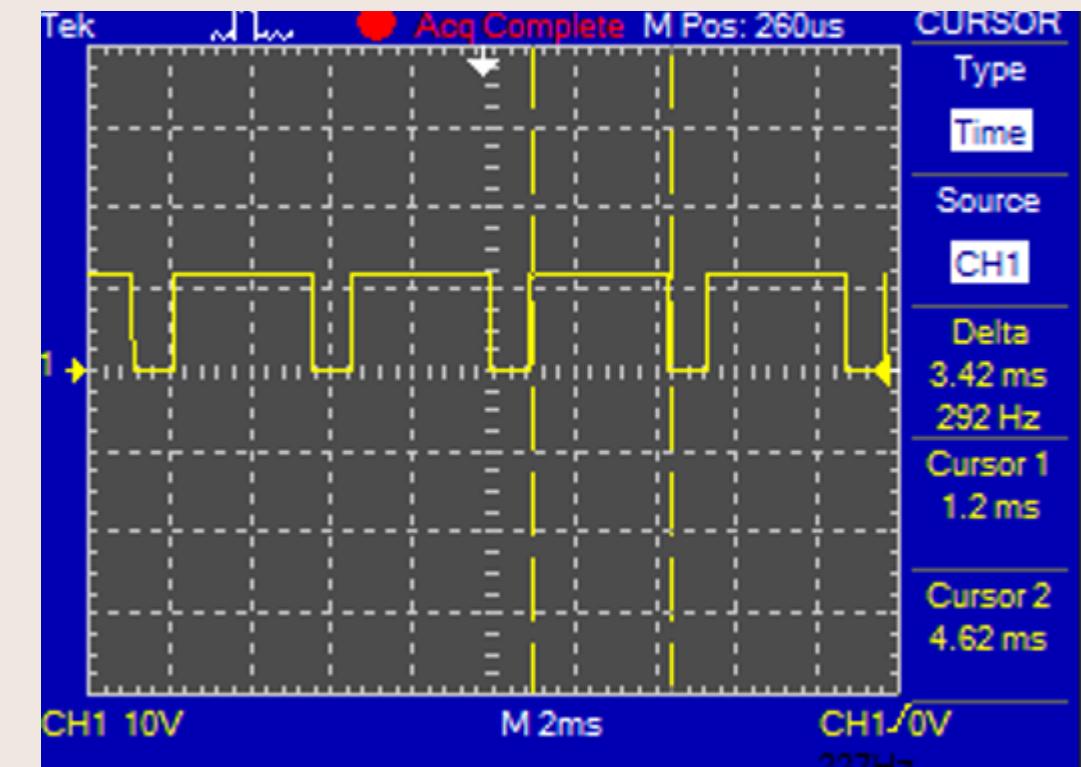
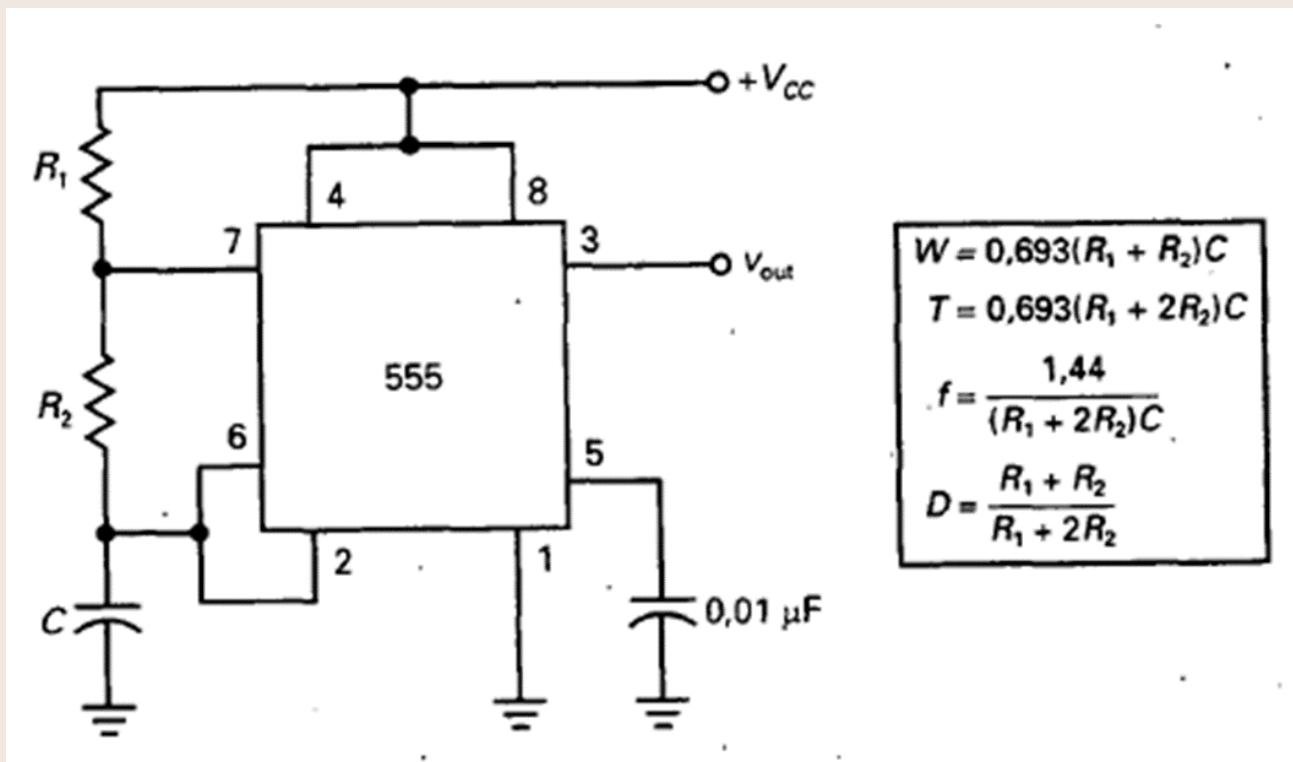
Señales de reloj (Clock, CLK)



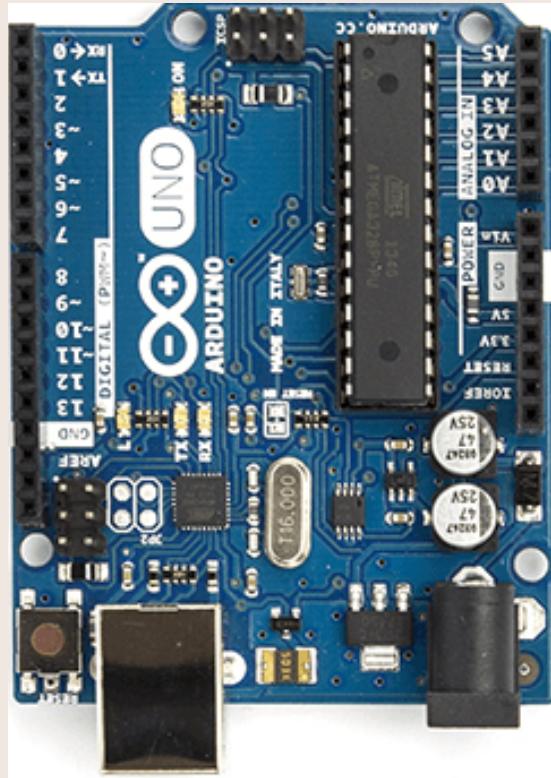
Las señales de reloj, CLK es fundamental para los circuitos digitales de tipo secuencial.

- **Periodo= El tiempo que dura un ciclo, en el caso de un reloj digital, el periodo suele ser 1s.**
- **Rising= Se ejecuta un cambio cuando la señal de reloj sufre un flanco de subida, es decir, que pasa de Low a High.**
- **Falling= Se ejecuta un cambio cuando la señal de reloj sufre un flanco de bajada, es decir, que pasa de High a Low.**

Señales de reloj (Clock, CLK)



Señales de reloj (Clock, CLK)



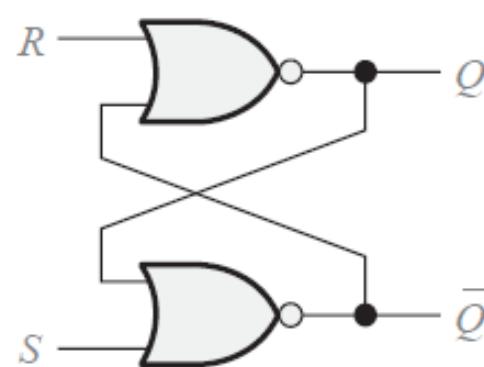
```
void setup() {  
    pinMode(LED_BUILTIN, OUTPUT);  
}  
void loop() {  
    digitalWrite(LED_BUILTIN, HIGH);  
    delay(1000);  
    digitalWrite(LED_BUILTIN, LOW);  
    delay(1000);  
}
```

Latch

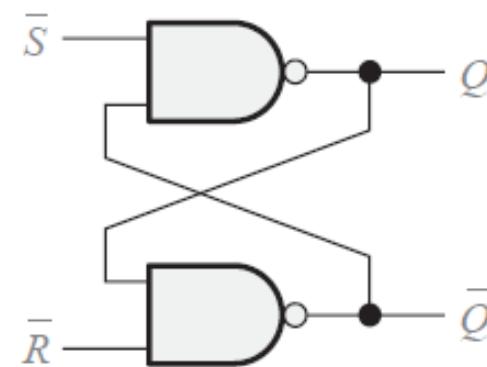
El latch (cerrojo) es un tipo de dispositivo de almacenamiento temporal de dos estados (biestable), que se suele agrupar en una categoría diferente a la de los flip-flops.

Básicamente, los latches son similares a los flip-flops, ya que son también dispositivos de dos estados que pueden permanecer en cualquiera de sus dos estados gracias a su capacidad de realimentación, lo que consiste en conectar (realimentar) cada una de las salidas a la entrada opuesta.

Latch S-R



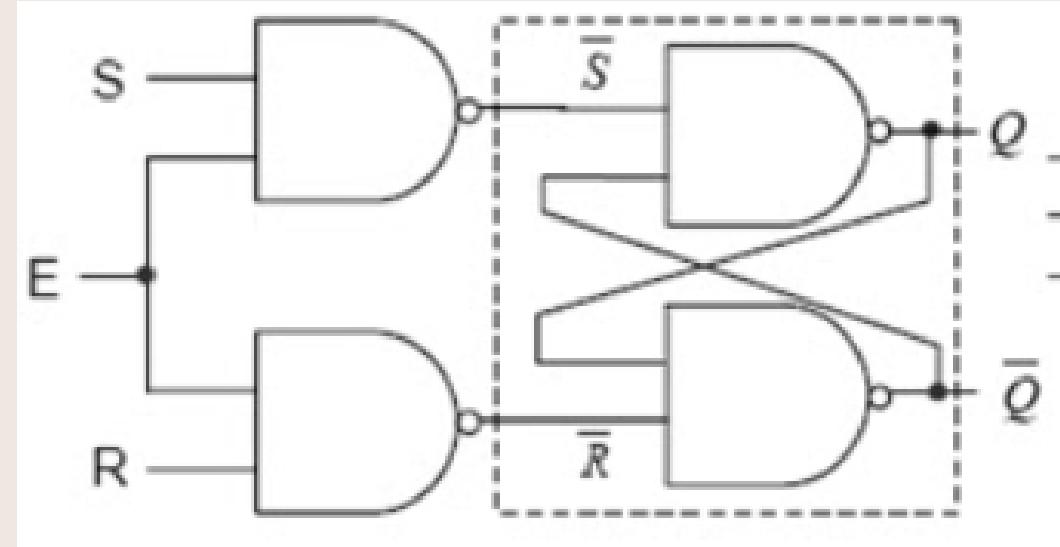
(a) Latch S-R con entrada activa a nivel ALTO



(b) Latch S-R con entrada activa a nivel BAJO

Entradas		Salidas		Comentarios
S	R	Q		
0	0	NC	NC	El Latch permanece en el mismo estado
0	1	0	1	El Latch se pone en RESET= 0
1	0	1	0	El Latch se pone en SET=1
1	1	1	1	Condición no valida

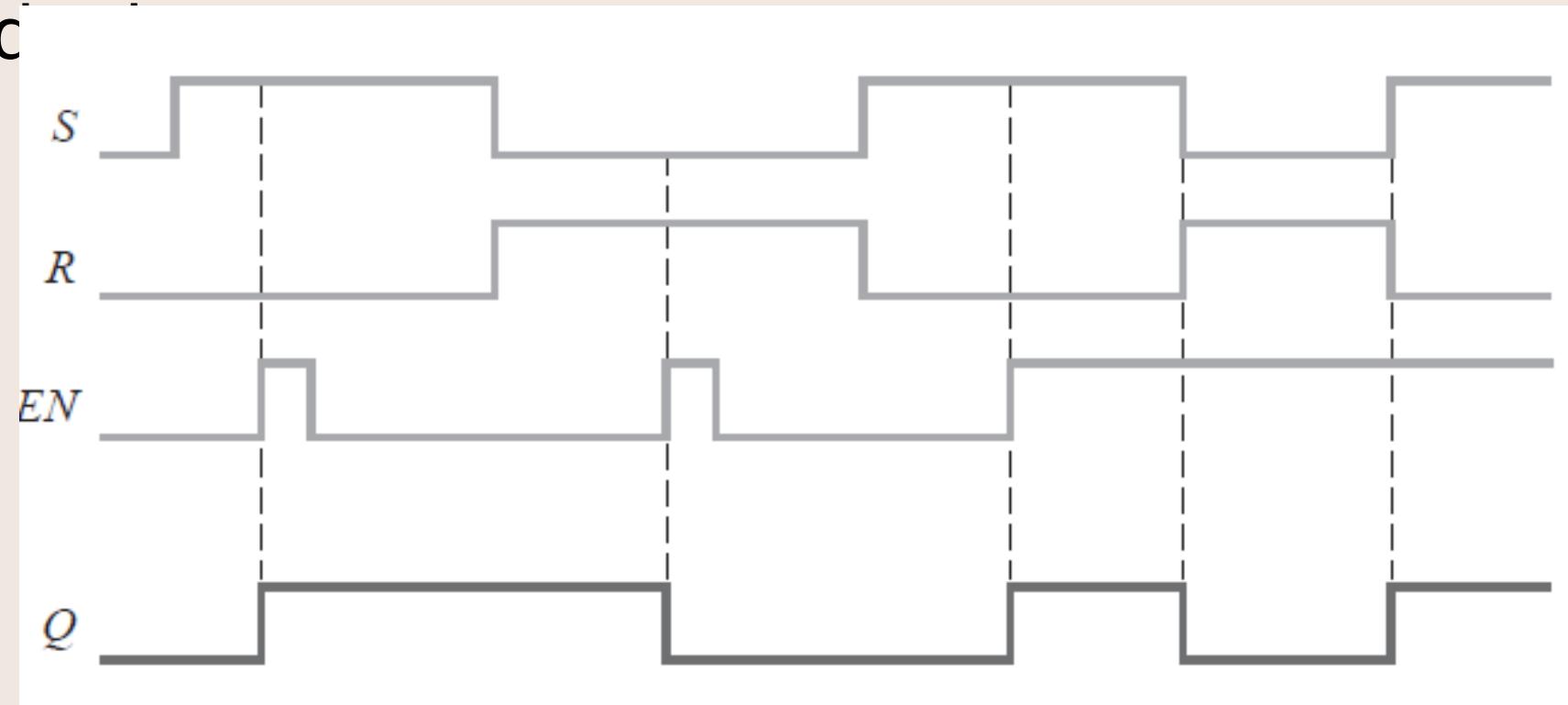
Latch S-R con Enable



Entradas			Salidas		Comentarios
E	S	R	Q	\bar{Q}	
1	0	0	NC	NC	El Latch permanece en el mismo estado
1	0	1	0	1	El Latch se pone en RESET= 0
1	1	0	1	0	El Latch se pone en SET=1
0	X	X	NC	NC	El Latch permanece en el mismo estado e iguala S, R

Latch S-R ejemplo

Determinar la forma de onda de salida Q, si se aplican las señales de entrada mostradas en la Figura a un latch S-R con entrada de habilitación, que se encuentra inicialmente en estado

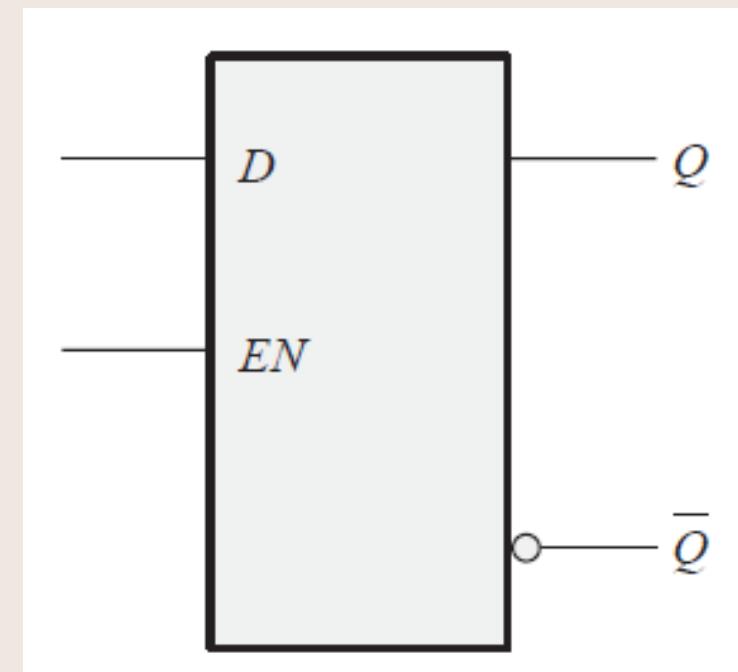


Latch tipo D

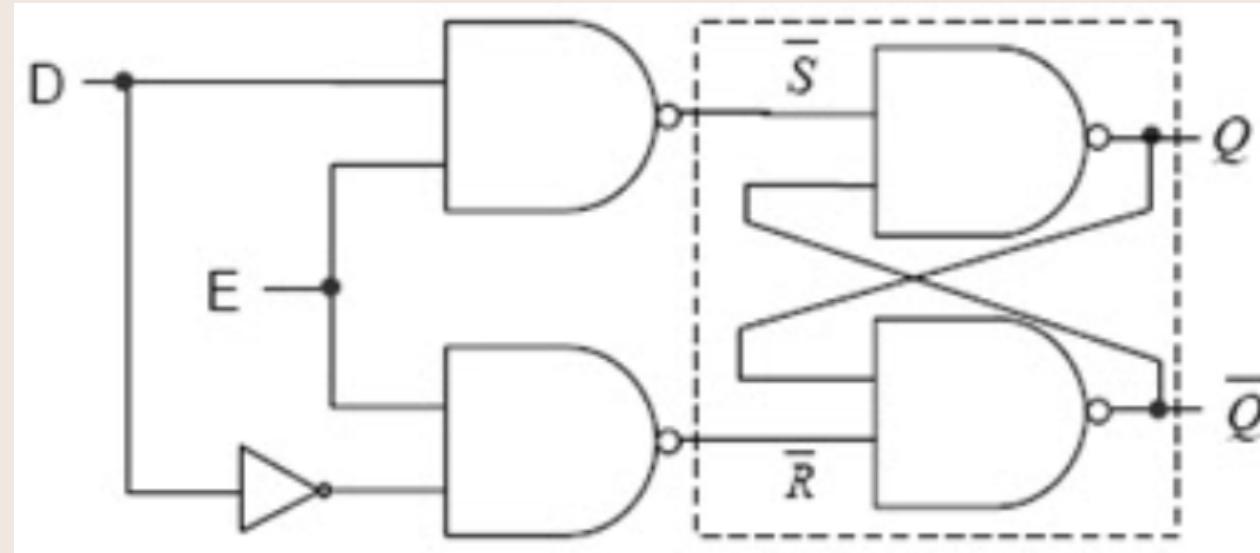
Existe otro tipo de latch con entrada de habilitación que se denomina latch D.

Se diferencia del latch S-R en que sólo tiene una entrada, además de la de habilitación, EN. Esta entrada recibe el nombre de entrada de datos (D).

Cuando la entrada D está a nivel ALTO y la entrada EN también, el latch se pone en estado SET. Cuando la entrada D está a nivel BAJO y la entrada EN está a nivel ALTO, el latch se pone en estado RESET. Dicho de otra manera, la salida Q es igual a la entrada D cuando la entrada de habilitación EN está a nivel ALTO.



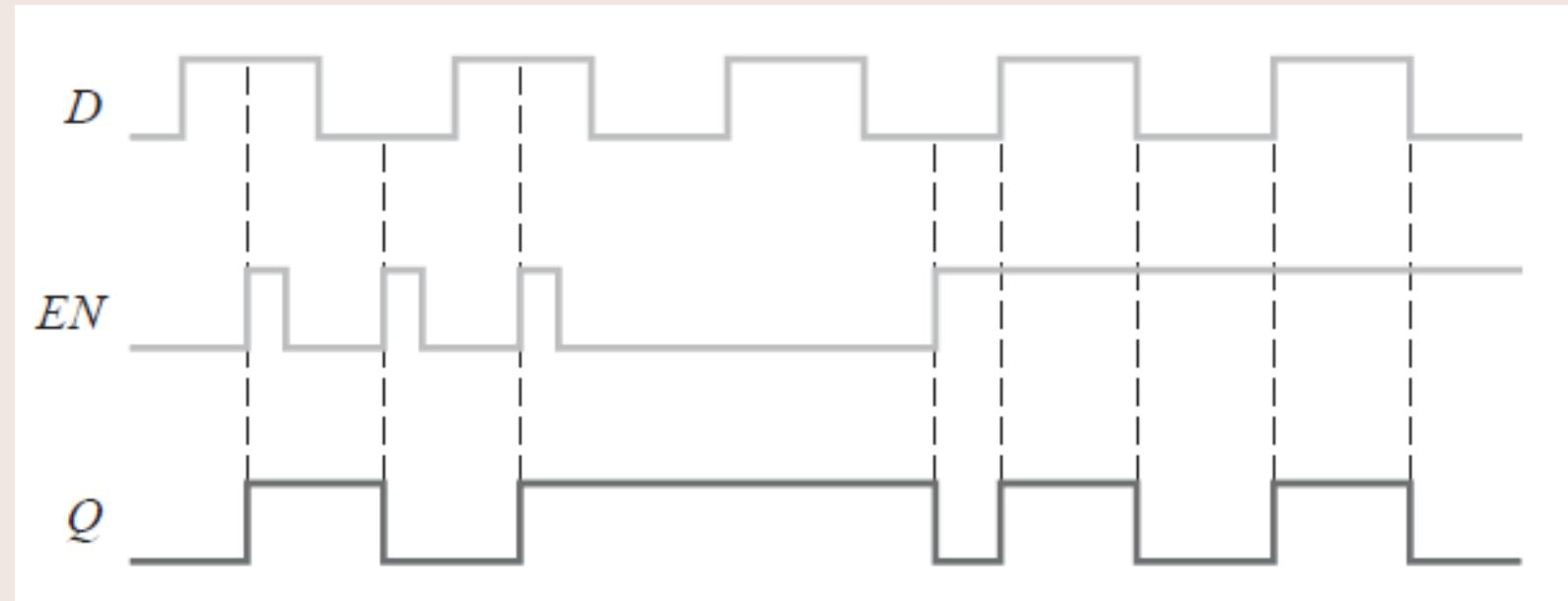
Latch tipo D



Entradas		Salidas		Comentarios
E	D	Q		
1	0	0	1	El Latch se pone en RESET= 0
1	1	1	0	El Latch se pone en SET=1
0	X	NC	NC	El Latch permanece en el mismo estado

Latch D ejemplo

Determinar la forma de onda de salida Q, si se aplican las entradas que se muestran en la Figura a un latch D con entrada de habilitación que, inicialmente, está en estado RESET.



Flip flop tipo S-R

Los flip-flops son dispositivos de almacenamiento de un bit que pueden almacenar un estado de salida hasta que se cambie mediante una señal de control.

Se utilizan para almacenar información en sistemas secuenciales.

Los Flip Flop a diferencia de los Latch, son conocidos como SINCRONICOS, es decir, que dependen de una señal de reloj para realizar el cambio, por su parte el Latch depende del enable y los cambios en sus entradas.

Existen de diferentes tipos:

- SR.
- JK
- D
- T.

Flip flop

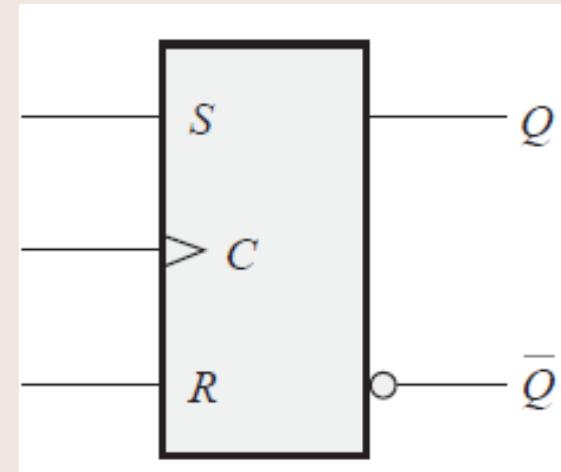
Las entradas S y R de un flip-flop S-R se denominan entradas síncronas, dado que los datos en estas entradas se transfieren a las salidas del flip-flop sólo con el flanco de disparo del impulso del reloj.

Cuando S está a nivel ALTO y R está a nivel BAJO, la salida Q se pone a nivel ALTO con el flanco de disparo del impulso de reloj, pasando el flip-flop al estado SET.

Cuando S está a nivel BAJO y R está a nivel ALTO, la salida Q se pone a nivel BAJO con el flanco de disparo del impulso de reloj, pasando el flip-flop al estado RESET.

Cuando tanto S como R están a nivel BAJO, la salida no cambia de estado. Cuando S y R están a nivel ALTO, se produce una condición no válida.

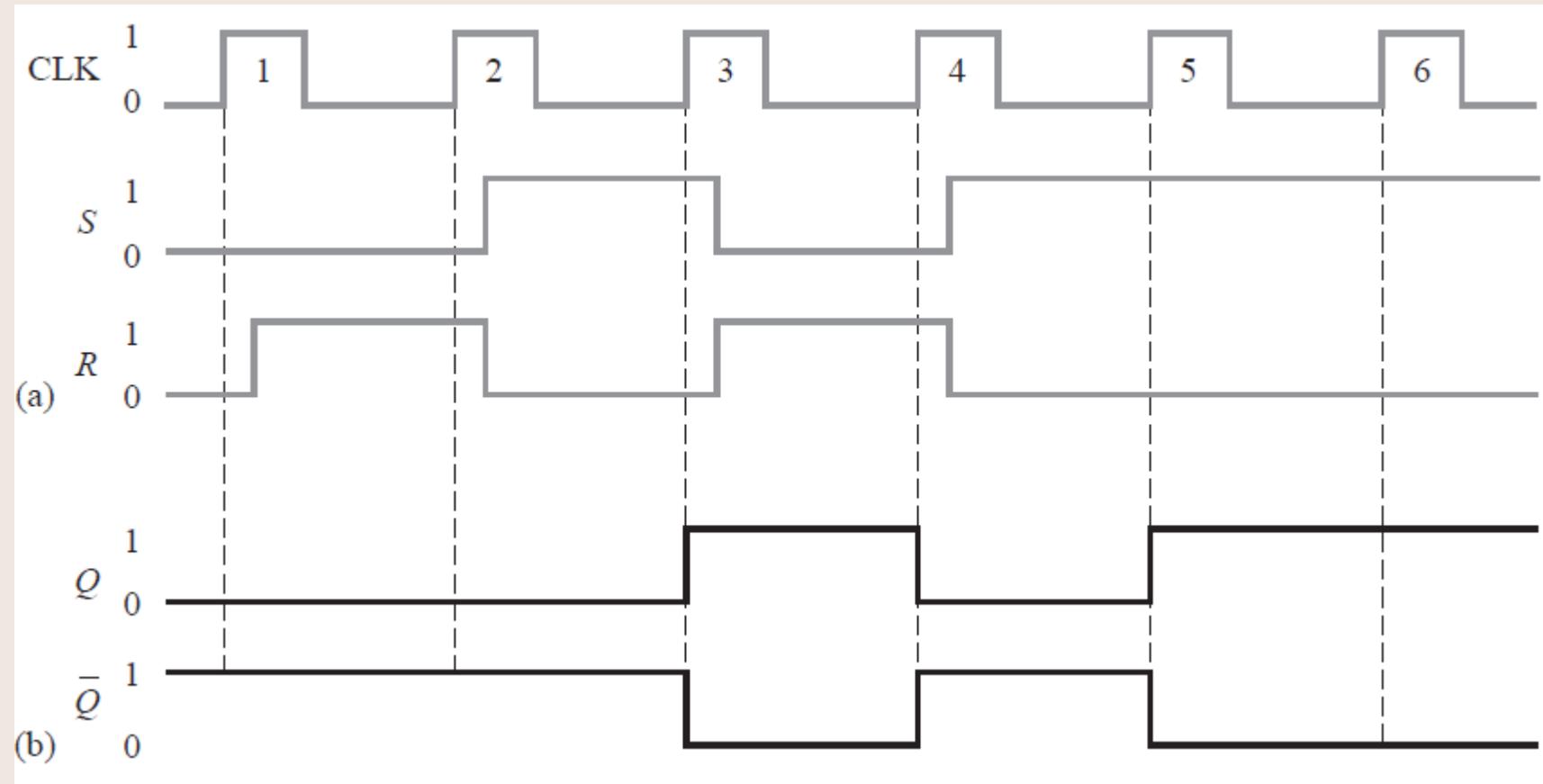
Flip flop SR



Entradas			Salidas		Comentarios
CLK	S	R	Q	\bar{Q}	
X	0	0	Q0		El Flip Flop permanece en el estado anterior
	0	1	0	1	El Flip Flop se pone en RESET= 0
	1	0	1	0	El Flip Flop se pone en SET=1
	X	X	?	?	No es valido

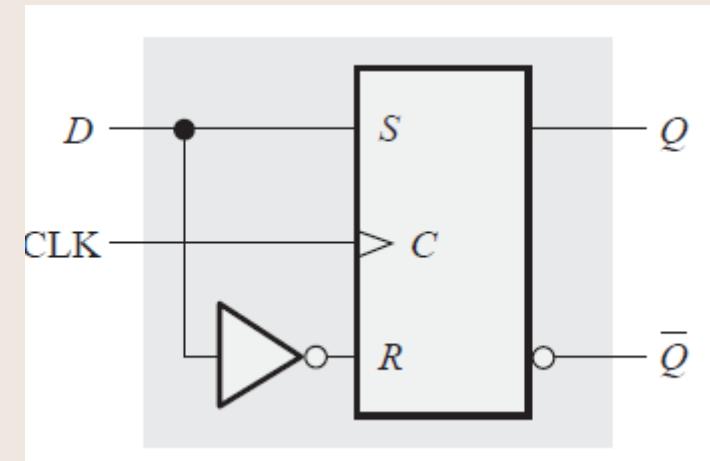
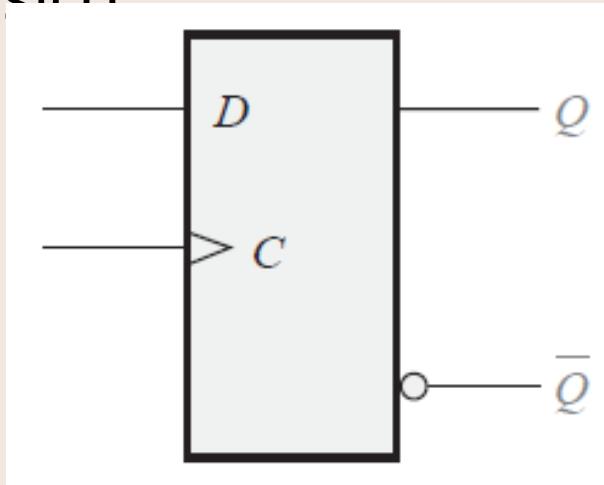
Flip Flop SR ejemplo

Determinar las formas de onda de salida Q y \bar{Q} del flip-flop de la Figura, para las entradas S , R y CLK . Suponer que el flip-flop disparado por flanco de subida y que se encuentra, inicialmente, en estado RESET.



Flip Flop tipo D

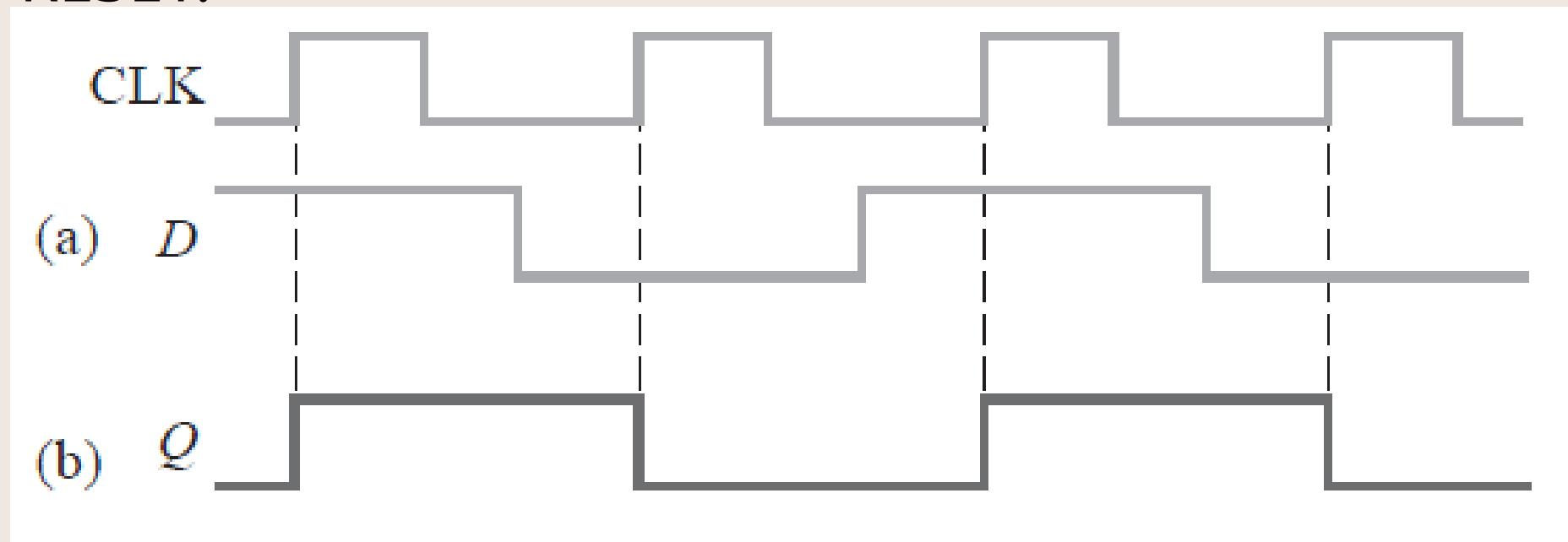
El flip-flop D resulta muy útil cuando se necesita almacenar un único bit de datos (1 o 0). Si se añade una negación a un flip-flop S-R obtenemos un flip flop D básico.



Entradas		Salidas		Comentarios
CLK	D	Q		
	0	0	1	SET (Almacena un 1)
	1	1	0	RESET (Almacena un 0)

Flip Flop tipo D ejemplo

Dadas las formas de onda de la Figura para la entrada D y el reloj, determinar la onda de salida Q si el flip-flop parte del estado RESET.



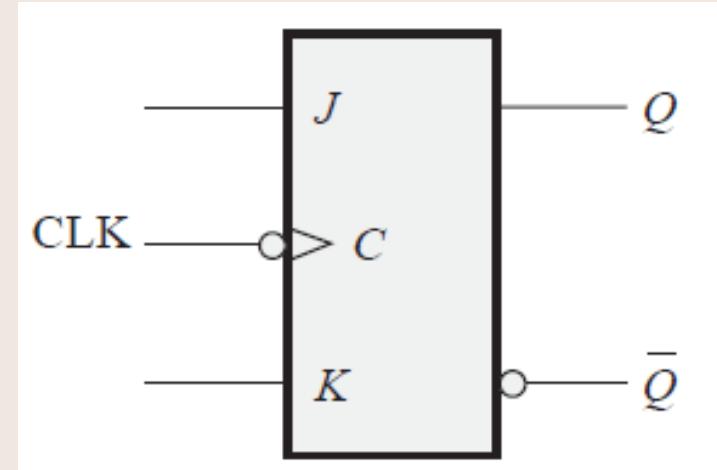
Flip flop tipo J-K

El flip-flop J-K es versátil y es uno de los tipos de flip-flop más ampliamente utilizado. El funcionamiento del flip-flop J-K es idéntico al del flip-flop S-R en las condiciones de operación SET, RESET y de permanencia de estado (no cambio). La diferencia está en que el flip-flop J-K no tiene condiciones no válidas como ocurre en el S-R.

Como puede ver, en cada pico sucesivo de reloj, el flip-flop cambia a su estado opuesto. A este modo de funcionamiento se le denomina modo de basculación (toggle).

Un flip-flop J-K conectado en el modo de basculación en ocasiones se denomina flip-flop T.

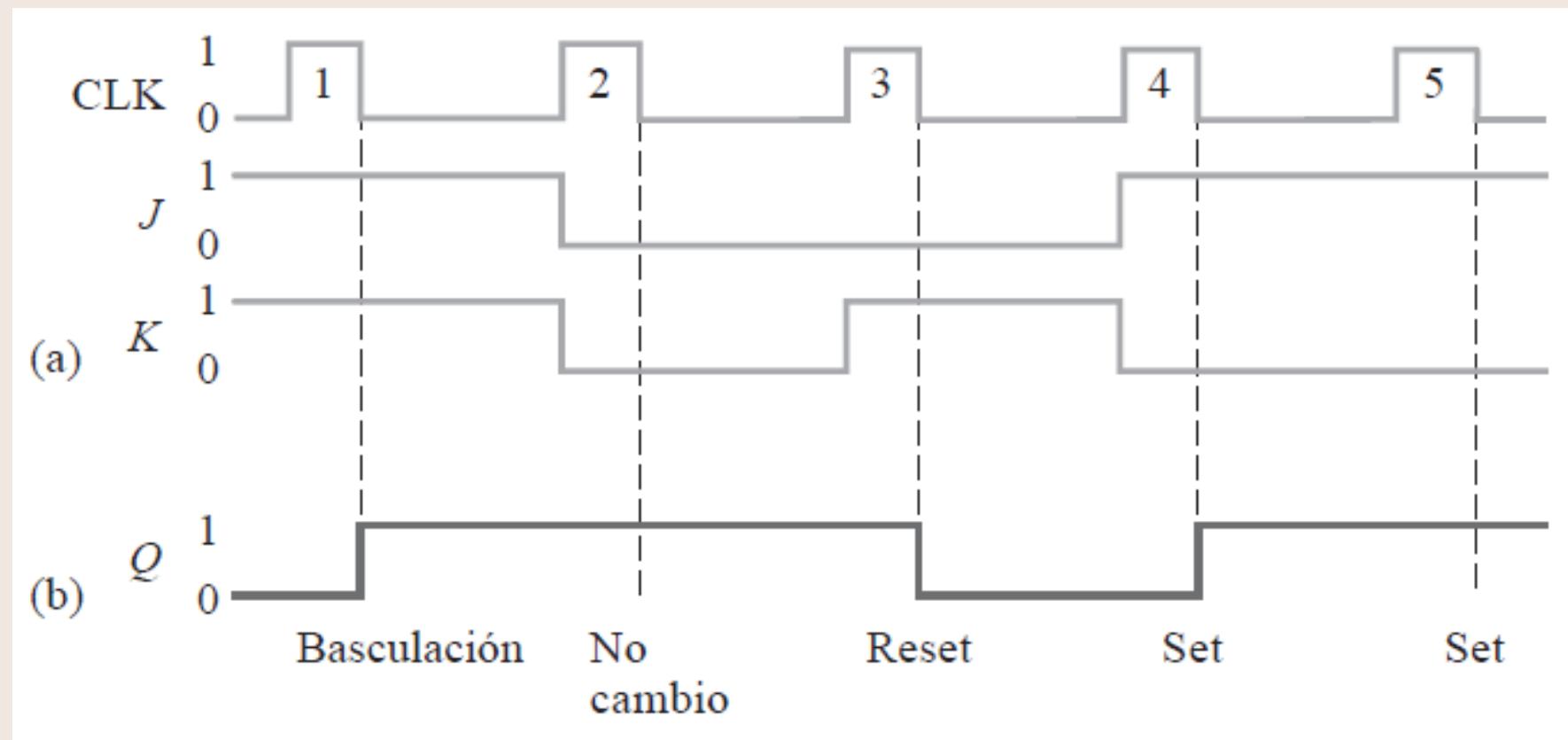
Flip flop tipo J-K



Entradas			Salidas		Comentarios
CLK	J	K	Q	\bar{Q}	
X	0	0	Q0		El Flip Flop permanece en el estado anterior
	0	1	0	1	El Flip Flop se pone en RESET= 0
	1	0	1	0	El Flip Flop se pone en SET=1
	X	X	Q0		Basculación

Flip flop tipo J-K

Las formas de onda de entrada de la Figura se aplican a las entradas J , K y de reloj, tal y como se muestra. Determinar la salida Q suponiendo que el flip-flop se encuentra inicialmente en estado RESET.

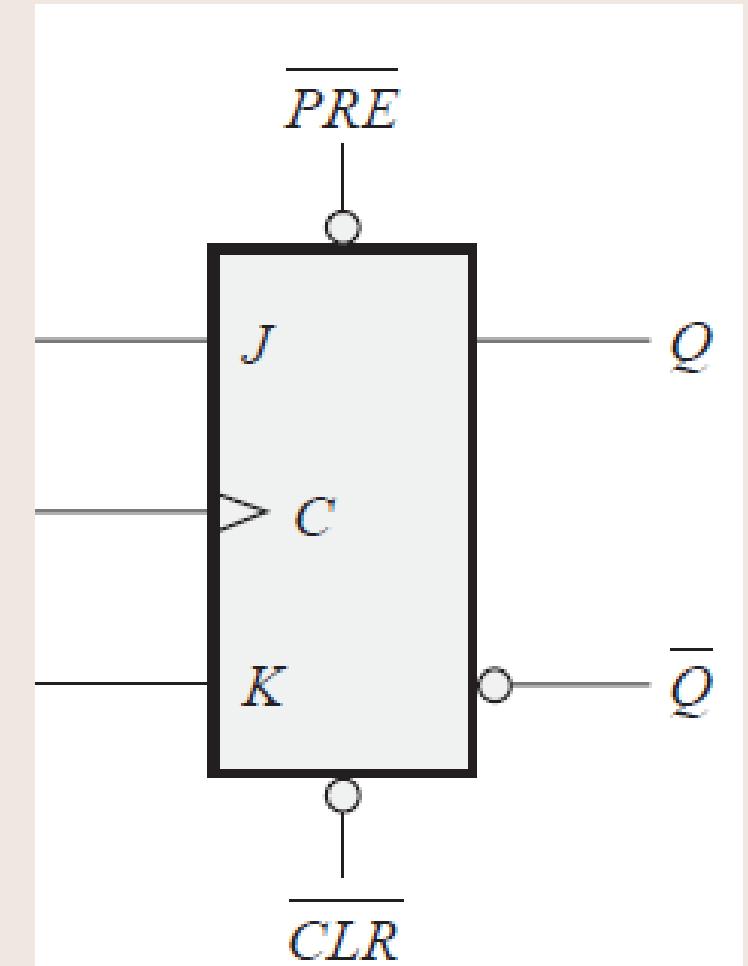


Flip flop tipo J-K

La mayoría de los circuitos integrados flip-flops tienen también entradas asíncronas.

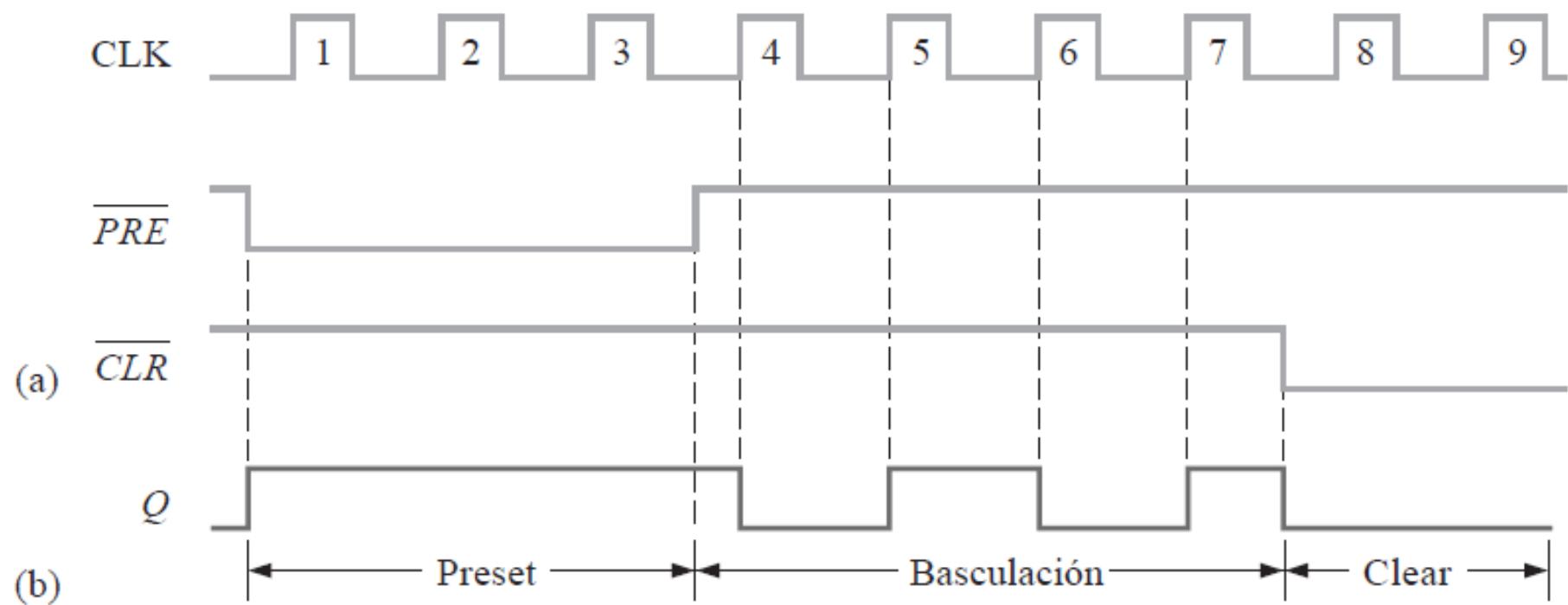
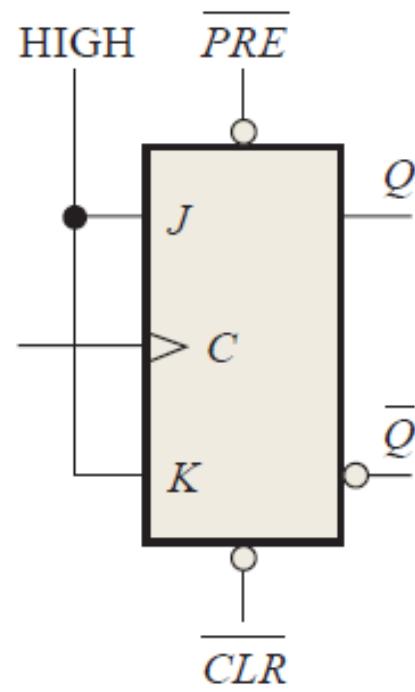
Estas son entradas que pueden variar el estado del flip-flop independientemente del reloj. Generalmente, los fabricantes las denominan de inicialización, preset, (PRE) y borrado, clear, (CLR), o de activación directa (SD, direct SET) y desactivación directa (RD, direct RESET).

Un nivel activo en la entrada de inicialización del flip-flop (preset) pone a SET el dispositivo, y un nivel activo en la entrada de borrado (clear) lo pone en estado RESET.



Flip flop tipo J-K

En el flip-flop J-K activado por flanco positivo, con entradas preset y clear, determinar la salida Q para las entradas mostradas en el diagrama de tiempos, si Q está inicialmente a nivel BAJO.



Contadores

Los contadores son un arreglo de flip flops que permiten diferentes tipos de cuentas, son usados en aplicaciones como relojes digitales o inventarios de diferentes tipos de elementos.

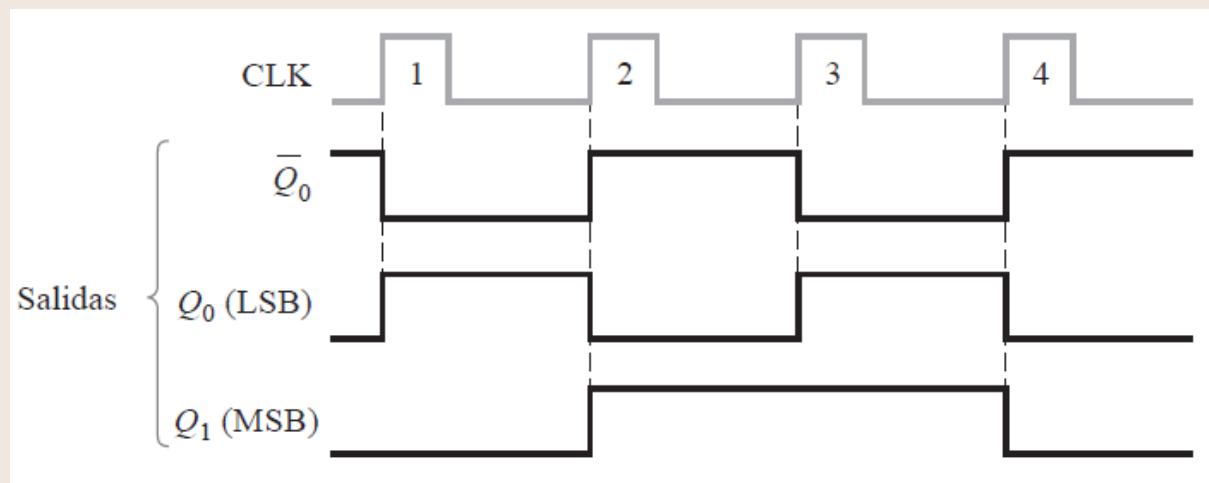
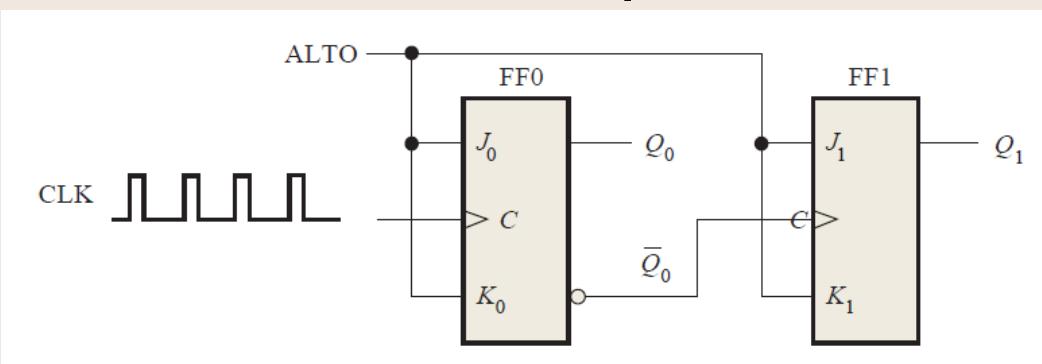
Dependiendo de como se apliquen las señales de reloj, se consideran en dos grupos los **ASÍNCRONOS** y los **SÍNCRONOS**.

Los asíncronos son aquellos que usan una señal CLK externa a la entrada de reloj del primer flip flop y la señal de los siguientes flip flops nacen del anterior.

Los síncronos por su parte, la entrada de reloj se aplica simultáneamente a todos los flip flops.

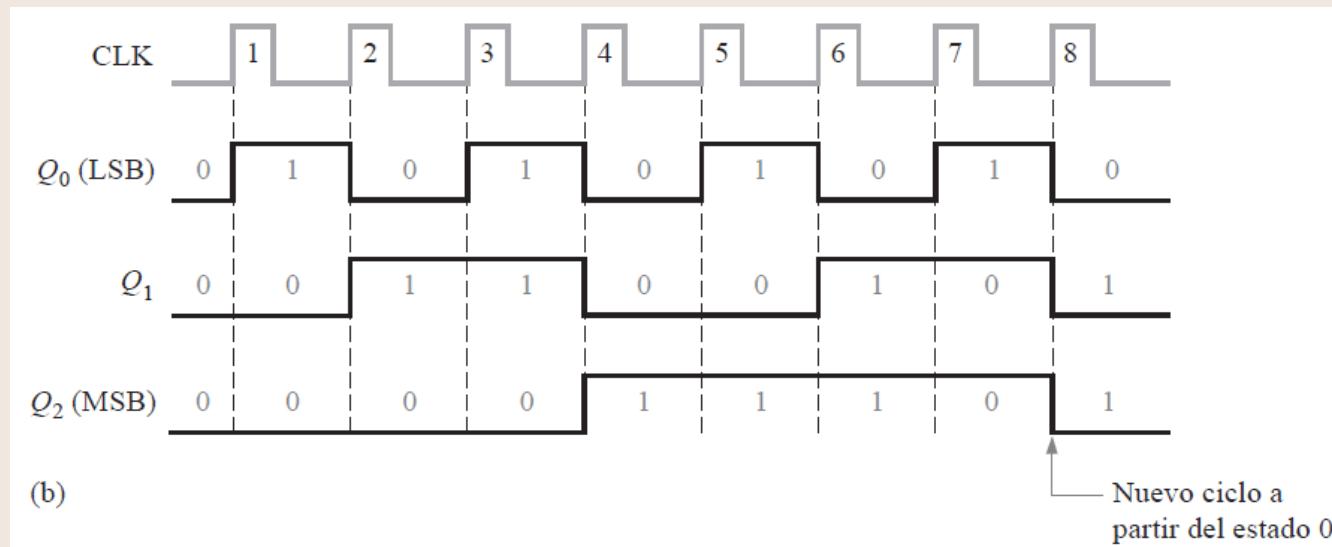
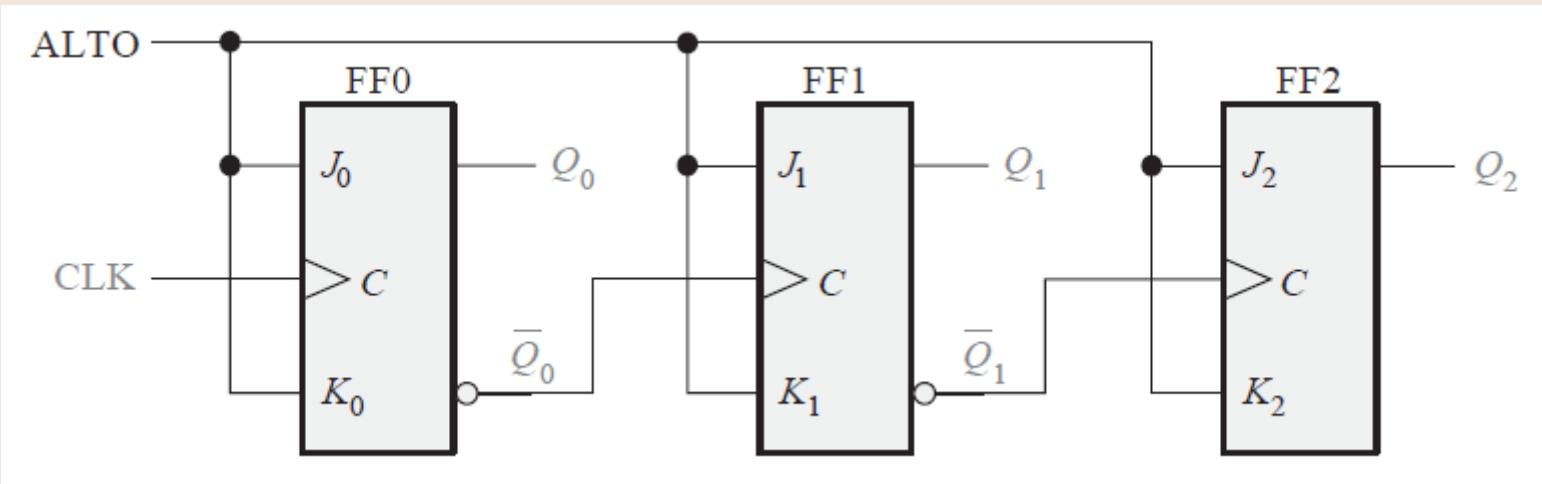
Contadores Asíncronos.

Un contador asíncrono es aquél en el que los flip flops (FF) del contador no cambian de estado exactamente al mismo tiempo, dado que no comparten el mismo impulso de reloj.



Impulso de reloj	Q_1	Q_2
Inicialmente	0	0
1	0	1
2	1	0
3	1	1
4 (nuevo ciclo)	0	0

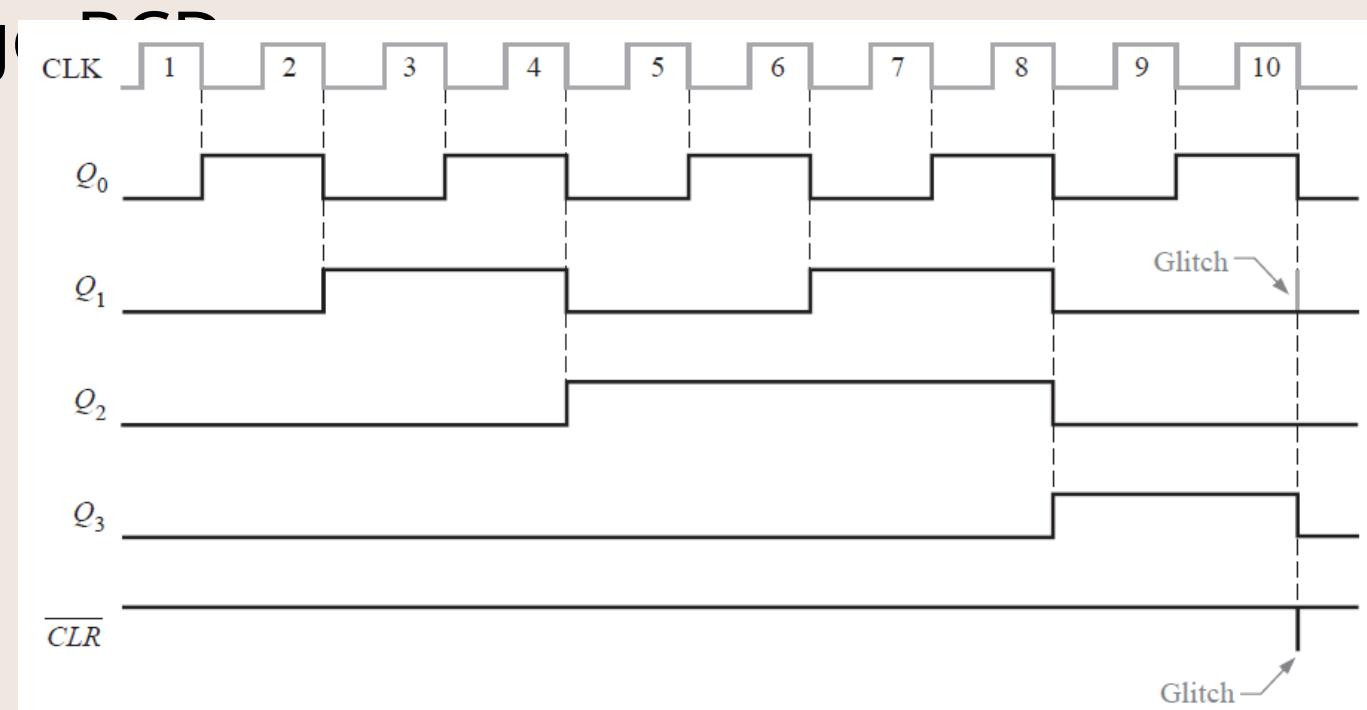
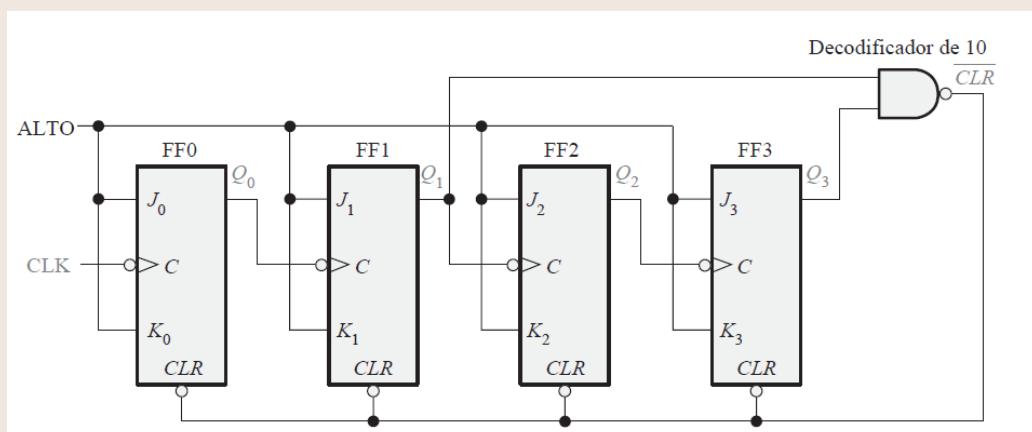
Contadores Asíncronos 3 bits.



Impulso de reloj	Q_2	Q_1	Q_0
Inicialmente	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8 (nuevo ciclo)	0	0	0

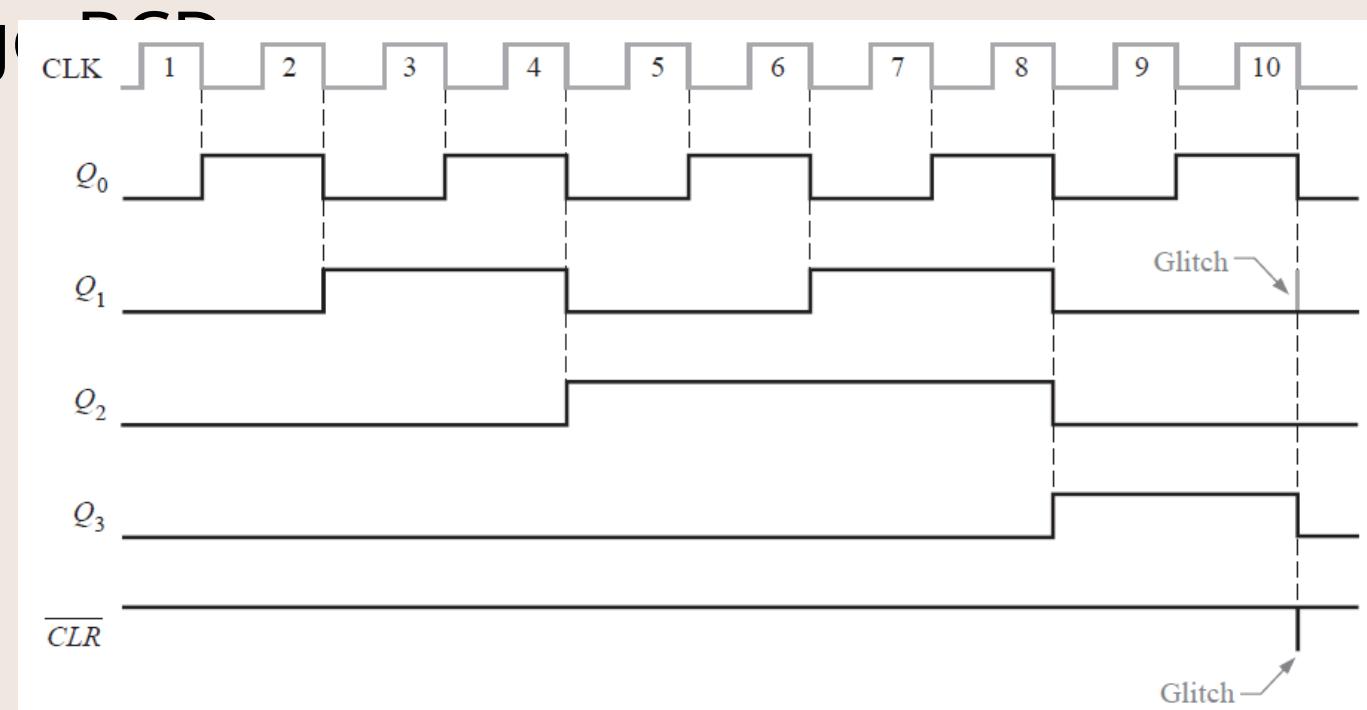
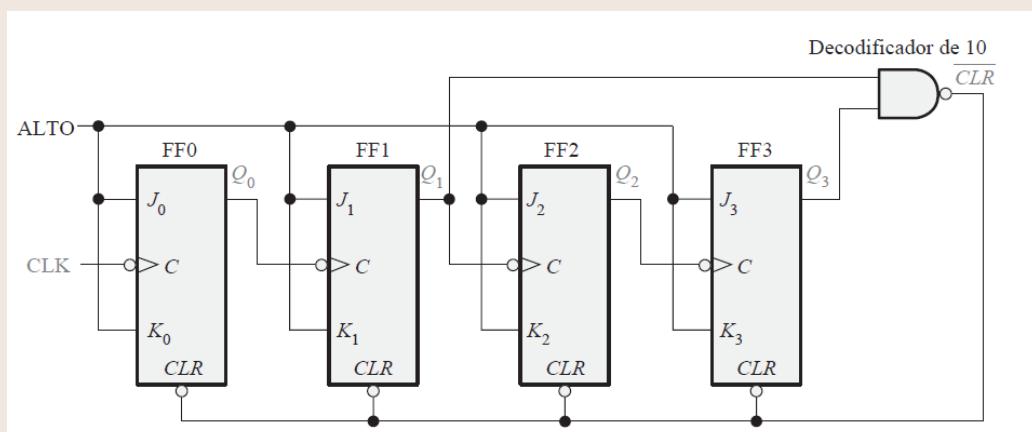
Contadores asíncrono décadas.

Un módulo típico en los contadores con secuencia truncada es diez (denominado MOD10). Los contadores que tienen diez estados en su secuencia se denominan contadores de décadas. Un contador de décadas, cuya secuencia de cuenta vaya de cero (0000) a nueve (1001), es un contador de décadas BCD, ya que su secuencia de diez estados corresponde al código



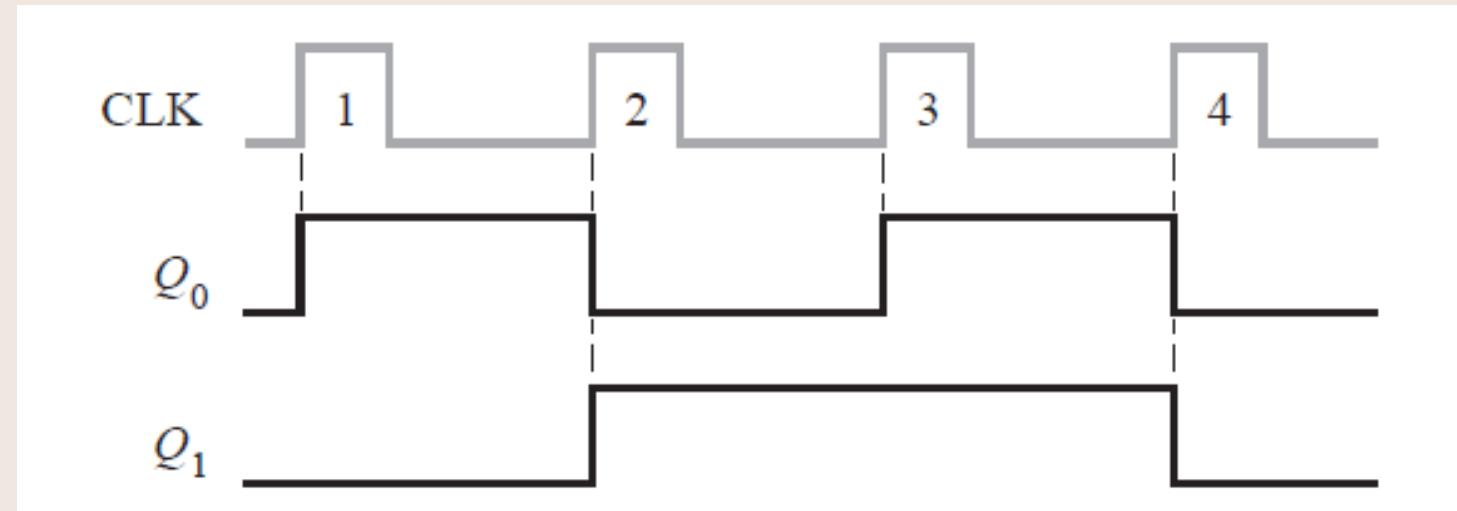
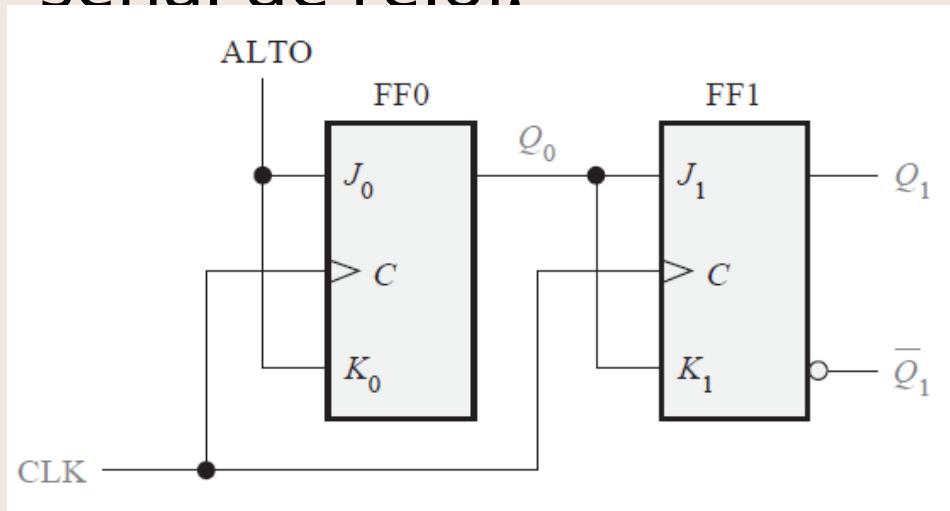
Contadores asíncrono décadas.

Un módulo típico en los contadores con secuencia truncada es diez (denominado MOD10). Los contadores que tienen diez estados en su secuencia se denominan contadores de décadas. Un contador de décadas, cuya secuencia de cuenta vaya de cero (0000) a nueve (1001), es un contador de décadas BCD, ya que su secuencia de diez estados corresponde al código



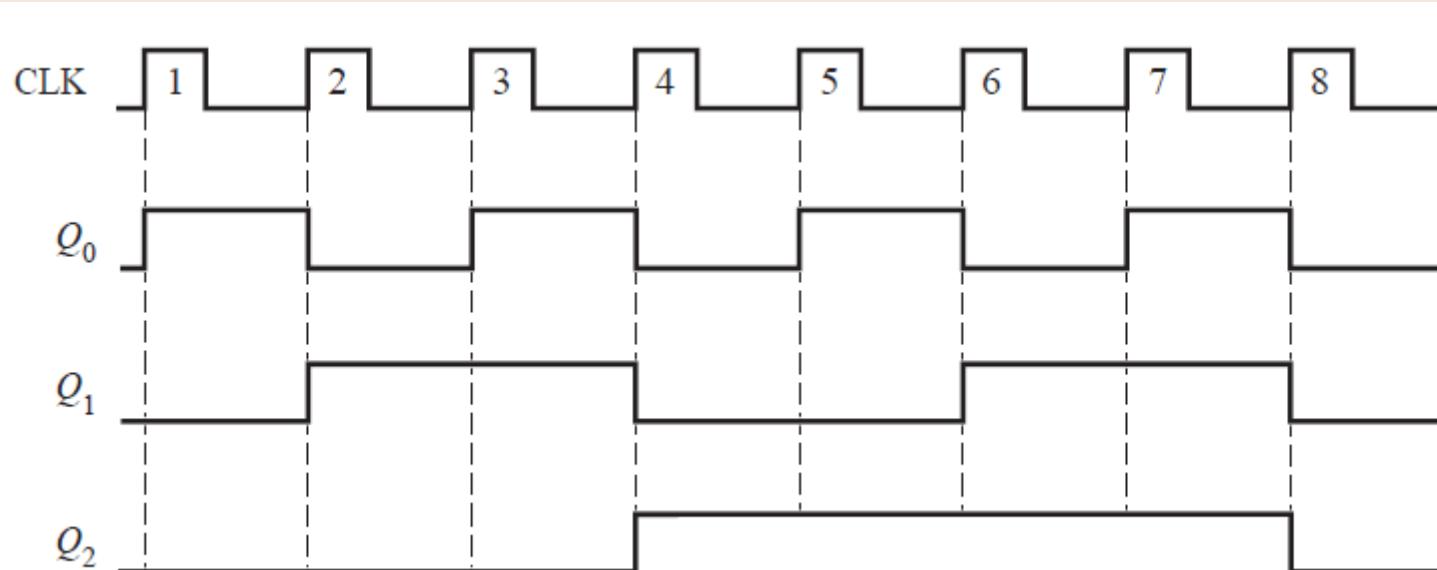
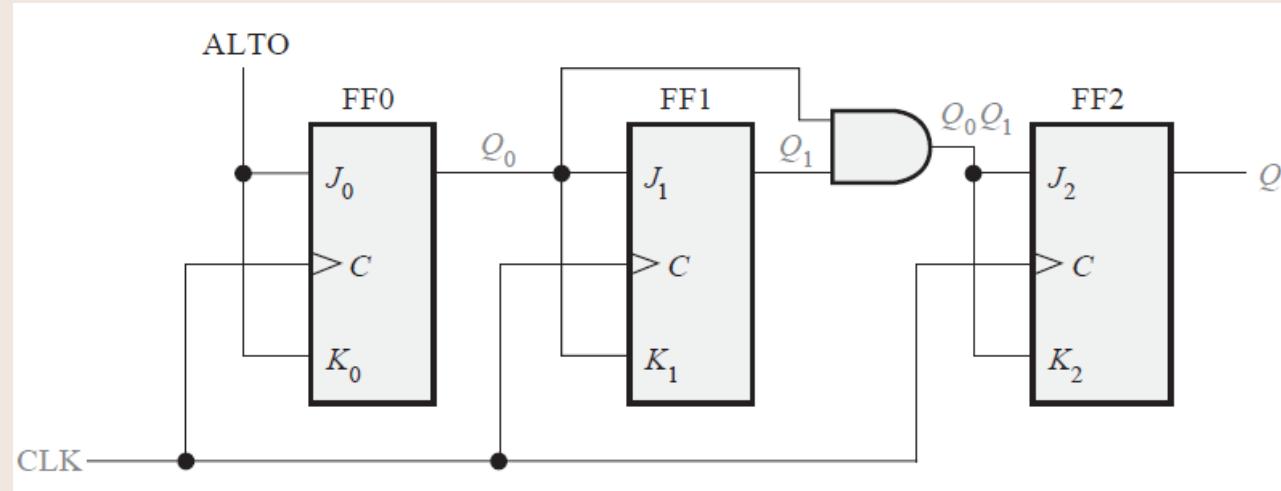
Contadores Síncronos.

El término síncrono se refiere a los eventos que tienen una relación temporal fija entre sí. Un contador síncrono es aquel en el que todos los flip-flops del contador reciben en el mismo instante la señal de reloj.



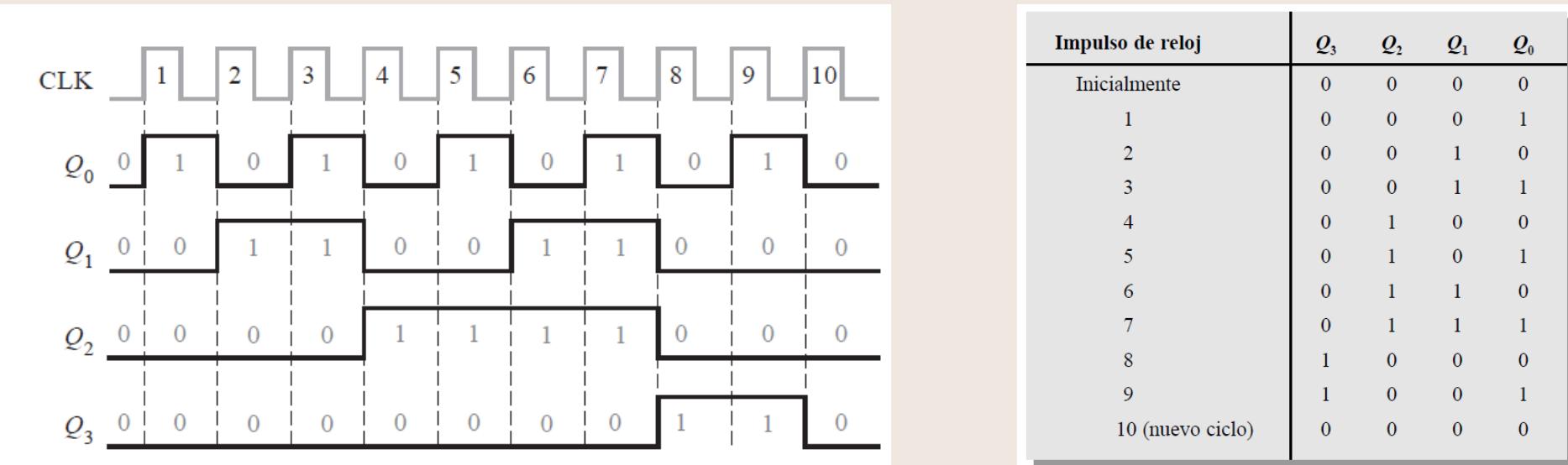
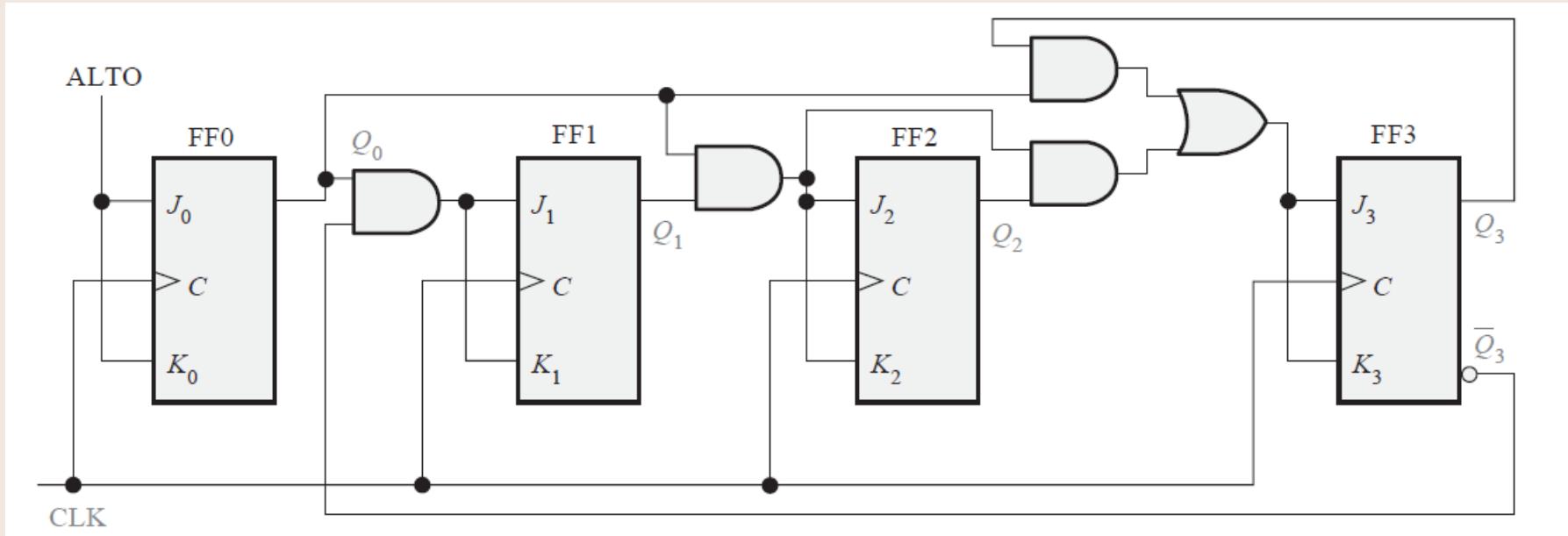
Contador síncrono 2 bits.

Contadores Síncronos 3 bits.

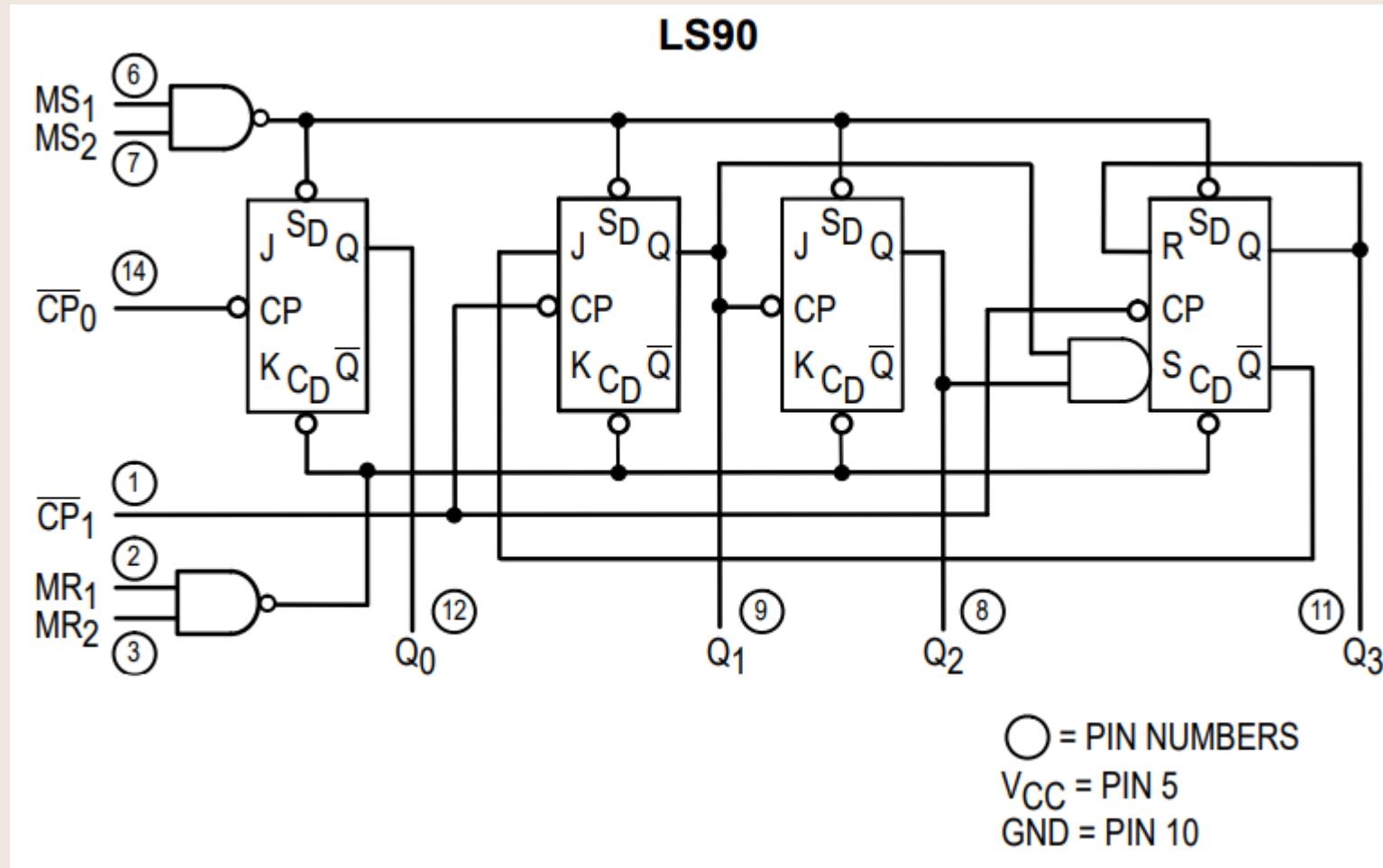


Impulso de reloj	Q_2	Q_1	Q_0
Inicialmente	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8 (nuevo ciclo)	0	0	0

Contadores Síncronos década.



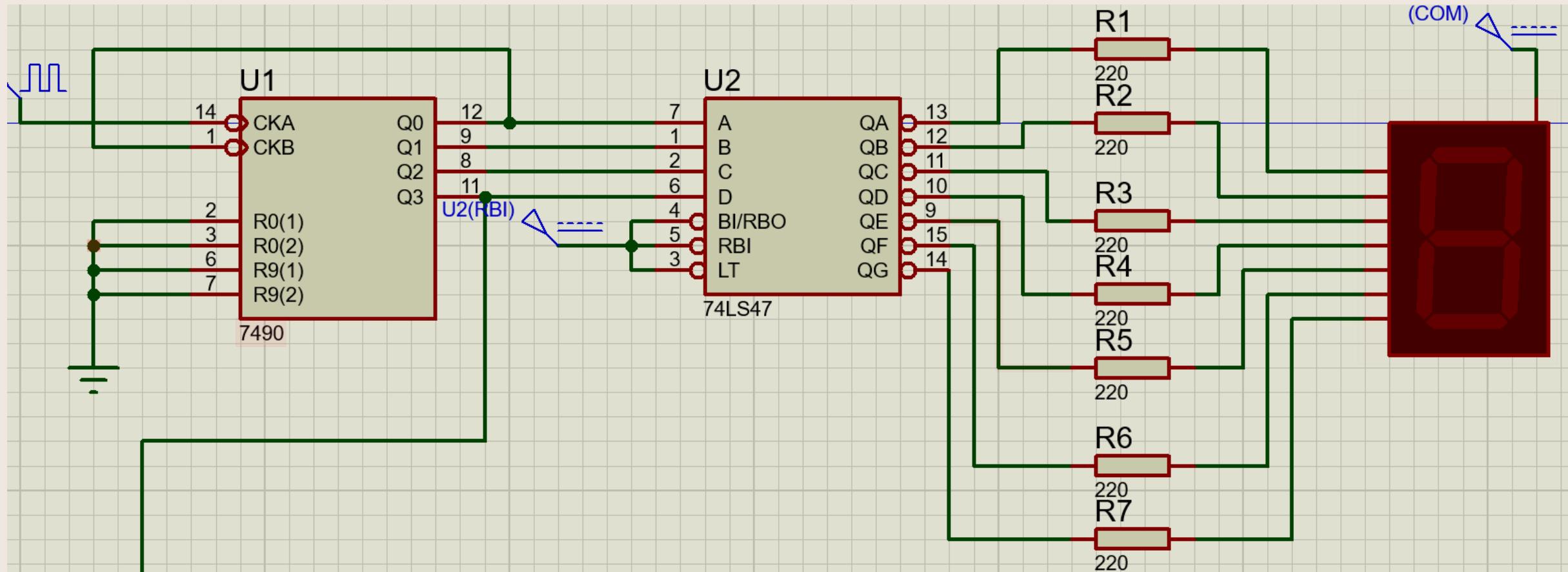
Contadores 7490



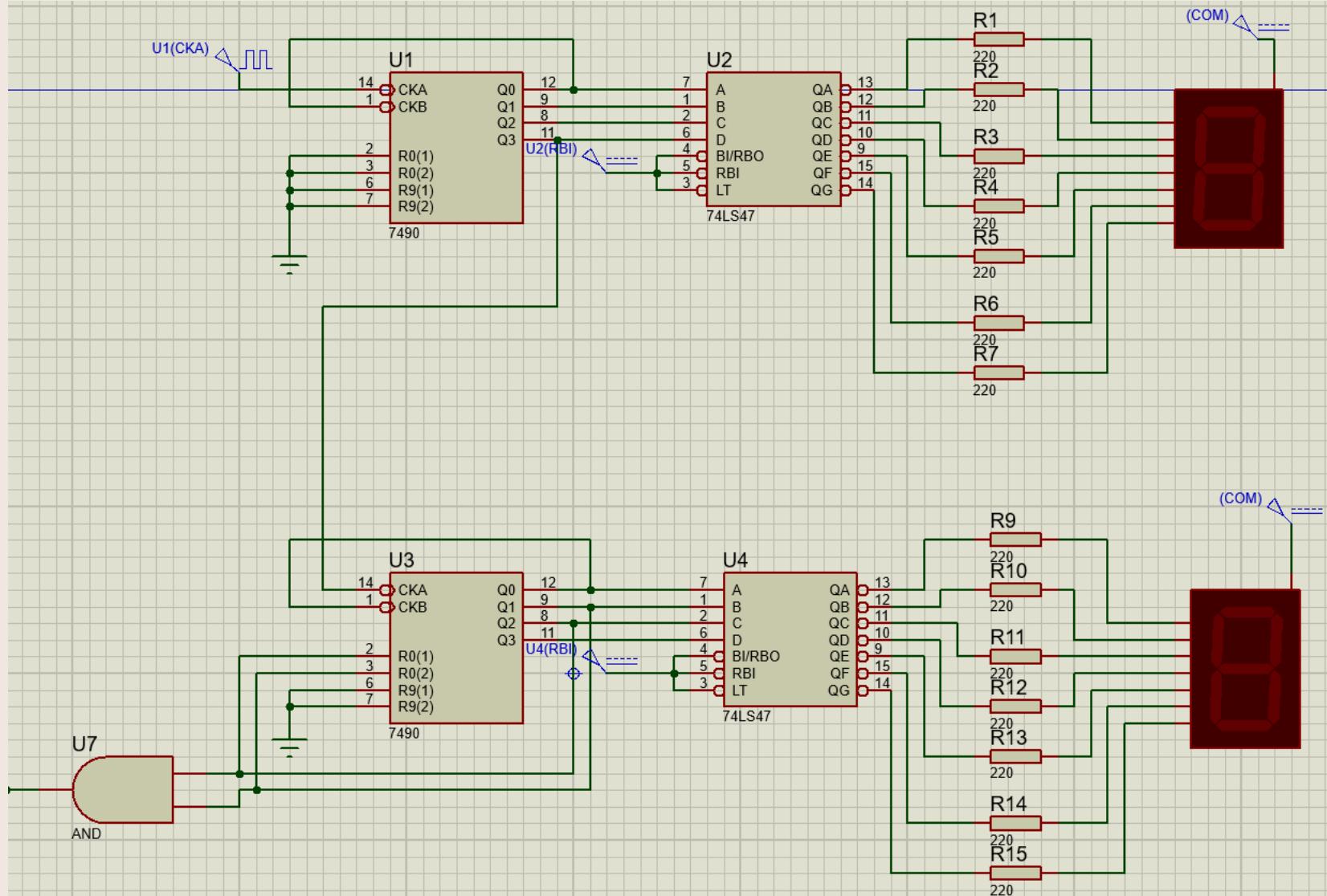
RESET/SET INPUTS				OUTPUTS			
MR ₁	MR ₂	MS ₁	MS ₂	Q ₀	Q ₁	Q ₂	Q ₃
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	L	L	L	H
L	X	L	X	X	L	L	Count
X	L	X	L	L	X	Count	Count
L	X	X	L	L	L	Count	Count
X	L	L	X	L	Count	Count	Count

OUTPUT				
COUNT	Q ₀	Q ₁	Q ₂	Q ₃
0	L	L	L	L
1	H	L	L	L
2	L	H	L	L
3	H	H	L	L
4	L	L	H	L
5	H	L	H	L
6	L	H	H	L
7	H	H	H	L
8	L	L	L	H
9	H	L	L	H

Contadores 0 a 9



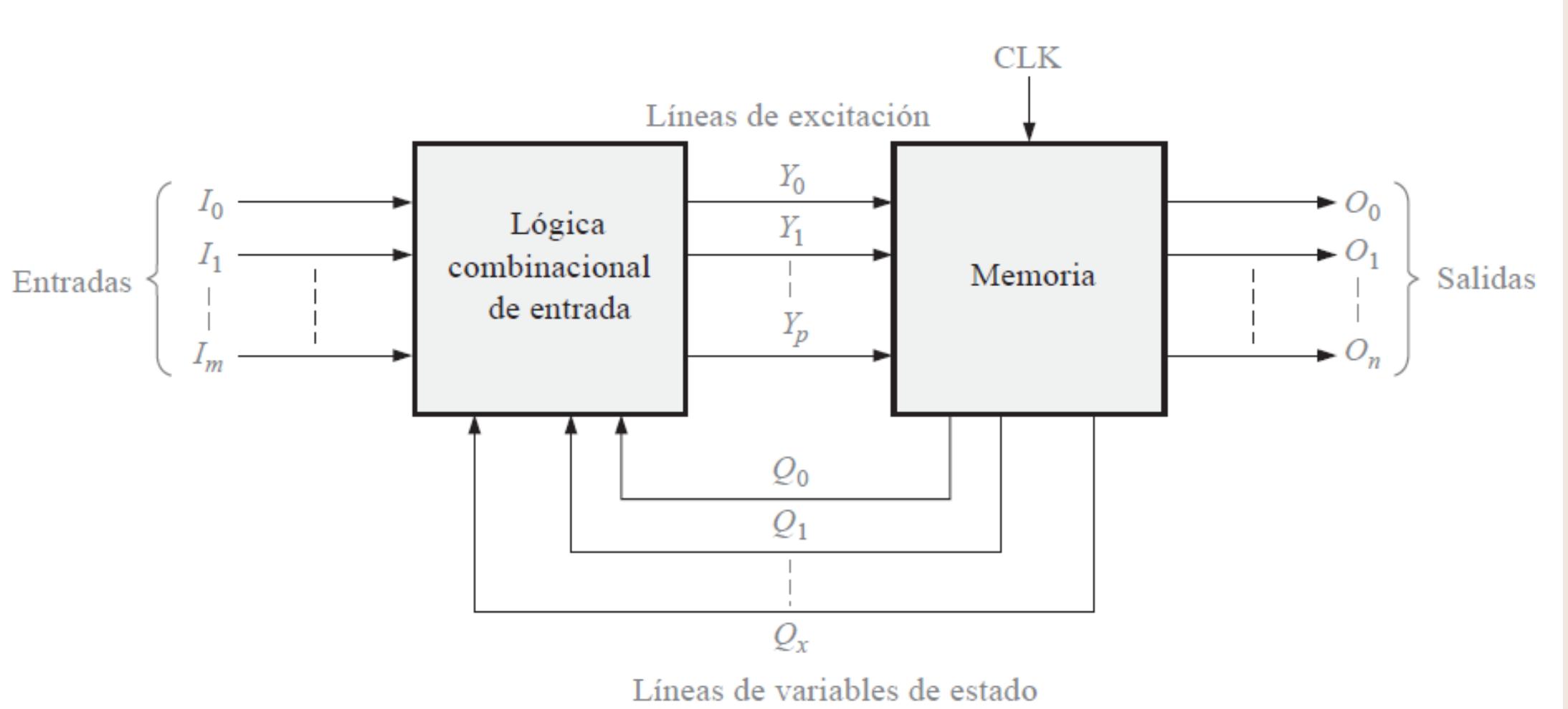
Contadores Reset (00 a 59)



Tarea:

Usando proteus,
realizar un
contador de 00 a
23.

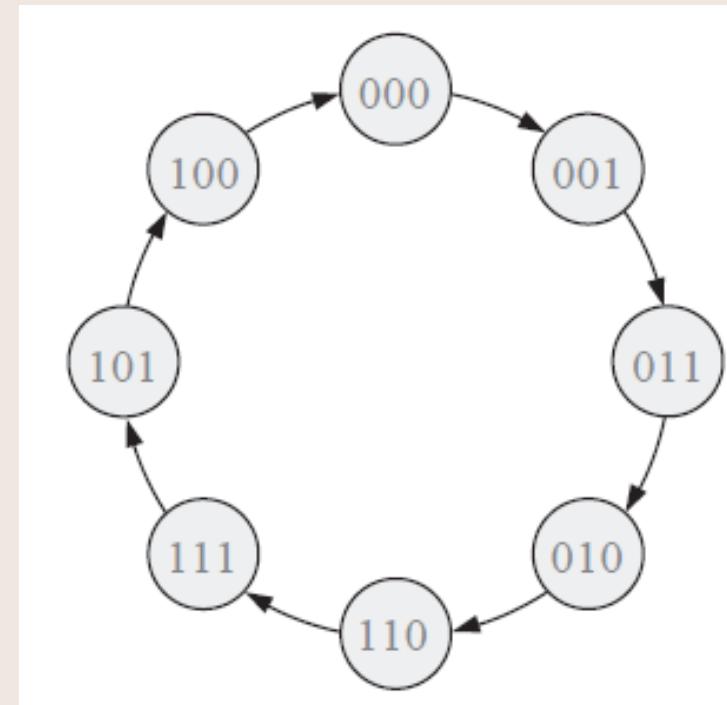
Diseño de contadores



Diseño de contadores

Paso 1 - Diagrama de estado: El primer paso en el diseño de un contador consiste en crear un diagrama de estados. Un diagrama de estados muestra la progresión de estados por los que el contador avanza cuando se aplica una señal de reloj.

Ejemplo: Conteo para el código Gray de 3 bits



Diseño de contadores

Paso 2 – Tabla del estado siguiente:
 Una vez que se define el circuito secuencial mediante un diagrama de estados, el segundo paso consiste en obtener una tabla del estado siguiente, que enumera cada estado del contador (estado actual) junto con el correspondiente estado siguiente.

El estado siguiente es el estado al que el contador pasa desde su estado

Estado actual			Estado siguiente		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	0	1	0
0	1	0	1	1	0
1	1	0	1	1	1
1	1	1	1	0	1
1	0	1	1	0	0
1	0	0	0	0	0

Diseño de contadores

Paso 3 – Tabla transiciones de flip flop: Se enumeran todas las posibles transiciones de salida, mostrando cómo evoluciona la salida Q del flip-flop al pasar de los estados actuales a los estados siguientes. Q_N es el estado presente en el flip-flop (antes de un impulso de reloj) y Q_{N+1} es el estado siguiente (después de un impulso de reloj).

Para cada transición de salida, se indican las entradas J y K que dan lugar a la transición. Las "X" indican condiciones indiferentes (la entrada puede ser un 1 o un 0).

Transiciones de salida		Entradas del flip-flop	
Q_N	Q_{N+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Q_N : estado actual

Q_{N+1} : siguiente estado

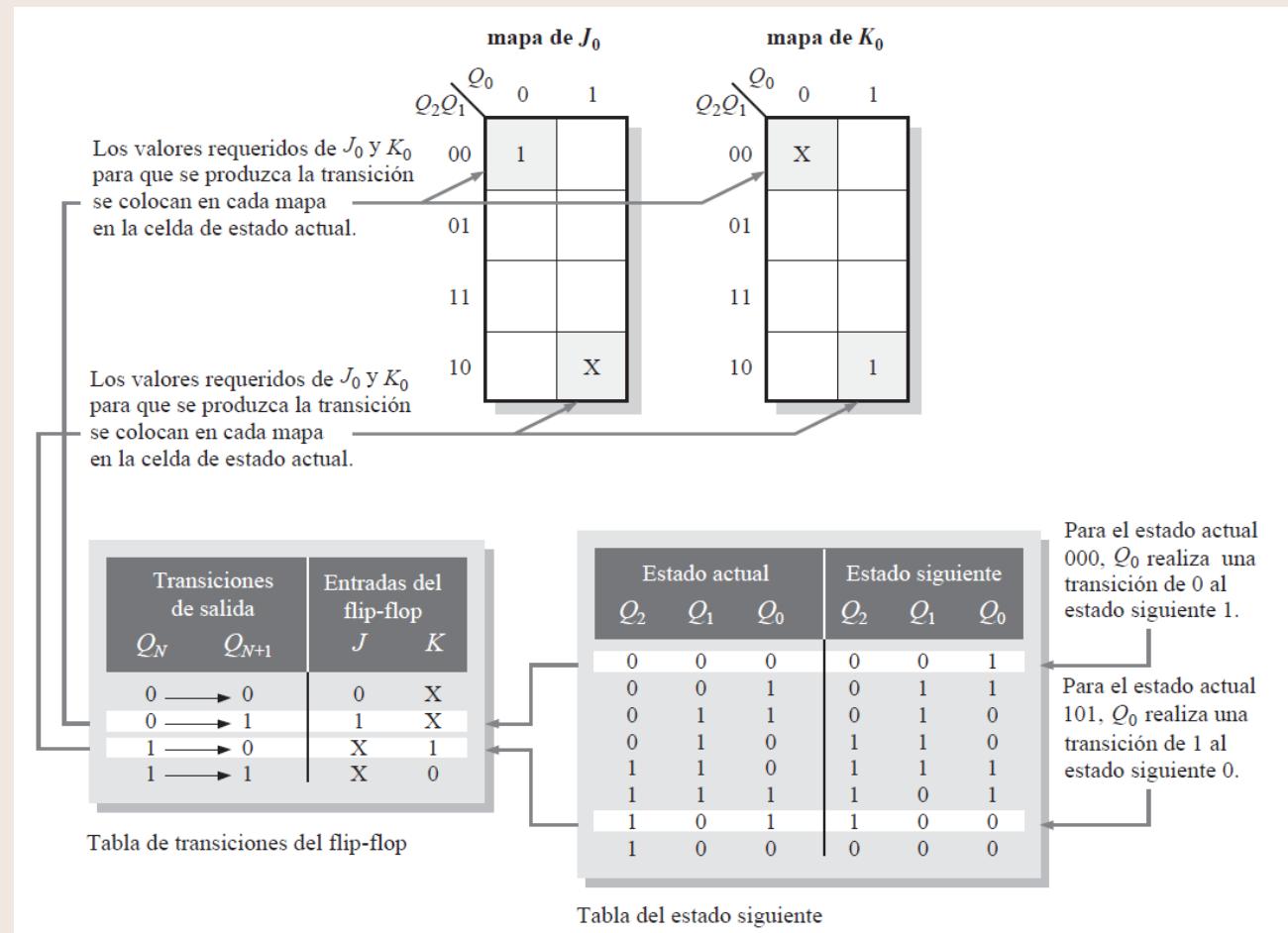
X: condición "indiferente"

Diseño de contadores

- Basado en flip flops diseñe un contador que sea una secuencia ascendente de 0 a 9.
- Basado en flip flops diseñe un conteo descendente con la siguiente secuencia 7,5,3,1,0

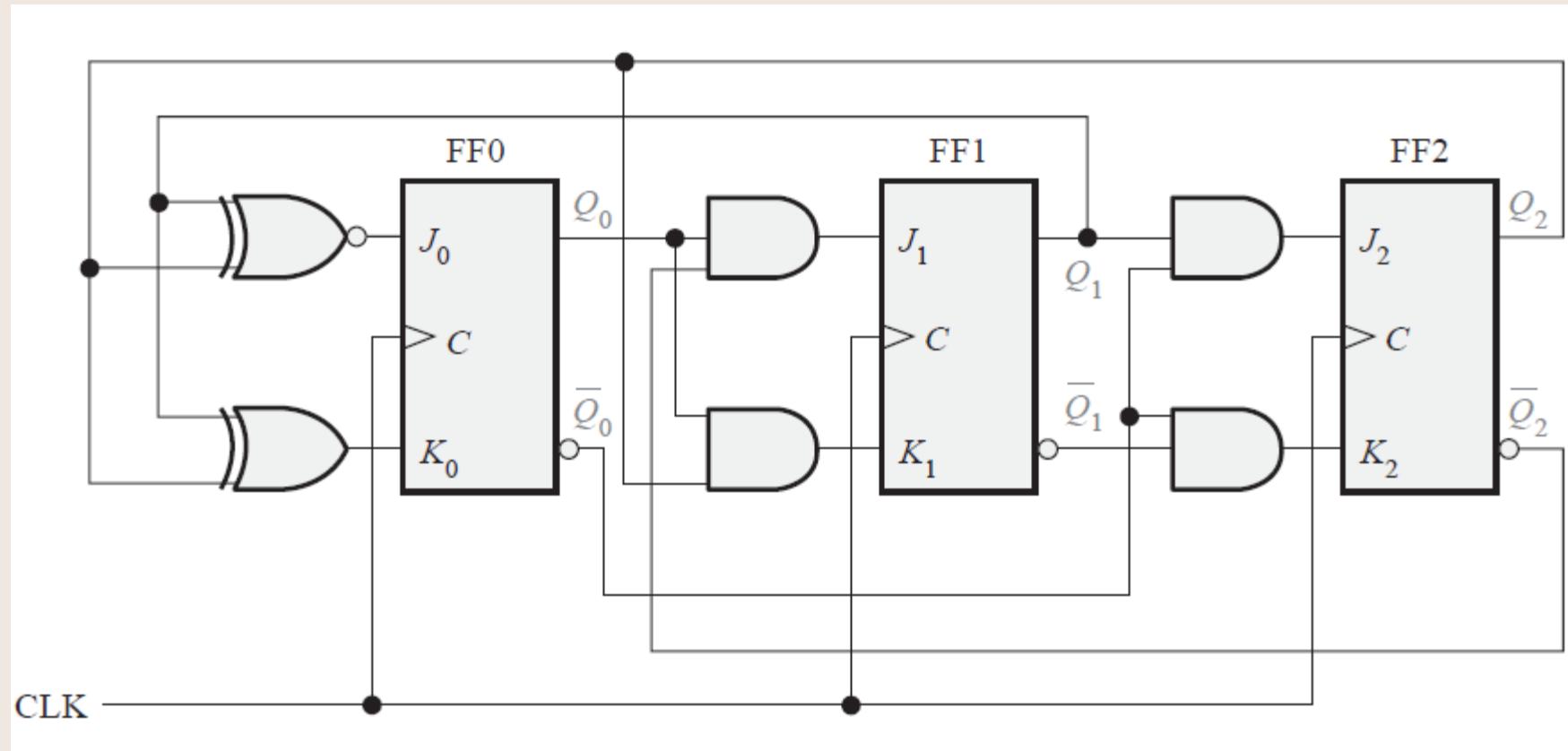
Diseño de contadores

Paso 4 – Mapa de Karnaugh: Se usa el mapa de Karnaugh para realizar las entradas al los FF mediante las compuertas lógicas.



Diseño de contadores

Paso 5 y 6 – Determinar las ecuaciones e implementación



$$K_0 = Q_2 \bar{Q}_1 + \bar{Q}_2 Q_1 = Q_2 \oplus Q_1$$

$$J_1 = \bar{Q}_2 Q_0$$

$$K_1 = Q_2 Q_0$$

$$J_2 = Q_1 \bar{Q}_0$$

$$K_2 = \bar{Q}_1 \bar{Q}_0$$

Registro de desplazamiento

Los registros de desplazamiento son un tipo de circuitos lógicos secuenciales, que están íntimamente relacionados con los contadores digitales. Los registros se utilizan principalmente para almacenar datos digitales y, normalmente, no poseen una secuencia característica interna de estados como los contadores.

Los registros de desplazamiento suelen ser usados muy a menudo en temas de memorias, maquinas de estados secuenciales entre otros.

Se destacan:

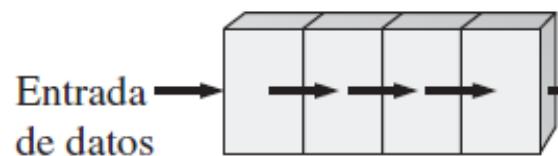
Serial Input, Serial Output (**SISO**).

Serial Input, Parallel Output (**SIPO**).

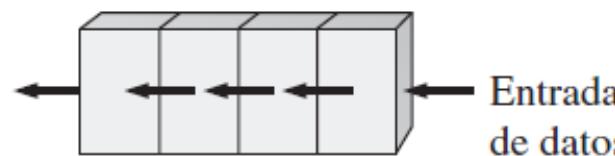
Parallel Input, Serial Output (**PISO**).

Parallel Input, Parallel Output (**PIPO**).

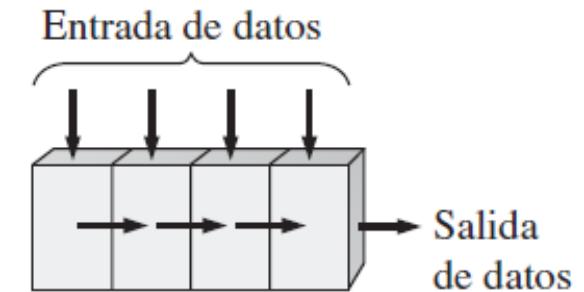
Registro de desplazamiento



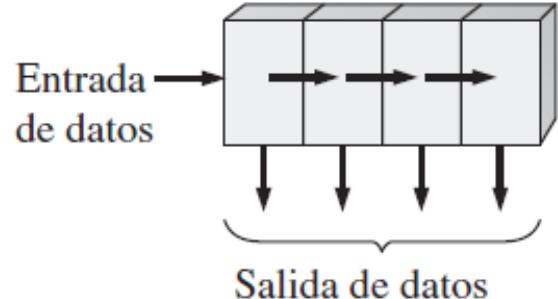
(a) Entrada serie/salida serie con desplazamiento a la derecha



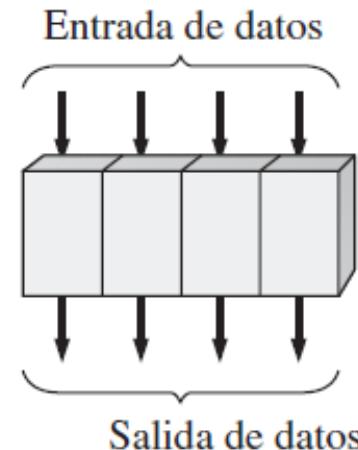
(b) Entrada serie/salida serie con desplazamiento a la izquierda



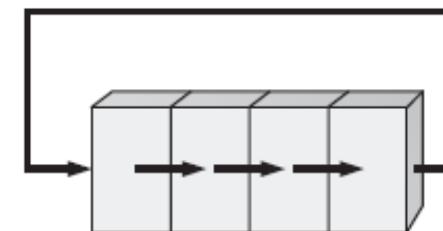
(c) Entrada paralelo/salida serie



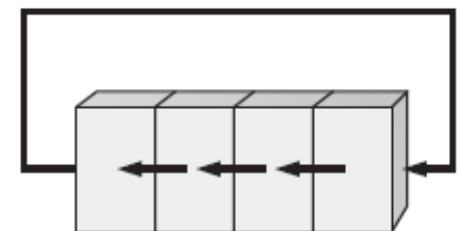
(d) Entrada serie/salida paralelo



(e) Entrada paralelo/salida paralelo

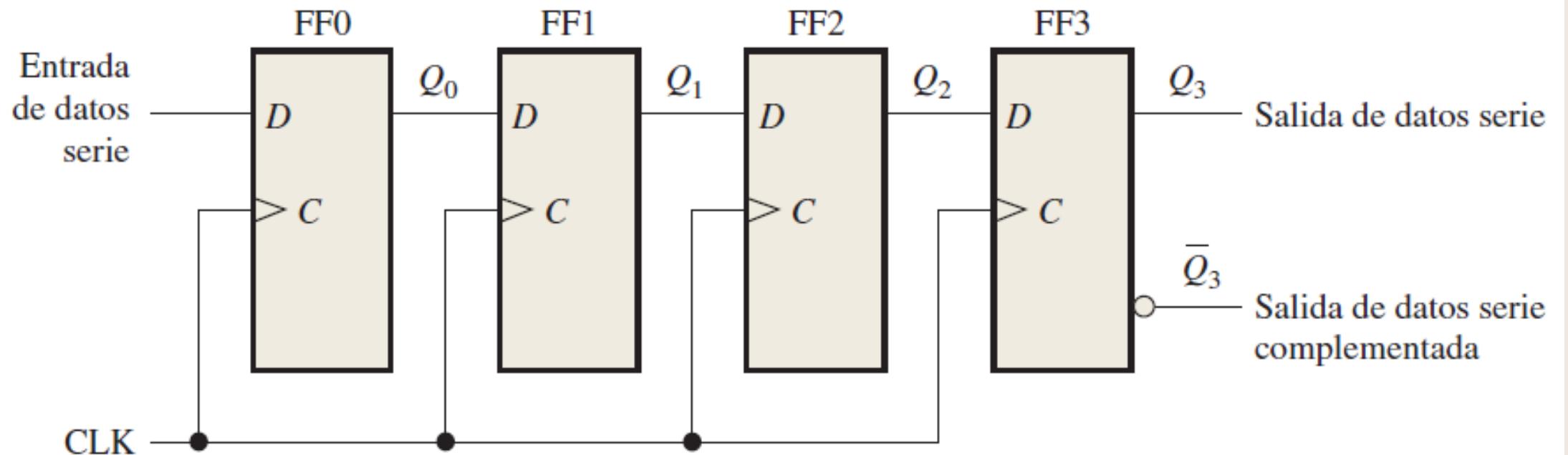


(f) Rotación a la derecha

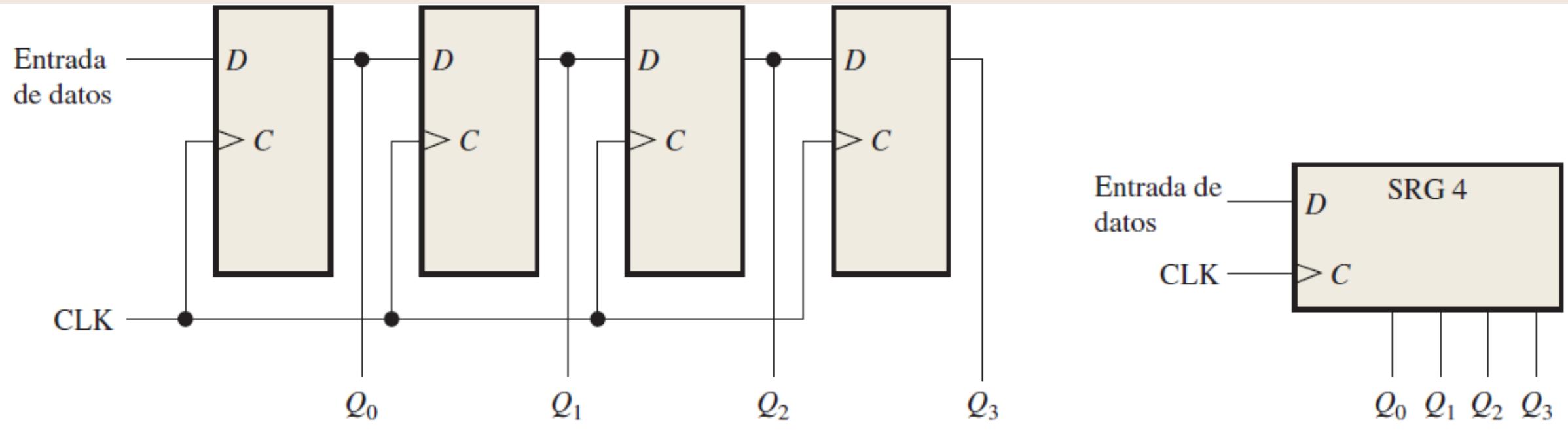


(g) Rotación a la izquierda

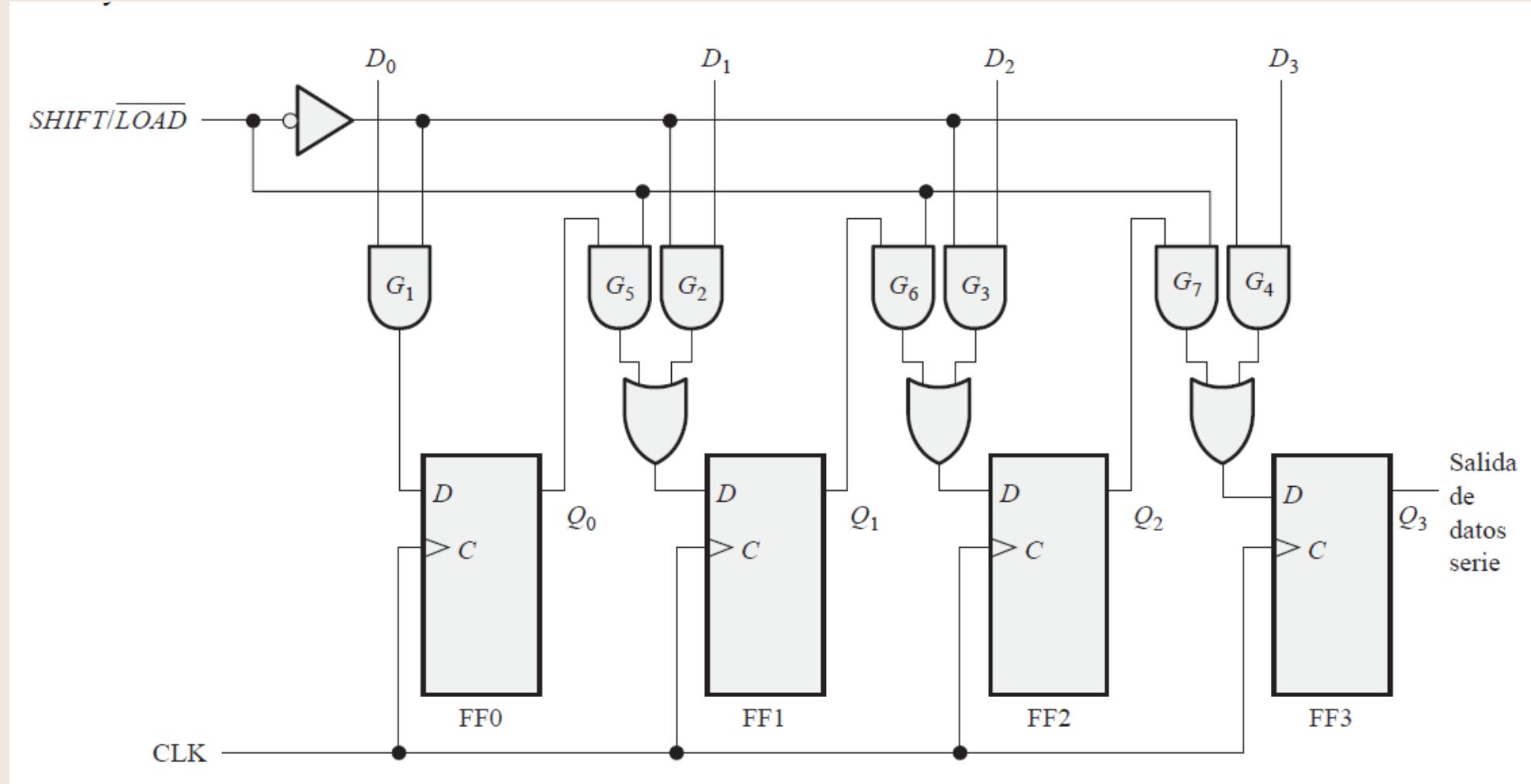
Serial Input – Serial Output (SISO)



Serial Input – Parallel Output (SIPO)



Paralell Input - Serial Output (PISO)



Paralell Input – Paralell Output (PIPO)

