

# RESUMO DOS REGISTRADORES DE I/O DO ATMEGA328

Charles Borges de Lima

Marco V. M. Villaça



## DESCRIÇÃO DOS PINOS

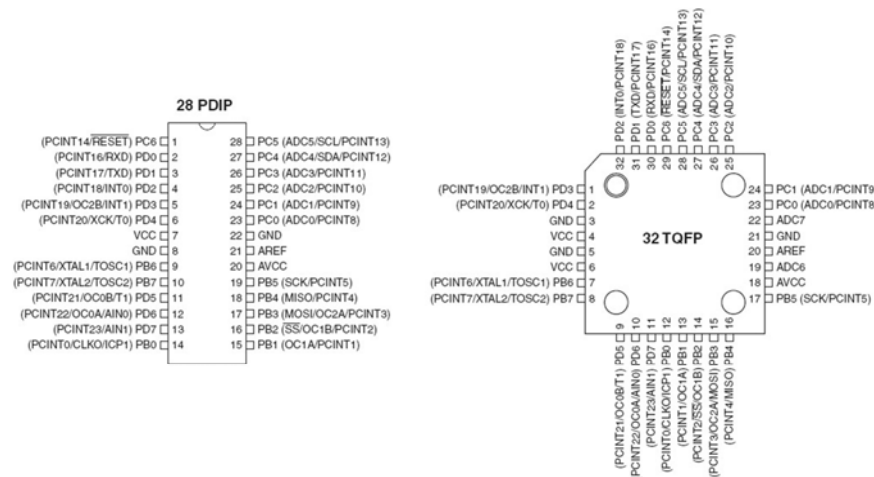


Fig. 1 - Encapsulamentos PDIP e TQFP para o ATmega328.

Tab. 1 - Descrição dos pinos do ATmega328.

PINOS DE ALIMENTAÇÃO	
<b>VCC</b>	Tensão de alimentação.
<b>AVCC</b>	Pino para a tensão de alimentação do conversor AD. Deve ser externamente conectado ao VCC, mesmo se o ADC não estiver sendo utilizado.
<b>AREF</b>	Pino para a tensão de referência analógica do conversor AD.
<b>GND</b>	Terra.

PORTB	
PB0	ICP1 - entrada de captura para o Temporizador/Contador 1. CLKO – saída de <i>clock</i> do sistema. PCINT0 – interrupção 0 por mudança no pino.
PB1	OC1A – saída da igualdade de comparação A do Temporizador/Contador 1 (PWM). PCINT1 - interrupção 1 por mudança no pino.
PB2	SS – pino de seleção de escravo da SPI ( <i>Serial Peripheral Interface</i> ). OC1B - saída da igualdade de comparação B do Temporizador/Contador 1 (PWM). PCINT2 - interrupção 2 por mudança no pino.
PB3	MOSI – pino mestre de saída e escravo de entrada da SPI. OC2A - saída da igualdade de comparação A do Temporizador/Contador 2 (PWM). PCINT3 - interrupção 3 por mudança no pino.
PB4	MISO – pino mestre de entrada e escravo de saída da SPI. PCINT4 - interrupção 4 para mudança no pino.
PB5	SCK – pino de <i>clock</i> da SPI. PCINT5 - interrupção 5 por mudança no pino.
PB6	XTAL1 – entrada 1 do oscilador ou entrada de <i>clock</i> externa. TOSC1 – entrada 1 para o oscilador do temporizador (RTC). PCINT6 - interrupção 6 por mudança no pino.
PB7	XTAL2 – entrada 2 do oscilador. TOSC2 – entrada 2 para o oscilador do temporizador (RTC). PCINT7 - interrupção 7 por mudança no pino.

PORTC	
PC0	ADC0 – canal 0 de entrada do conversor AD. PCINT8 - interrupção 8 por mudança no pino.
PC1	ADC1 – canal 1 de entrada do conversor AD. PCINT9 - interrupção 9 por mudança no pino.
PC2	ADC2 – canal 2 de entrada do conversor AD. PCINT10 - interrupção 10 por mudança no pino.
PC3	ADC3 – canal 3 de entrada do conversor AD. PCINT11 - interrupção 11 por mudança no pino.
PC4	ADC4 – canal 4 de entrada do conversor AD. SDA – entrada e saída de dados da interface a 2 fios (TWI – I2C). PCINT12 - interrupção 12 por mudança no pino.
PC5	ADC5 – canal 5 de entrada do conversor AD. SCL – <i>clock</i> da interface a 2 fios (TWI – I2C). PCINT13 - interrupção 13 por mudança no pino.
PC6	RESET – pino de inicialização. PCINT14 - interrupção 14 por mudança no pino.

PORTD	
PD0	RXD – pino de entrada (leitura) da USART. PCINT16 - interrupção 16 por mudança no pino.
PD1	TXD – pino de saída (escrita) da USART. PCINT17 - interrupção 17 por mudança no pino.
PD2	INT0 – entrada da interrupção externa 0. PCINT18 - interrupção 18 por mudança no pino.
PD3	INT1 – entrada da interrupção externa 1. OC2B – saída da igualdade de comparação B do Temporizador/Contador 2 (PWM) PCINT19 - interrupção 19 por mudança no pino.
PD4	XCK – <i>clock</i> externo de entrada e saída da USART. T0 – entrada de contagem externa para o Temporizador/Contador 0. PCINT 20 - interrupção 20 por mudança no pino.
PD5	T1 – entrada de contagem externa para o Temporizador/Contador 1. OC0B - saída da igualdade de comparação B do Temporizador/Contador 0 (PWM). PCINT 21 - interrupção 21 por mudança no pino.
PD6	AIN0 – entrada positiva do comparador analógico. OC0A - saída da igualdade de comparação A do Temporizador/Contador 0 (PWM). PCINT 22 - interrupção 22 por mudança no pino.
PD7	AIN1 – entrada negativa do comparador analógico. PCINT 23 - interrupção 23 por mudança no pino.

Tab. 2 – Correlação entre os pinos do Arduino e do ATmega328.

Arduino	ATmega328		Arduino	ATmega328		Arduino	Atmega328
<i>Analog In</i>	PORTC			PORTD			PORTB
A0	PC0		0	PD0		8	PB0
A1	PC1		1	PD1		9	PB1
A2	PC2		2	PD2		10	PB2
A3	PC3		3	PD3		11	PB3
A4	PC4		4	PD4		12	PB4
A5	PC5		5	PD5		13	PB5
			6	PD6			
			7	PD7			

## RESUMO DOS REGISTRADORES

Tab. 3: Registradores de entrada e saída da memória de dados (painel de controle do microcontrolador)\*.

End.	Nome	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x23	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
0x24	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0
0x25	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0
0x26	PINC	-	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0
0x27	DDRC	-	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0
0x28	PORTC	-	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0
0x29	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
0x2A	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
0x2B	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
0x35	TIFR0	-	-	-	-	-	OCF0B	OCF0A	TOV0
0x36	TIFR1	-	-	ICF1	-	-	OCF1B	OCF1A	TOV1
0x37	TIFR2	-	-	-	-	-	OCF2B	OCF2A	TOV2
0x3B	PCIFR	-	-	-	-	-	PCIF2	PCIF1	PCIF0
0x3C	EIFR	-	-	-	-	-	-	INTF1	INTF0
0x3D	EIMSK	-	-	-	-	-	-	INT1	INT0
0x3E	GPIOR0	Registrador de I/O de propósito geral 0							
0x3F	EECR	-	-	EEPM1	EEPM0	EERIE	EEMPE	EEPE	EERE
0x40	EEDR	Registrador de dados da EEPROM							
0x41	EEARL	Byte menor do registrador de endereço da EEPROM							
0x42	EEARH	Byte maior do registrador de endereço da EEPROM							
0x43	GTCCR	TSM	-	-	-	-	PSRASY	PSRSYNC	
0x44	TCCR0A	COM0A1	COM0A0	COM0B1	COM0B0	-	-	WGM01	WGM00
0x45	TCCR0B	FOC0A	FOC0B	-	-	WGM02	CS02	CS01	CS00
0x46	TCNT0	Temporizador/Contador 0 (8 bits) – Registrador de contagem							
0x47	OCR0A	Registrador de comparação de saída A do Temporizador/Contador 0							
0x48	OCR0B	Registrador de comparação de saída B do Temporizador/Contador 0							
0x4A	GPIOR1	Registrador de I/O de propósito geral 1							
0x4B	GPIOR2	Registrador de I/O de propósito geral 2							
0x4C	SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
0x4D	SPSR	SPIF	WCOL	-	-	-	-	-	SPI2X
0x4E	SPDR	Registrador de dados da SPI							
0x50	ACSR	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0
0x53	SMCR	-	-	-	-	SM2	SM1	SM0	SE
0x54	MCUSR	-	-	-	-	WDRF	BORF	EXTRF	PORF
0x55	MCUCR	-	BODS	BODSE	PUD	-	-	IVSEL	IVCE
0x57	SPMCSR	SPMIE	RWWBSB	-	RWWSRE	BLBSET	PGWRT	PGERS	SELFPRGEN
0x5D	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
0x5E	SPH	-	-	-	-	-	SP10	SP9	SP8
0x5F	SREG	I	T	H	S	V	N	Z	C
0x60	WDTCR	WDIF	WDIE	WDP3	WDCE	WDE	WDP2	WDP1	WDP0
0x61	CLKPR	CLKPCE	-	-	-	CLKPS3	CLKPS2	CLKPS1	CLKPS0
0x64	PRR	PRTWI	PRTIM2	PRTIM0	-	PRTIM1	PRSPI	PRUSART0	PRADC
0x66	OSCCAL	Registrador de calibração do oscilador							
0x68	PCICR	-	-	-	-	-	PCIE2	PCIE1	PCIE0
0x69	EICRA	-	-	-	-	ISC11	ISC10	ISC01	ISC00
0x6B	PCMSK0	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0
0x6C	PCMSK1	-	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8
0x6D	PCMSK2	PCINT23	PCINT22	PCINT21	PCINT20	PCINT19	PCINT18	PCINT17	PCINT16
0x6E	TIMSK0	-	-	-	-	-	OCIE0B	OCIE0A	TOIE0
0x6F	TIMSK1	-	-	ICIE1	-	-	OCIE1B	OCIE1A	TOIE1
0x70	TIMSK2	-	-	-	-	-	OCIE2B	OCIE2A	TOIE2
0x78	ADCL	Registrador de dados do ADC, byte menor							
0x79	ADCH	Registrador de dados do ADC, byte maior							

0x7A	ADCSRA	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0
0x7B	ADCSRB	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0
0x7C	ADMUX	REFS1	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0
0x7E	DIDR0	-	-	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D
0x7F	DIDR1	-	-	-	-	-	-	AIN1D	AIN0D
0x80	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10
0x81	TCCR1B	ICNC1	ICES1	-	WGM13	WGM12	CS12	CS11	CS10
0x82	TCCR1C	FOC1A	FOC1B	-	-	-	-	-	-
0x84	TCNT1L	Temporizador/Contador 1 (16 bits) – Registrador de contagem do byte menor							
0x85	TCNT1H	Temporizador/Contador 1 (16 bits) – Registrador de contagem do byte maior							
0x86	ICR1L	Temporizador/Contador 1 (16 bits) – Registrador de captura de entrada, byte menor							
0x87	ICR1H	Temporizador/Contador 1 (16 bits) – Registrador de captura de entrada, byte maior							
0x88	OCR1AL	Temporizador/Contador 1 (16 bits) – Registrador da saída de comparação A, byte menor							
0x89	OCR1AH	Temporizador/Contador 1 (16 bits) – Registrador da saída de comparação A, byte maior							
0x8A	OCR1BL	Temporizador/Contador 1 (16 bits) – Registrador da saída de comparação B, byte menor							
0x8B	OCR1BH	Temporizador/Contador 1 (16 bits) – Registrador da saída de comparação B, byte maior							
0xB0	TCCR2A	COM2A1	COM2A0	COM2B1	COM2B0	-	-	WGM21	WGM20
0xB1	TCCR2B	FOC2A	FOC2B	-	-	WGM22	CS22	CS21	CS20
0xB2	TCNT2	Temporizador/Contador 2 (8 bits) – Registrador de contagem							
0xB3	OCR2A	Temporizador/Contador 2 (8 bits) – Registrador da saída de comparação A							
0xB4	OCR2B	Temporizador/Contador 2 (8 bits) – Registrador da saída de comparação B							
0xB6	ASSR	-	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB
0xB8	TWBR	Registrador da taxa de bits da interface serial a dois fios - TWI							
0xB9	TWSR	TWS7	TWS6	TWS5	TWS4	TWS3	-	TWPS1	TWPS0
0xBA	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
0xBB	TWDR	Registrador de dados da interface serial a dois fios - TWI							
0xBC	TWCR	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
0xBD	TWAMR	TWAM6	TWAM5	TWAM4	TWAM3	TWAM2	TWAM1	TWAM0	-
0xC0	UCSR0A	RXC0	TXC0	UDRE0	FE0	DOR0	UPE0	U2X0	MPCM0
0xC1	UCSR0B	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	UCSZ02	RXB80	TXB80
0xC2	UCSR0C	UMSEL01	UMSEL00	UPM01	UPM00	USBS0	UCSZ01 / UDORD0	UCSZ00 / UCPHA0	UCPOL0
0xC4	UBRR0L	Registrador da taxa de transmissão da USART, byte menor							
0xC5	UBRR0H	-	-	-	-	Registrador da taxa de transmissão da USART, byte maior			
0xC6	UDR0	Registrador I/O de dados da USART							

\* Os endereços que não aparecem são reservados e foram suprimidos para não ocupar espaço na tabela, em negrito os que o seguem.

## SREG – STATUS REGISTER

Bit	7	6	5	4	3	2	1	0
SREG	I	T	H	S	V	N	Z	C
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**Bit 7 – I:** Global Interrupt Enable.

**Bit 6 – T:** Bit Copy Storage.

**Bit 5 – H:** Half Carry Flag.

**Bit 4 – S:** Sign Bit, S = N ⊕ V.

**Bit 3 – V:** Two's Complement Overflow Flag.

**Bit 2 – N:** Negative Flag.

**Bit 1 – Z:** Zero Flag.

**Bit 0 – C:** Carry Flag.

## INTERRUPT SERVICE ROUTINE (ISP) LABELS

Código (função)

```
int main()          { //aqui vai o programa principal          }
ISR(INT0_vect)      { //interrupção externa 0                  }
ISR(INT1_vect)      { //interrupção externa 1                  }
ISR(PCINT0_vect)    { //interrupção 0 por mudança de pino      }
ISR(PCINT1_vect)    { //interrupção 1 por mudança de pino      }
ISR(PCINT2_vect)    { //interrupção 2 por mudança de pino      }
ISR(WDT_vect)       { //estouro do temporizador Watchdog      }
ISR(TIMER2_COMPA_vect){ //igualdade de comparação A do TC2     }
ISR(TIMER2_COMPB_vect){ //igualdade de comparação B do TC2     }
ISR(TIMER2_OVF_vect){ //estouro do TC2                          }
ISR(TIMER1_CAPT_vect){ //evento de captura do TC1              }
ISR(TIMER1_COMPA_vect){ //igualdade de comparação A do TC1     }
ISR(TIMER1_COMPB_vect){ //igualdade de comparação B do TC1     }
ISR(TIMER1_OVF_vect){ //estouro do TC1                          }
ISR(TIMER0_COMPA_vect){ //igualdade de comparação A do TC0     }
ISR(TIMER0_COMPB_vect){ //igualdade de comparação B do TC0     }
ISR(TIMER0_OVF_vect){ //estouro do TC0                          }
ISR(SPI_STC_vect)   { //transferência serial completa - SPI    }
ISR(USART_RX_vect)  { //USART, recepção completa              }
ISR(USART_UDRE_vect){ //USART, limpeza do registrador de dados }
ISR(USART_TX_vect)  { //USART, transmissão completa           }
ISR(ADC_vect)       { //conversão do ADC completa             }
ISR(EE_READY_vect)  { //EEPROM pronta                          }
ISR(ANALOG_COMP_vect){ //comparador analógico                  }
ISR(TWI_vect)       { //interface serial TWI                   }
ISR(SPM_READY_vect) { //memória de armazenagem de programa pronta }
```

## REGISTRADORES DOS PERIFÉRICOS DO ATMEGA328P

### PORTs DE I/O

#### PORTB - PORT B Data Register

Bit	7	6	5	4	3	2	1	0
<b>PORTB</b>	<b>PORTB7</b>	<b>PORTB6</b>	<b>PORTB5</b>	<b>PORTB4</b>	<b>PORTB3</b>	<b>PORTB2</b>	<b>PORTB1</b>	<b>PORTB0</b>
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

#### DDRB - PORT B Data Direction Register

Bit	7	6	5	4	3	2	1	0
<b>DDRB</b>	<b>DDB7</b>	<b>DDB6</b>	<b>DDB5</b>	<b>DDB4</b>	<b>DDB3</b>	<b>DDB2</b>	<b>DDB1</b>	<b>DDB0</b>
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

#### PINB - PORT B Input Pins Address

Bit	7	6	5	4	3	2	1	0
<b>PINB</b>	<b>PINB7</b>	<b>PINB6</b>	<b>PINB5</b>	<b>PINB4</b>	<b>PINB3</b>	<b>PINB2</b>	<b>PINB1</b>	<b>PINB0</b>
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Obs: para os outros PORTs tem-se PORTC, DDRC, PINC, PORTD, DDRD e PIND.

#### Configuração dos PORTs

DDXn*	PORTXn	PUD (SFIOR)	I/O	Pull - up	Comentário
0	0	x	Entrada	Não	Alta impedância
0	1	0	Entrada	Sim	Se o pino for aterrado, ele irá fornecer corrente.
0	1	1	Entrada	Não	Alta impedância
1	0	x	Saída	Não	Saída, nível lógico baixo
1	1	x	Saída	Não	Saída, nível lógico alto

\*X = B, C ou D; n = 0, 1, ... ou 7.

Obs.: o bit PUD desabilita o *pull-up* de todas as portas.

## INTERRUPÇÕES EXTERNAS

#### EICRA - Extern Interrupt Control Register A

Bit	7	6	5	4	3	2	1	0
<b>EICRA</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>-</b>	<b>ISC11</b>	<b>ISC10</b>	<b>ISC01</b>	<b>ISC00</b>
Lê/Escreve	L	L	L	L	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Bits de configuração da forma das interrupções nos pinos INT1 e INT0.

ISC11	ISC10	Pedido de Interrupção	ISC01	ISC00	Pedido de Interrupção
0	0	Nível baixo em INT1	0	0	Nível baixo em INT0
0	1	Mudança lógica em INT1	0	1	Mudança lógica em INT0
1	0	Borda de decida em INT1	1	0	Borda de decida em INT0
1	1	Borda de subida em INT1	1	1	Borda de subida em INT0

### EIMSK - External Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0
<b>EIMSK</b>	-	-	-	-	-	-	INT1	INT0
Lê/Escreve	L	L	L	L	L	L	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Bit = 1, interrupção habilitada, bit = 0, interrupção desabilitada.

### EIFR - External Interrupt Flag Register

Bit	7	6	5	4	3	2	1	0
<b>EIFR</b>	-	-	-	-	-	-	INTF1	INTF0
Lê/Escreve	L	L	L	L	L	L	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Os bits sinalizam a solicitação de uma interrupção, são limpos pela escrita de 1 lógico na sua posição.

### PCICR - Pin Change Interrupt Control Register

Bit	7	6	5	4	3	2	1	0
<b>PCICR</b>	-	-	-	-	-	PCIE2	PCIE1	PCIE0
Lê/Escreve	L	L	L	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

PCIE0 = 1, habilita a interrupção por mudança nos pinos do PORTB (PCINT0:7); PCIE1 = 1, nos pinos do PORTC (PCINT8:14); PCIE2 = 1, nos pinos do PORTD (PCINT16:23).

### PCIFR - Pin Change Interrupt Flag Register

Bit	7	6	5	4	3	2	1	0
<b>PCIFR</b>	-	-	-	-	-	PCIF2	PCIF1	PCIF0
Lê/Escreve	L	L	L	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Os bits sinalizam a solicitação de uma interrupção em um dos pinos do PORT: PCIF0 para o PORTB, PCIF1 para o PORTC e PCIF2 para o PORTD; são limpos pela escrita de 1 lógico na sua posição.

### PCMSK0 - Pin Change Mask Register 0

Bit	7	6	5	4	3	2	1	0
<b>PCMSK0</b>	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

### PCMSK1 - Pin Change Mask Register 1

Bit	7	6	5	4	3	2	1	0
<b>PCMSK1</b>	-	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

### PCMSK2 - Pin Change Mask Register 2

Bit	7	6	5	4	3	2	1	0
<b>PCMSK2</b>	PCINT23	PCINT22	PCINT21	PCINT20	PCINT19	PCINT18	PCINT17	PCINT16
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Bit = 1, interrupção habilitada no pino, desde que a interrupção esteja habilitada no PORT (ver PCICR).

## T/C0

### TIMSK0 - Timer/Counter 0 Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0
<b>TIMSK0</b>	-	-	-	-	-	OCIE0B	OCIE0A	TOIE0
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Bit = 1 – interrupção habilitada; bit = 0, interrupção desabilitada.

TOIE0 – interrupção por estouro de contagem.

OCIE0A, OCIE0B – interrupções por coincidência de comparação.

### TIFR0 - Timer/Counter 0 Interrupt Flag Register

Bit	7	6	5	4	3	2	1	0
<b>TIFR0</b>	-	-	-	-	-	OCF0B	OCF0A	TOV0
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Os bits sinalizam a solicitação de uma interrupção, são limpos pela escrita de 1 lógico na sua posição.

### TCCR0A - Timer/Counter 0 Control Register A

Bit	7	6	5	4	3	2	1	0
<b>TCCR0A</b>	COM0A1	COM0A0	COM0B1	COM0B0	-	-	WGM01	WGM00
Lê/Escreve	L/E	L/E	L/E	L/E	L	L	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

### TCCR0B – Timer/Counter 0 Control Register B

Bit	7	6	5	4	3	2	1	0
<b>TCCR0B</b>	FOC0A	FOC0B	-	-	WGM02	CS02	CS01	CS00
Lê/Escreve	E	E	L	L	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**WGM02:1:0** – configuração do modo de operação do TC0.

**COM0A1:0 e COM0B1:0** – configuram a ação nas saídas OC0A/OC0B de acordo com o modo escolhido.

**FOC0A:B** - Force Output Compare. Colocado em 1, uma comparação é forçada no módulo gerador de onda. As saídas são alteradas de acordo com os bits COM0A1:0 e COM0B1:0. Em zero nos modos PWM.

**CS02:0** – seleção do *prescaler*.

### TCNT0 – Timer/Counter 0 Register

Registrador de 8 bits onde é realizada a contagem do TC0, pode ser lido ou escrito a qualquer tempo.

### OCR0A – Output Compare 0 Register A e OCR0B – Output Compare 0 Register B

Registradores de Comparação de 8 bits

Seleção do *clock* para o TC0

CS02	CS01	CS00	Descrição
0	0	0	TC0 parado.
0	0	1	CLK
0	1	0	CLK/8
0	1	1	CLK/64
1	0	0	CLK/256
1	0	1	CLK/1024
1	1	0	<i>Clock</i> externo no pino T0. Borda de descida.
1	1	1	<i>Clock</i> externo no pino T0. Borda de subida.

Frequência em OC0A [Hz]

**Modo CTC**

$$f_{OC0A} = \frac{f_{osc}}{2N(1 + OCR0A)}$$

**Modo PWM rápido**

$$f_{OC0A\_PWM} = \frac{f_{osc}}{N(1 + TOP)}$$

**Modo PWM com fase corrigida**

$$f_{OC0A\_PWM} = \frac{f_{osc}}{2N(1 + TOP)}$$

Configuração do modo de operação do TC0.

Modo	WGM02	WGM01	WGM00	Modo de Operação	TOP	Atualização de OCR0 no valor:	Sinalização do bit TOV0 no valor:
0	0	0	0	Normal	0xFF	Imediata	0xFF
1	0	0	1	PWM com fase corrigida	0xFF	0xFF	0x00
2	0	1	0	CTC	OCR0A	Imediata	0xFF
3	0	1	1	PWM rápido	0xFF	0x00	0xFF
4	1	0	0	reservado	-	-	-
5	1	0	1	PWM com fase corrigida	OCR0A	OCR0A	0x00
6	1	1	0	reservado	-	-	-
7	1	1	1	PWM rápido	OCR0A	0x00	OCR0A

Ação nas saídas OC0A/OC0B.

MODO NÃO PWM			MODO PWM RÁPIDO			MODO PWM FASE CORRIGIDA		
COM0A1 COM0B1	COM0A0 COM0B0	DESCRIÇÃO	COM0A1 COM0B1	COM0A0 COM0B0	DESCRIÇÃO	COM0A1 COM0B1	COM0A0 COM0B0	DESCRIÇÃO
0	0	OC0A/OC0B desconectado	0	0	OC0A/OC0B desconectado	0	0	OC0A/OC0B desconectado
0	1	Inverte OC0A/OC0B na comparação	0	1	Inverte OC0A na comparação*	0	1	Inverte OC0A na comparação*
1	0	OC0A/OC0B em zero na comparação	1	0	OC0A/OC0B = 0 na comparação, em 1 no final do período	1	0	OC0A/OC0B = 0 na comparação na contagem crescente, OC0A/OC0B = 1 na comparação na contagem decrescente.
1	1	OC0A/OC0B em alto na comparação	1	1	OC0A/OC0B = 1 na comparação, em 0 no final do período	1	1	OC0A/OC0B = 1 na comparação na contagem crescente, OC0A/OC0B = 0 na comparação na contagem decrescente.

\* Válido para WGM02 = 1, se WGM02 = 0: OC0A desconectado. COM0B1:0 = 1 é reservado.

## T/C2

### TIMSK2 – Timer/Counter 2 Interrupt Mask Register

Bit	7	6	5	4	3	2	1	0
<b>TIMSK2</b>	-	-	-	-	-	OCIE2B	OCIE2A	TOIE2
Lê/Escreve	L	L	L	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Bit = 1 – interrupção habilitada; bit = 0, interrupção desabilitada.

TOIE2 – interrupção por estouro de contagem.

OCIE2A, OCIE2B – interrupções por coincidência de comparação.

### TIFR2 – Timer/Counter 2 Interrupt Flag Register

Bit	7	6	5	4	3	2	1	0
<b>TIFR2</b>	-	-	-	-	-	OCF2B	OCF2A	TOV2
Lê/Escreve	L	L	L	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Os bits sinalizam a solicitação de uma interrupção, são limpos pela escrita de 1 lógico na sua posição.

### TCCR2A - Timer/Counter 2 Control Register A

Bit	7	6	5	4	3	2	1	0
<b>TCCR2A</b>	COM2A1	COM2A0	COM2B1	COM2B0	-	-	WGM21	WGM20
Lê/Escreve	L/E	L/E	L/E	L/E	L	L	L/E	L/E
Valor Inic.	0	0	0	0	0	0	0	0

### TCCR2B – Timer/Counter 2 Control Register B

Bit	7	6	5	4	3	2	1	0
<b>TCCR2B</b>	FOC2A	FOC2B	-	-	WGM22	CS22	CS21	CS20
Lê/Escreve	E	E	L	L	L/E	L/E	L/E	L/E
Valor Inic.	0	0	0	0	0	0	0	0

**WGM22:1:0** – configuração do modo de operação do TC2.

**COM2A1:0 e COM2B1:0** – configuram a ação nas saídas OC2A/OC2B de acordo com o modo escolhido.

**FOC2A:B** - Force Output Compare. Colocado em 1, uma comparação é forçada no módulo gerador de onda. As saídas são alteradas de acordo com os bits COM2A1:0 e COM2B1:0. Em zero nos modos PWM.

**CS22:0** – seleção do *prescaler*.

### TCNT2 – Timer/Counter 2 Register

Registrador de 8 bits onde é realizada a contagem do TC2, pode ser lido ou escrito a qualquer tempo.

### OCR2A – Output Compare 2 Register A e OCR2B – Output Compare 2 Register B

Registradores de Comparação de 8 bits.

### ASSR – Asynchronous Status Register

Bit	7	6	5	4	3	2	1	0
<b>ASSR</b>	-	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB
Lê/Escreve	L	L	L	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**AS2** = 1: um cristal externo de 32,768 kHz nos pinos TOSC1 e TOSC2 fornece o sinal de *clock* ao TC2.

**EXCLK** = 1 e **AS2** = 1, um clock externo é entrada para o pino TOSC1.

**TCNT2UB**, **OCR2AUB**, **OCR2BUB**, **TCR2AUB** e **TCR2BUB** sinalizam a escrita nos registradores TCNT2, OCR2B, OCR2A, TCCR2A e TCCR2B, respectivamente.



### Seleção do *clock* para o TC2

CS22	CS21	CS20	Descrição
0	0	0	TC2 parado.
0	0	1	CLK
0	1	0	CLK/8
0	1	1	CLK/32
1	0	0	CLK/64
1	0	1	CLK/128
1	1	0	CLK/256
1	1	1	CLK/1024

### Frequência em OC2A/OC2B [Hz]

#### Modo CTC

$$f_{OC2} = \frac{f_{osc}}{2N(1 + OCR2)}$$

#### Modo PWM rápido

$$f_{OC2\_PWM} = \frac{f_{osc}}{N(1 + TOP)}$$

#### Modo PWM com fase corrigida

$$f_{OC2\_PWM} = \frac{f_{osc}}{2N(1 + TOP)}$$

### Ação nas saídas OC2A/OC2B.

MODO NÃO PWM			MODO PWM RÁPIDO			MODO PWM FASE CORRIGIDA		
COM2A1 COM2B1	COM2A0 COM2B0	DESCRIÇÃO	COM2A1 COM2B1	COM2A0 COM2B0	DESCRIÇÃO	COM2A1 COM2B1	COM2A0 COM2B0	DESCRIÇÃO
0	0	OC2A/OC2B desconectado	0	0	OC2A/OC2B desconectado	0	0	OC2A/OC2B desconectado
0	1	Inverte OC2A/OC2B na comparação	0	1	Inverte OC2A na comparação*	0	1	Inverte OC2A na comparação*
1	0	OC2A/OC2B em zero na comparação	1	0	OC2A/OC2B = 0 na comparação, em 1 no final do período	1	0	OC2A/OC2B = 0 na comparação na contagem crescente, OC2A/OC2B = 1 na comparação na contagem decrescente.
1	1	OC2A/OC2B em alto na comparação	1	1	OC2A/OC2B = 1 na comparação, em 0 no final do período	1	1	OC2A/OC2B = 1 na comparação na contagem crescente, OC2A/OC2B=0 na comparação na contagem decrescente.

\* Válido para WGM02 = 1, se WGM02 = 0: OC2A desconectado. COM0B1:0 = 1 é reservado.

### Configuração do modo de operação do TC2.

Modo	WGM22	WGM21	WGM20	Modo de Operação	TOP	Atualização de OCR2 no valor:	Sinalização do bit TOV2 no valor:
0	0	0	0	Normal	0xFF	Imediata	0xFF
1	0	0	1	PWM com fase corrigida	0xFF	0xFF	0x00
2	0	1	0	CTC	OCR2A	Imediata	OCR2A
3	0	1	1	PWM rápido	0xFF	0x00	0xFF
4	1	0	0	reservado	-	-	-
5	1	0	1	PWM com fase corrigida	OCR2A	OCR2A anterior	0x00
6	1	1	0	reservado	-	-	-
7	1	1	1	PWM rápido	OCR2A	0x00	OCR2A

### TC1

#### TIMSK1 - *Timer/Counter 1 Interrupt Mask Register*

Bit	7	6	5	4	3	2	1	0
TIMSK1	-	-	ICIE1	-	-	OCIE1B	OCIE1A	TOIE1
Lê/Escreve	L	L	L/E	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Bit = 1 – interrupção habilitada; Bit = 0, interrupção desabilitada.

ICIE1 – interrupção por entrada de captura

TOIE1 – interrupção por estouro de contagem.

OCIE1A, OCIE1B – interrupções por coincidência de comparação.

#### TIFR1 – *Timer/Counter 1 Interrupt Flag Register*

Bit	7	6	5	4	3	2	1	0
TIFR1	-	-	ICF1	-	-	OCF1B	OCF1A	TOV1
Lê/Escreve	L	L	L/E	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

Os bits sinalizam a solicitação de uma interrupção, são limpos pela escrita de 1 lógico na sua posição.

### TCCR1A - Timer/Counter 1 Control Register A

Bit	7	6	5	4	3	2	1	0
<b>TCCR1A</b>	COM1A1	COM1A0	COM1B1	COM1B0	-	-	WGM11	WGM10
Lê/Escr.	L/E	L/E	L/E	L/E	L	L	L/E	L/E
Valor Inic.	0	0	0	0	0	0	0	0

### TCCR1B – Timer/Counter 1 Control Register B

Bit	7	6	5	4	3	2	1	0
<b>TCCR1B</b>	ICNC1	ICES1	-	WGM13	WGM12	CS12	CS11	CS10
Lê/Escr.	L/E	L/E	L	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**WGM13:0** – configuração do modo de operação do TC1.

**COM1A1:0 e COM1B1:0** – configuram a ação nas saídas OC1A/OC1B de acordo com o modo escolhido.

**CS12:0** – seleção do *prescaler*.

**ICNC1** = 1, habilita o filtro de ruído do pino de captura ICP1.

**ICES1** = 1, evento de captura disparado por transição de 0 para 1 na entrada de captura; **ICES1** = 0, pela transição de 1 para 0.

### TCCR1C - Timer/Counter 1 Control Register C

Bit	7	6	5	4	3	2	1	0
<b>TCCR1C</b>	FOC1A	FOC1B	-	-	-	-	-	-
Lê/Escr.	L/E	L/E	L	L	L	L	L	L
Valor Inicial	0	0	0	0	0	0	0	0

FOC1A:B = 1, forçam uma comparação no módulo gerador de onda. As saídas são alteradas de acordo com os bits COM1A1:0 e COM1B1:0. Em zero nos modos PWM.

### TCNTH e TCNTL (TCNT1) – Timer/Counter 1 Register

Registradores de 16 bits onde é realizada a contagem do TC1, H (*High*) e L (*Low*).

### OCR1AH e OCR1AL (OCR1A) – Output Compare 1 Register A

Registradores de comparação A de 16 bits cada, H (*high*) e L (*Low*).

### OCR1BH e OCR1BL (OCR1B) – Output Compare 1 Register B

Registradores de comparação B de 8 bits cada, H (*High*) e L (*Low*).

### ICR1H e ICR1L (ICR1) – Input Capture Register 1

Esses registradores são atualizados com o valor do TCNT1 cada vez que um evento programado ocorre no pino ICP1 (ou opcionalmente nos pinos do comparador analógico). Também são empregados para definir o valor máximo de contagem (TOP).

Seleção do *clock* para o TC1

CS12	CS11	CS10	Descrição
0	0	0	TC1 parado
0	0	1	CLK
0	1	0	CLK/8
0	1	1	CLK/64
1	0	0	CLK/256
1	0	1	CLK/1024
1	1	0	<i>Clock</i> externo no pino T1. Borda de descida.
1	1	1	<i>Clock</i> externo no pino T1. Borda de subida.

Frequência em OC1A/OC1B [Hz]

**Modo CTC**

$$f_{OC1A} = \frac{f_{osc}}{2N(1 + TOP)}$$

**Modo PWM rápido**

$$f_{OC1x\_PWM} = \frac{f_{osc}}{N(1 + TOP)}$$

**Modo PWM com fase corrigida**

$$f_{OC1A\_PWM} = \frac{f_{osc}}{2N \cdot TOP}$$

Configuração dos modos de operação do TC1.

Modo	WGM13	WGM12	WGM11	WGM10	Modo de operação do TC1	Valor TOP	Atualiz. OCR1x no valor	Bit TOV1 ativo no valor:
0	0	0	0	0	Normal	0xFFFF	Imediata	0xFFFF
1	0	0	0	1	PWM c/ fase corrigida, 8 bits	0x00FF	0x00FF	0
2	0	0	1	0	PWM c/ fase corrigida, 9 bits	0x01FF	0x01FF	0
3	0	0	1	1	PWM c/ fase corrigida, 10 bits	0x03FF	0x03FF	0
4	0	1	0	0	CTC	OCR1A	Imediata	0xFFFF
5	0	1	0	1	PWM rápido, 8 bits	0x00FF	0	0x00FF
6	0	1	1	0	PWM rápido, 9 bits	0x01FF	0	0x01FF
7	0	1	1	1	PWM rápido, 10 bits	0x03FF	0	0x03FF
8	1	0	0	0	PWM c/ fase e freq. corrigidas	ICR1	0	0
9	1	0	0	1	PWM c/ fase e freq. corrigidas	OCR1A	0	0
10	1	0	1	0	PWM c/ fase corrigida	ICR1	ICR1	0
11	1	0	1	1	PWM c/ fase corrigida	OCR1A	OCR1A	0
12	1	1	0	0	CTC	ICR1	Imediata	0xFFFF
13	1	1	0	1	Reservado	-	-	-
14	1	1	1	0	PWM rápido	ICR1	0	ICR1
15	1	1	1	1	PWM rápido	OCR1A	0	OCR1A

Ação nas saídas OC1A/OC1B.

MODO NÃO PWM			MODO PWM RÁPIDO			MODO PWM FASE CORRIGIDA		
COM1A1 COM1B1	COM1A0 COM1B0	DESCRIÇÃO	COM1A1 COM1B1	COM1A0 COM1B0	DESCRIÇÃO	COM1A1 COM1B1	COM1A0 COM1B0	DESCRIÇÃO
0	0	OC1A/OC1B desconectado	0	0	OC1A/OC1B desconectado	0	0	OC1A/OC1B desconectado
0	1	Inverte OC1A/OC1B na comparação	0	1	Inverte OC1A na comparação nos modos 14 ou 15, OC1B desconectado*	0	1	Inverte OC1A na comparação nos modos 9 ou 11, OC1B desconectado*
1	0	OC1A/OC1B em zero na comparação	1	0	OC1A/OC1B = 0 na comparação, em 1 no final do período	1	0	OC1A/OC1B = 0 na comparação na contagem crescente, OC1A/OC1B = 1 na comparação na contagem decrescente.
1	1	OC1A/OC1B em alto na comparação	1	1	OC1A/OC1B = 1 na comparação, em 0 no final do período	1	1	OC1A/OC1B = 1 na comparação na contagem crescente, OC1A/OC1B=0 na comparação na contagem decrescente.

\* Nos demais modos OC1A e OC1B desconectados.

## SPI

### SPCR – SPI Control Register

Bit	7	6	5	4	3	2	1	0
SPCR	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0
Lê/Escr.	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**SPIE** = 1, interrupção habilitada; **SPE** = 1, SPI habilitada; **DORD** = 1, transmite primeiro o LSB.

**MSTR** = 1, SPI como mestre; **SPR1** e **SPR0**, determinam a frequência de SCK.

Quando **CPOL** = 1 (polaridade do *clock*), SCK é alto quando inativo; quando **CPOL** = 0, SCK é baixo quando inativo.

O bit **CPHA** (fase do *clock*) determina se o dado é amostrado na borda principal ou na decida do sinal SCK.

### SPSR – SPI Status Register

Bit	7	6	5	4	3	2	1	0
SPSR	SPIF	WCOL	-	-	-	-	-	SPI2X
Lê/Escreve	L	L	L	L	L	L	L	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**SPIF** = 1, Transferência Completa;

**WCOL** = 1, SPDR foi escrito durante uma transmissão.

**SPI2X** = 1, frequência de SCK duplicada.

### SPDR – SPI Data Register

Bit	7	6	5	4	3	2	1	0
SPDR	MSB							LSB
Lê/Escr.	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	X	X	X	X	X	X	X	X

Formato da transferência de dados.

Configuração		Borda Principal	Borda de Fuga	MODO SPI
CPOL	CPHA			
0	0	Amostragem (subida)	Ajuste (descida)	0
0	1	Ajuste (subida)	Amostragem (descida)	1
1	0	Amostragem (descida)	Ajuste (subida)	2
1	1	Ajuste (descida)	Amostragem (subida)	3

Frequência de operação para o modo mestre.

SPI2X	SPR1	SPR0	Frequência do SCK
0	0	0	$f_{osc}/4$
0	0	1	$f_{osc}/16$
0	1	0	$f_{osc}/64$
0	1	1	$f_{osc}/128$
1	0	0	$f_{osc}/2$
1	0	1	$f_{osc}/8$
1	1	0	$f_{osc}/32$
1	1	1	$f_{osc}/64$

$f_{osc}$  = frequência de operação da CPU.

## USART

### UDR0 – USART I/O Data Register 0

Bit	7	6	5	4	3	2	1	0
UDR0 (leitura)	RXB[7:0]							
UDR0 (escrita)	TXB[7:0]							
Lê/Escrive	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

### UCSR0A – USART Control and Status Register 0 A

Bit	7	6	5	4	3	2	1	0
UCSR0A	RXC0	TXC0	UDRE0	FE	DOR0	UPE0	U2X0	MPCM0
Lê/Escr.	L	L/E	L	L	L	L	L/E	L/E
Valor Inicial	0	0	1	0	0	0	0	0

**RXC0** = 1, recepção completa, limpo quando UDR é lido.

**TXC0** = 1, *frame* enviado, nenhum *frame* novo, limpo também pela escrita de 1.

**UDRE0** = 1, UDR vazio, pronto para novo dado.

**FE0** = 1, *stop* bit recebido = 0.

**DOR0** = 1, UDR não foi lido e novo *start* bit é detectado.

**PE0** = 1, erro de paridade no byte recebido.

**U2X0** = 1, dobra a taxa no modo assíncrono.

**MPCM0** = 1, modo multiprocessador ativo.

### UCSR0B – USART Control and Status Register 0 B

Bit	7	6	5	4	3	2	1	0
UCSR0B	RXCIE0	TXCIE0	UDRIE0	RXEN0	TXEN0	UCSZ02	RXB80	TXB80
Lê/Escr.	L/E	L/E	L/E	L/E	L/E	L/E	L	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**RXCIE0** = 1, habilita a interrupção por recepção completa.

**TXCIE0** = 1, habilita a interrupção por transmissão completa.

**UDRIE0** = 1, habilita a interrupção por UDR vazio.

**RXEN0** = 1, habilita a recepção da USART.

**TXEN0** = 1, habilita a transmissão da USART.

**RXB80/TXB80** = nono bit recebido/transmitido.

### UCSR0C – USART Control and Status Register 0 C

Bit	7	6	5	4	3	2	1	0
UCSR0C	UMSEL01	UMSEL00	UPM01	UPM00	USBS0	UCSZ01	UCSZ00	UCPOL0
Lê/Escr.	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	1	1	0

**UMSEL01:0** - selecionam o modo de operação da USART.

**UPM01:0** - selecionam o modo de paridade.

**USBS0** = 1, dois bits de parada.

**UCSZ01:0** - determinam o número de bits de um *frame*.

**UCPOL0** – válido para o modo síncrono, ajusta a relação entre a alteração do dado transmitido, a amostragem do dado recebido e o *clock* síncrono.

Ajuste do modo de operação da USART.

UMSEL01	UMSEL00	Modo de operação
0	0	assíncrono
0	1	síncrono
1	0	reservado
1	1	SPI mestre

Ajuste do modo de paridade.

UPM01	UPM00	Modo de Paridade
0	0	desabilitado
0	1	reservado
1	0	habilitado, paridade par
1	1	habilitado, paridade ímpar

Ajuste do Frame.

UCSZ02	UCSZ01	UCSZ00	Tamanho do Caractere
0	0	0	5 bits
0	0	1	6 bits
0	1	0	7 bits
0	1	1	8 bits
1	0	0	reservado
1	0	1	reservado
1	1	0	reservado
1	1	1	9 bits

Ajuste da polaridade do *clock* síncrono.

UCPOL0	Mudança do Dado Transmitido (saída do pino TxD0)	Amostragem do Dado Recebido (entrada do pino RxD0)
0	Borda de subida de XCK.	Borda de descida de XCK.
1	Borda de descida de XCK.	Borda de subida de XCK.

## UBRR0L e UBRR0H – USART *Baud Rate Registers*

Bit	15	14	13	12	11	10	9	8
UBRR0H	-	-	-	-	UBRR[11:8]			
UBRR0L	UBRR[7:0]							
Bit	7	6	5	4	3	2	1	0
Lê/Escreve	L/E	L	L	L	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0

Equações para o cálculo do registrador UBRR0 de taxa de transmissão.

Modo de operação	Equação para o cálculo da taxa de transmissão	Equação para o cálculo do valor de UBRR
Modo Normal Assíncrono (U2X0 = 0)	$TAXA = \frac{f_{osc}}{16(UBRR0 + 1)}$	$UBRR0 = \frac{f_{osc}}{16.TAXA} - 1$
Modo de Velocidade Dupla Assíncrono (U2X0 = 1)	$TAXA = \frac{f_{osc}}{8(UBRR0 + 1)}$	$UBRR0 = \frac{f_{osc}}{8.TAXA} - 1$
Modo Mestre Síncrono	$TAXA = \frac{f_{osc}}{2(UBRR0 + 1)}$	$UBRR0 = \frac{f_{osc}}{2.TAXA} - 1$

## USART NO MODO SPI

### UCSR0C - USART MSPIM *Control and Status Register 0 C*

Bit	7	6	5	4	3	2	1	0
UCSR0C	UMSEL01	UMSEL00	-	-	-	UDORD0	UCPHA0	UCPOL
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	1	1	0

**UMSEL01:0** - selecionam o modo de operação da USART.

**UDORD0** = 1, transmite primeiro o LSB.

**UCPHA0** - determina se o dado é amostrado na borda principal ou na de descida do sinal SCK.

**UCPOL0** = 1, SCK é alto quando inativo; quando UCPOL0 = 0, SCK é baixo quando inativo.

Equações para calcular a taxa de transmissão da USART no modo SPI mestre.

Equação para o cálculo da taxa de transmissão	Equação para o cálculo do valor de UBRR0
$TAXA = \frac{f_{osc}}{2(UBRR0 + 1)}$	$UBRR0 = \frac{f_{osc}}{2.TAXA} - 1$

Formato da transferência de dados.

Configuração		Borda Principal	Borda de Fuga	MODO SPI
UCPOL0	UCPHA0			
0	0	Amostragem (subida)	Ajuste (descida)	0
0	1	Ajuste (subida)	Amostragem (descida)	1
1	0	Amostragem (descida)	Ajuste (subida)	2
1	1	Ajuste (descida)	Amostragem (subida)	3

## TWI

### TWBR – TWI *Bit Rate Register*

Bit	7	6	5	4	3	2	1	0
TWBR	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

### TWSR – TWI *Status Register*

Bit	7	6	5	4	3	2	1	0
TWSR	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0
Lê/Escreve	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**TWSR7:3** - refletem o estado do TWI;

**TWBR1:0** – determinam o *prescaler* do TWI.

*Prescaler* da taxa de bits do TWI.

Frequência do TWI em [Hz]

TWPS1	TWPS0	Valor do <i>Prescaler</i>
0	0	1
0	1	4
1	0	16
1	1	64

$$f_{SCL} = \frac{f_{osc}}{16 + (2 \times TWBR \times TWPS)}$$

## TWCR – TWI Control Register

Bit	7	6	5	4	3	2	1	0
<b>TWCR</b>	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE
Lê/Escr.	L/E	L/E	L/E	L/E	L	L/E	L	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**TWINT** – bit sinalizador de interrupção.

**TWEA** = 1, envia ACK; TWEA = 0, NACK.

**TWSTA** = 1, condição de início.

**TWSTO** = 1, condição de parada.

**TWWC** = 1, tentativa de escrita em TWDR com TWINT = 0.

**TWEN** = 1, interface ativa.

**TWIE** = 1, interrupção habilitada.

## TWDR – TWI Data Register

Bit	7	6	5	4	3	2	1	0
<b>TWDR</b>	TWD7	TWD6	TWD5	TWD4	TWD3	TWD2	TWD1	TWD0
Lê/Escr.	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	1	1	1	1	1	1	1	1

## TWAR – TWI (Slave) Address Register

Bit	7	6	5	4	3	2	1	0
<b>TWAR</b>	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE
Lê/Escr.	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	1	1	1	1	1	1	1	0

**TWA6:0** – constituem o endereço da unidade TWI no modo escravo.

**TWGCE** = 1, habilita o reconhecimento de uma chamada geral no barramento TWI.

## COMPARADOR ANALÓGICO

### ADCSRB – ADC Control and Status Register B

Bit	7	6	5	4	3	2	1	0
<b>ADCSRB</b>	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0
Lê/Escr.	L	L/E	L	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**ACME** = 1, com o AD desligado o multiplexador do AD seleciona a entrada (-) do comparador. Com ACME = 0, AIN1 é aplicado à entrada (-).

## ACSR – Analog Comparator Control and Status Register

Bit	7	6	5	4	3	2	1	0
<b>ACSR</b>	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0
Lê/Escr.	L/E	L/E	L	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	N/A	0	0	0	0	0

**ACD** = 1, comparador desabilitado.

**ACBG** = 1, Vref aplicada à entrada (+); ACBG = 0, AIN0 em (+).

**ACO** – saída do comparador.

**ACI** – bit sinalizador de interrupção.

**ACIE** = 1, habilita interrupção.

**ACIC** = 1, captura habilitada.

**ACIS1:0** - determinam qual evento dispara a interrupção do comparador analógico.

Ajuste dos bits ACIS1 e ACIS0.

ACIS1	ACIS0	Modo de interrupção
0	0	Subida ou descida do sinal de comparação.
0	1	Reservado.
1	0	Borda de descida do sinal de comparação.
1	1	Borda de subida do sinal de comparação.

## DIDR1 – Digital Input Disable Register 1

Bit	7	6	5	4	3	2	1	0
<b>DIDR1</b>	-	-	-	-	-	-	AIN1D	AIN0D
Lê/Escr.	L	L	L	L	L	L	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**AIN1D/AIN0D** = 1, uso do comparador analógico ; AIN1D/AIN0D = 0 pinos como I/O.

Multiplexação da entrada negativa do comparador analógico.

ACME	ADEN	MUX2..0	Entrada Negativa para o Comparador Analógico
0	x	xxx	AIN1
1	1	xxx	AIN1
1	0	000	ADC0
1	0	001	ADC1
1	0	010	ADC2
1	0	011	ADC3
1	0	100	ADC4
1	0	101	ADC5
1	0	110	ADC6 (nos encapsulamentos TQFP e QFN/MLF)
1	0	111	ADC7 (nos encapsulamentos TQFP e QFN/MLF)

## ADC

### ADMUX – ADC Multiplexer Selection Register

Bit	7	6	5	4	3	2	1	0
<b>ADMUX</b>	REFS1	REFS0	ADLAR	-	MUX3	MUX2	MUX1	MUX0
Lê/Escr.	L/E	L/E	L/E	L	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

ADLAR = 1, resultado alinhado à esquerda; ADLAR = 0, alinhado à direita.

Seleção da tensão de referência do ADC.

REFS1	REFS0	Seleção da Tensão de Referência
0	0	AREF, tensão interna $V_{REF}$ desligada.
0	1	AVCC. Deve-se empregar um capacitor de 100 nF entre o pino AREF e o GND.
1	0	Reservado.
1	1	1,1 V interno. Deve-se empregar um capacitor de 100 nF entre o pino AREF e o GND.

Seleção do canal de entrada.

MUX3..0	Entrada
0000	ADC0
0001	ADC1
0010	ADC2
0011	ADC3
0100	ADC4
0101	ADC5
0110	ADC6
0111	ADC7
1000	Sensor interno de temperatura
1001-1101	reservado
1110	1,1 V (tensão fixa para referência)
1111	0 V (GND)

### ADCL/ADCH – ADC Data Register

Bit	15	14	13	12	11	10	9	8
<b>ADLAR=0</b>								
<b>ADCH</b>	-	-	-	-	-	-	ADC9	ADC8
<b>ADCL</b>	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
Lê/Escr.	L	L	L	L	L	L	L	L
Valor Inicial	0	0	0	0	0	0	0	0

Bit	15	14	13	12	11	10	9	8
<b>ADLAR=1</b>								
<b>ADCH</b>	ADC9	ADC8	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2
<b>ADCL</b>	ADC1	ADC0	-	-	-	-	-	-
Lê/Escr.	L	L	L	L	L	L	L	L
Valor Inicial	0	0	0	0	0	0	0	0

### ADCSRA – ADC Control and Status Register A

Bit	7	6	5	4	3	2	1	0
<b>ADSRA</b>	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0
Lê/Escr.	L/E	L/E	L/E	L	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**ADEN** = 1, ADC habilitado.

**ADSC** = 1, inicia a conversão.

**ADATE** = 1, modo de auto disparo.

**ADIF** – bit sinalizador de conversão completa.

**ADIE** = 1, interrupção habilitada.

Seleção da divisão de *clock* para o ADC.

ADPS2	ADPS1	ADPS0	Fator de Divisão
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

## ADCSRB – ADC Control and Status Register B

Bit	7	6	5	4	3	2	1	0
ADCSRB	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0
Lê/Escr.	L	L/E	L	L	L	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**ADTS2:0** - se ADATE = 1 (registrador ADCSRA), o valor desses bits seleciona a fonte para o disparo da conversão; se ADATE = 0, esses bits não têm efeito.

Configurações dos bits ADTS2:0.

ADTS2	ADTS1	ADTS0	Fonte de disparo
0	0	0	Conversão contínua
0	0	1	Comparador Analógico
0	1	0	Interrupção Externa 0
0	1	1	Igualdade de comparação A do TC0
1	0	0	Estouro de contagem do TC0
1	0	1	Igualdade de comparação B do TC1
1	1	0	Estouro de contagem do TC1
1	1	1	Evento de captura do TC1

## DIDR0 – Digital Input Disable Register 0

Bit	7	6	5	4	3	2	1	0
DIDR0	-	-	ADC5D	ADC4D	ADC3D	ADC2D	ADC1D	ADC0D
Lê/Escr.	L/E	L/E	L/E	L/E	L/E	L/E	L/E	L/E
Valor Inicial	0	0	0	0	0	0	0	0

**ADC5D:ADC0D** = 1, o pino correspondente é entrada para o ADC; ADC5D:ADC0D = 0, pinos como I/O.