

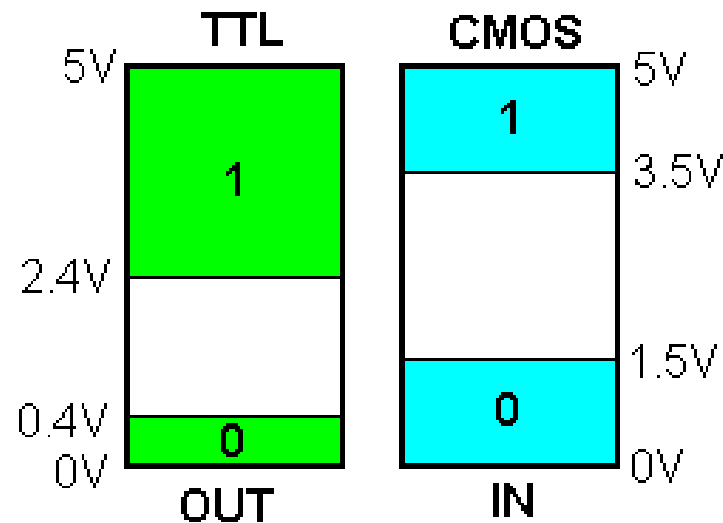
ELECTRONICĂ DIGITALA

Cursul 3

Compatibilitatea între familiile de CI logice

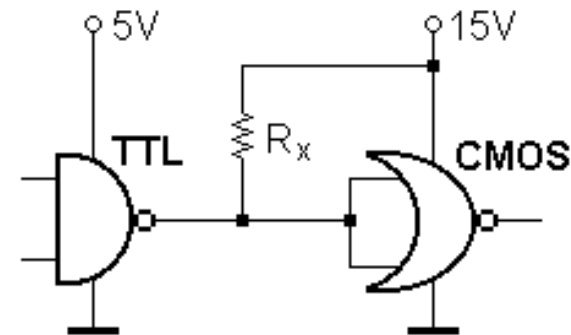
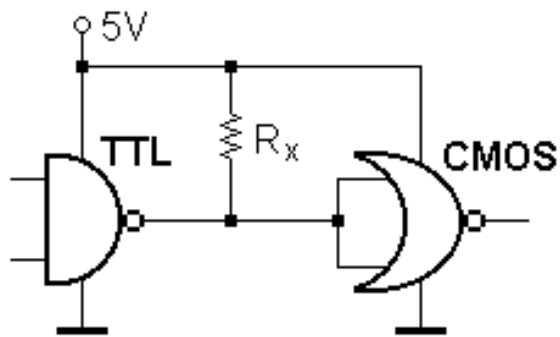
Interfața TTL-CMOS

Când circuitele TTL trebuie să comande circuite CMOS alimentate dintr-o singură tensiune, nivelul minim în starea 1 logic pentru TTL (2.4V) este mai mic decât nivelul minim în starea 1 logic pentru CMOS (3.5V)



Compatibilitatea între familiile de CI logice

Interfața TTL-CMOS



- alimentare comună de 5V
- alimentarea CMOS cu tensiune mai mare de 5V

R_x	Subfamilia TTL			
	Standard	Rapidă	Low-power	Shottky
$R_{x\min}$ [Ω]	390	270	1500	820
$R_{x\max}$ [$k\Omega$]	4.7	4.7	27	12

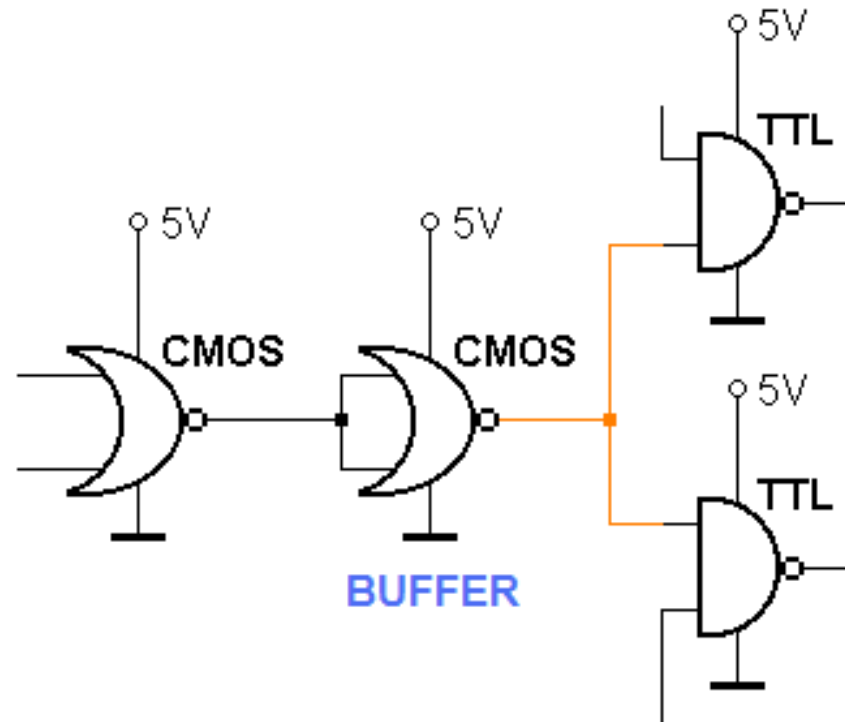
Compatibilitatea între familiile de CI logice

Interfața CMOS-TTL

CMOS în starea **0** la ieșire trebuie să asigure curentul de intrare al porții TTL în starea **0**. Cuplarea directă CMOS-TTL se poate face doar cu subfamilia TTL Low-Power Schottky. Pentru celelalte tipuri de TTL se folosesc circuite separatoare CMOS (buffer) care, în starea **0** au o capacitate de curent corespunzătoare la mai multe intrări TTL. Circuitele separatoare pot fi inversoare sau neinversoare și pot absorbi la ieșirea lor în starea **0** minim 3.2mA, ceea ce corespunde la 2 intrări TTL (o intrare TTL în starea **0** injectează un curent de maxim 1.6mA).

Compatibilitatea între familiile de CI logice

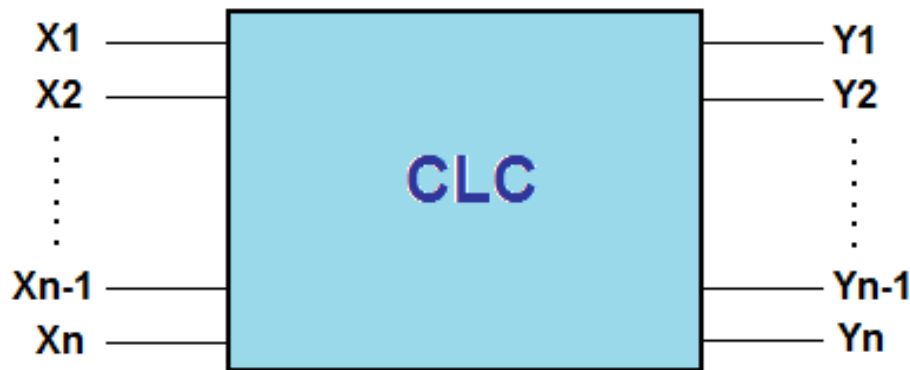
Interfața CMOS-TTL



Circuite logice combinaționale

Definiție: CLC sunt sisteme digitale la care modificarea intrărilor determină instantaneu (ideal) modificarea ieșirilor.

Obs. În circuitele reale modificarea ieșirilor are loc după un timp de întârziere datorat timpilor de propagare a informației prin porțile logice.



$$Y1 = F1(X1, X2, \dots, Xn-1, Xn)$$

$$Y2 = F2(X1, X2, \dots, Xn-1, Xn)$$

.

.

.

$$Yn-1 = Fn-1(X1, X2, \dots, Xn-1, Xn)$$

$$Yn = Fn(X1, X2, \dots, Xn-1, Xn)$$

Circuite logice combinaționale

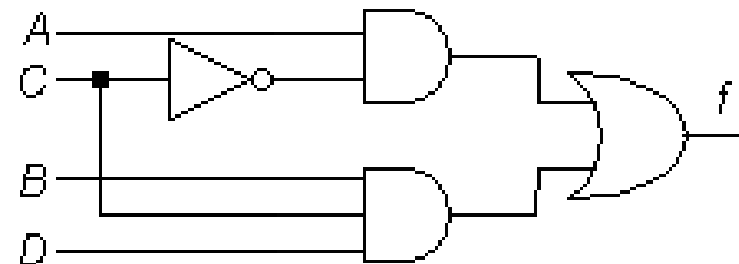
Exemplul 1

Să se implementeze funcția logică

$$f(A, B, C, D) = A\overline{C} + BCD$$

- a) cu porți logice diverse
- b) numai cu porți SI-NU

a) Circuitul se implementează direct cu o rețea SI-SAU (3 nivele: SAU, SI, NU (cu citire de la dreapta la stânga))



Circuite logice combinaționale

b) Implementarea numai cu porți SI-NU presupune următoarele operații:

- dubla negație
- teoremele DeMorgan

$$\overline{\overline{A}C} + \overline{BCD} = \overline{\overline{\overline{\overline{A}C} + \overline{BCD}}} = \overline{\overline{\overline{A}C} \bullet \overline{BCD}}$$

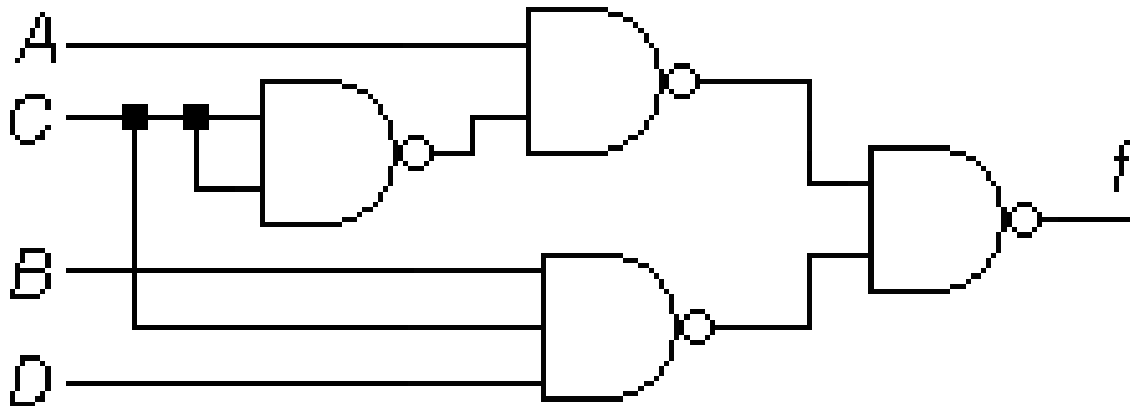
(negata sumei se transformă în produsul negatelor)

Se observă că sunt necesare:

- o poartă SI-NU cu 2 intrări pentru termenul $\overline{\overline{A}C}$
- o poartă SI-NU cu intrările unite pentru "C negat" \overline{C}
- o poartă SI-NU cu 3 intrări pentru termenul \overline{BCD}
- o poartă SI-NU cu 2 intrări pentru a lega cei doi termeni ($\overline{\overline{A}C}$ și \overline{BCD})

Circuite logice combinaționale

Implementarea pe 3 nivele:



Temă: utilizând axiomele și teoremele algebrei booleene să se implementeze numai cu porți SI-NU cu câte două intrări.

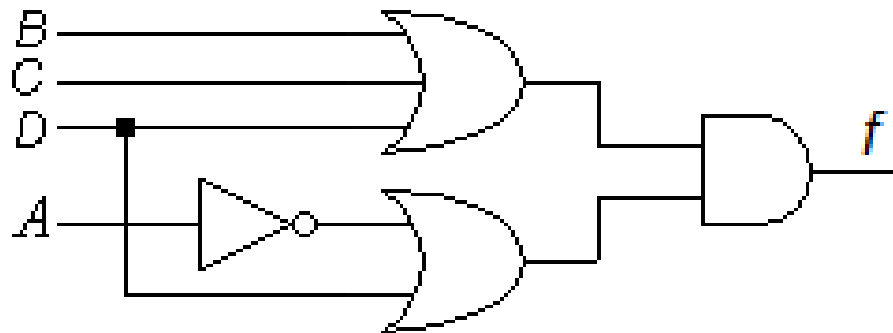
Circuite logice combinaționale

Exemplul 2

Să se implementeze funcția logică

$$f(A, B, C, D) = (B + C + D)(\bar{A} + D)$$

Implementarea directă (pe 3 nivele) presupune utilizarea unei rețele SAU-SI



Circuite logice combinaționale

Simplificarea (minimizarea) funcțiilor logice

Scopul este de a reduce costul de realizare a funcțiilor logice cu elemente fizice de circuit (implementare).

Simplificarea circuitului poate fi **limitată** de următorii factori:

- *Numărul de intrări* al porții (fan-in);
- *Numărul de ieșiri* ce pot fi comandate (fan-out);
- *Viteza de transfer* (care poate dicta utilizarea implementărilor pe 2 nivele, mai rapide decât a celor lente pe 3, 4 sau mai multe nivele);
- *Hazardul*, adică modificarea nedorită a nivelului de la ieșirea porții.

Circuite logice combinaționale

Diagrama Veitch-Karnaugh de minimizare

Diagrama este o formă particulară a tabelului de adevăr al unei funcții logice: dacă în tabelul de adevăr fiecărui termen îi corespunde o linie, în diagrama Veitch-Karnaugh îi corespunde o celulă (un pătrat, o căsuță).

Dacă funcția este descrisă prin forma canonică disjunctivă (FCD, sumă de produse) atunci fiecărui termen adevărat al funcției îi corespunde "1" logic care se trece în căsuța corespunzătoare acelu termen.

Dacă funcția este descrisă prin forma canonică conjunctivă (FCC, produs de sume) atunci fiecărui termen adevărat al funcției îi corespunde "0" logic care se trece în căsuța corespunzătoare acelu termen.

Circuite logice combinaționale

Diagrama Veitch-Karnaugh

- Minimizarea funcțiilor logice presupune gruparea celulelor care au înscris "1" (FCD), respectiv "0" (FCC) astfel încât numărul celulelor unei grupări să reprezinte putere a lui 2 (adică pot fi 2, 4, 8 celule ș.a.m.d.);
- Căsuțele (celulele elementare) sunt astfel așezate încât la trecerea dintr-o căsuță în cealaltă o singură variabilă își schimbă valoarea logică;
- Numărul total de căsuțe elementare este 2^n , unde n este numărul de variabile logice ale funcției;
- O celulă poate fi utilizată pentru a realiza mai multe grupări (poate să fie utilizată în mai multe grupări);
- De exemplu $f(A,B,C,D)$ are diagrama Veitch-Karnaugh alcătuită din $2^4=16$ celule (căsuțe elementare) deoarece este descrisă cu ajutorul a 4 variabile logice.

Circuite logice combinaționale

Diagrama Veitch-Karnaugh

Exemplul 3: Se presupune că o bandă de montaj dintr-un atelier industrial poate fi oprită dacă cel puțin 2 din cele 3 posturi de lucru cer acest lucru. Să se deducă expresia funcției logice corespunzătoare, să se minimizeze utilizând diagramele Veitch-Karnaugh și să se implementeze cu porți ȘI-NU.

Rezolvare: se notează cu A, B și C cele trei variabile corespunzătoare. Valoarea lor este 1 dacă se cere oprirea și zero dacă nu se cere acest lucru. Tabelul de adevăr are forma:

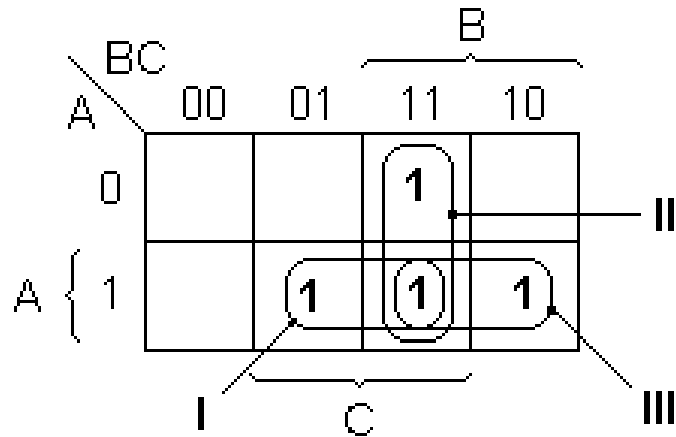
Circuite logice combinaționale

Diagrama Veitch-Karnaugh

A	B	C	Termenul canonic	Valoarea
0	0	0	$P_0 = \bar{A} \cdot \bar{B} \cdot \bar{C}$	0
0	0	1	$P_1 = \bar{A} \cdot \bar{B} \cdot C$	0
0	1	0	$P_2 = \bar{A} \cdot B \cdot \bar{C}$	0
0	1	1	$P_3 = \bar{A} \cdot B \cdot C$	1
1	0	0	$P_4 = A \cdot \bar{B} \cdot \bar{C}$	0
1	0	1	$P_5 = A \cdot \bar{B} \cdot C$	1
1	1	0	$P_6 = A \cdot B \cdot \bar{C}$	1
1	1	1	$P_7 = A \cdot B \cdot C$	1

Circuite logice combinaționale

Diagrama Veitch-Karnaugh



$$\text{I: } x_1 = A \cdot C$$

$$\text{II: } x_2 = B \cdot C$$

$$\text{III: } x_3 = A \cdot B$$

Forma minimizată a funcției

$$y = x_1 + x_2 + x_3 = AC + BC + AB$$

Circuite logice combinaționale

Diagrama Veitch-Karnaugh

Pentru a implementa cu același tip de porți (ȘI-NU) se aplică dubla negație și teoremele lui DeMorgan

