

UNIVERSIDAD DE COSTA RICA

ESCUELA DE INGENIERÍA ELÉCTRICA

IE-0523 - CIRCUITOS DIGITALES 2

Tarea 1

Instalación de Herramientas del Curso y Primer Programa en Verilog

Autor:

Arnaldo Chacon , B41768

Profesor:

Jorge Soto



Ciudad Universitaria Rodrigo Facio, Costa Rica

25 de agosto de 2018

I. TIEMPOS REQUERIDOS

Cuadro I: Tiempos invertidos en cada Tarea

Tarea	Búsqueda de Información	Estudio de Información	Ejecución	Confección del reporte
Tiempo invertido	3h 45min	4h	5h 35min	2h 10min

II. DESCRIPCIÓN DE LAS HERRAMIENTAS

II-A. Logic Friday:

Es una herramienta de Software libre empleada en la creación, simplificación y diseño de Circuitos Digitales.

El programa permite: [1]

- Introducir Funciones Lógicas como Tablas de Verdad, una Ecuación o bien, un Diagrama de Compuertas Lógicas de hasta 16 entradas.
 - Minimizar dichas Funciones de forma rápida y exacta.
 - Generar automáticamente un diagrama de compuertas lógicas multinivel usando las compuertas seleccionadas de una biblioteca.
 - Comparar funciones lógicas.
 - Generar nuevas funciones como combinaciones lógicas de otras.
 - Visualizar cualquier función como una tabla de verdad, ecuación o diagrama de puerta.
 - Guardar funciones y imágenes de diagramas de puertas a archivos.
 - Exportación e importación de tablas de verdad como archivos CSV para su edición en aplicaciones de hoja de cálculo.
- Entre Muchas cosas más.

II-B. Icarus Verilog:

Icarus Verilog es una herramienta de simulación y síntesis de Verilog. Funciona como un compilador, compilando código fuente escrito en Verilog (IEEE-1364) en algún formato de destino.[2]

El código en Verilog permite describir el comportamiento de un circuito digital y simularlo a través de Icarus.

II-C. GTKWave:

GTKWave es un completo visor de onda basado en GTK+, para Unix, Windows y otras plataformas. Que lee archivos LXT, LXT2, VZT, FST, y los archivos GHW, así como archivos estándar Verilog VCD / EVcd y permite su visualización en pantalla.

II-D. Yosys:

Es un framework para la síntesis de Verilog RTL. L. Actualmente cuenta con un amplio soporte de Verilog-2005 y proporciona un conjunto básico de algoritmos de síntesis para diversos dominios de aplicación. Características seleccionadas y aplicaciones típicas: [3]

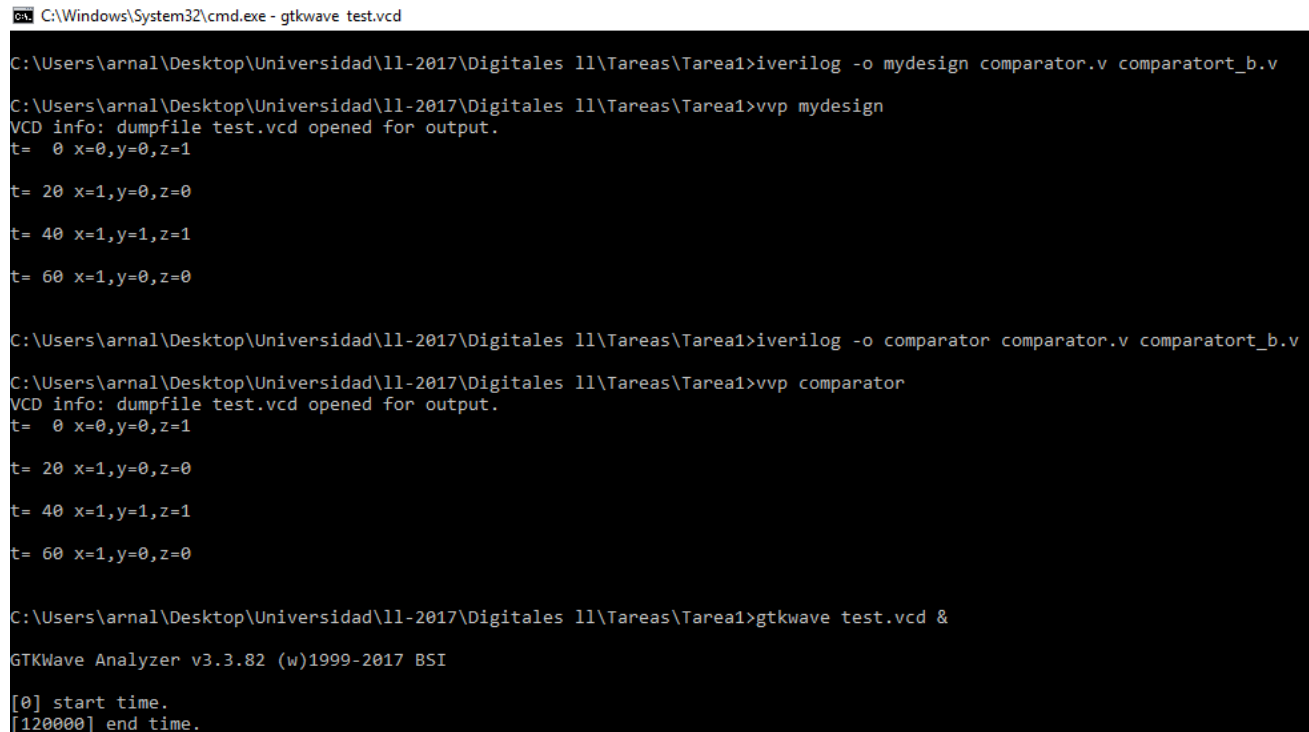
- Procesa casi cualquier diseño sintetizable Verilog-2005
- Conversión de Verilog a BLIF / EDIF / BTOR / SMT-LIB / RTL simple Verilog / etc
- Métodos formales integrados para comprobar propiedades y equivalencia
- Asignación a bibliotecas de celdas estándar ASIC (en formato Liberty File)
- Mapeo de FPGAs Xilinx de 7 Series y Lattice iCE40 Fundación y / o front-end para flujos personalizados

III. EMPLEO DE LAS HERRAMIENTAS CON UN COMPARADOR

III-A. *Icarus Verilog*

Se realiza una prueba de compilación y ejecución de un programa escrito en verilog correspondiente a un comparador. El cual pondrá su salida en alto siempre y cuando sus dos entradas sean iguales. Se utiliza un archivo test para probar los resultados. Se imprime en pantalla

Se muestra en la siguiente figura el proceso:



```

C:\Windows\System32\cmd.exe - gtkwave test.vcd

C:\Users\arnal\Desktop\Universidad\11-2017\Digitales 11\Tareas\Tarea1>iverilog -o mydesign comparator.v comparator_t_b.v
C:\Users\arnal\Desktop\Universidad\11-2017\Digitales 11\Tareas\Tarea1>vvp mydesign
VCD info: dumpfile test.vcd opened for output.
t= 0 x=0,y=0,z=1

t= 20 x=1,y=0,z=0
t= 40 x=1,y=1,z=1
t= 60 x=1,y=0,z=0

C:\Users\arnal\Desktop\Universidad\11-2017\Digitales 11\Tareas\Tarea1>iverilog -o comparator comparator.v comparator_t_b.v
C:\Users\arnal\Desktop\Universidad\11-2017\Digitales 11\Tareas\Tarea1>vvp comparator
VCD info: dumpfile test.vcd opened for output.
t= 0 x=0,y=0,z=1

t= 20 x=1,y=0,z=0
t= 40 x=1,y=1,z=1
t= 60 x=1,y=0,z=0

C:\Users\arnal\Desktop\Universidad\11-2017\Digitales 11\Tareas\Tarea1>gtkwave test.vcd &
GTKWave Analyzer v3.3.82 (w)1999-2017 BSI

[0] start time.
[120000] end time.
  
```

Figura 1: Compilación Icarus Verilog

En la misma imagen se observa que también se abre un archivo .vcd creado en el proceso de compilación con GTKWave.

III-B. *GTKWave*

Se muestra en la siguiente imagen la visualización del archivo .v de verilog que se puede realizar con GTKWave:

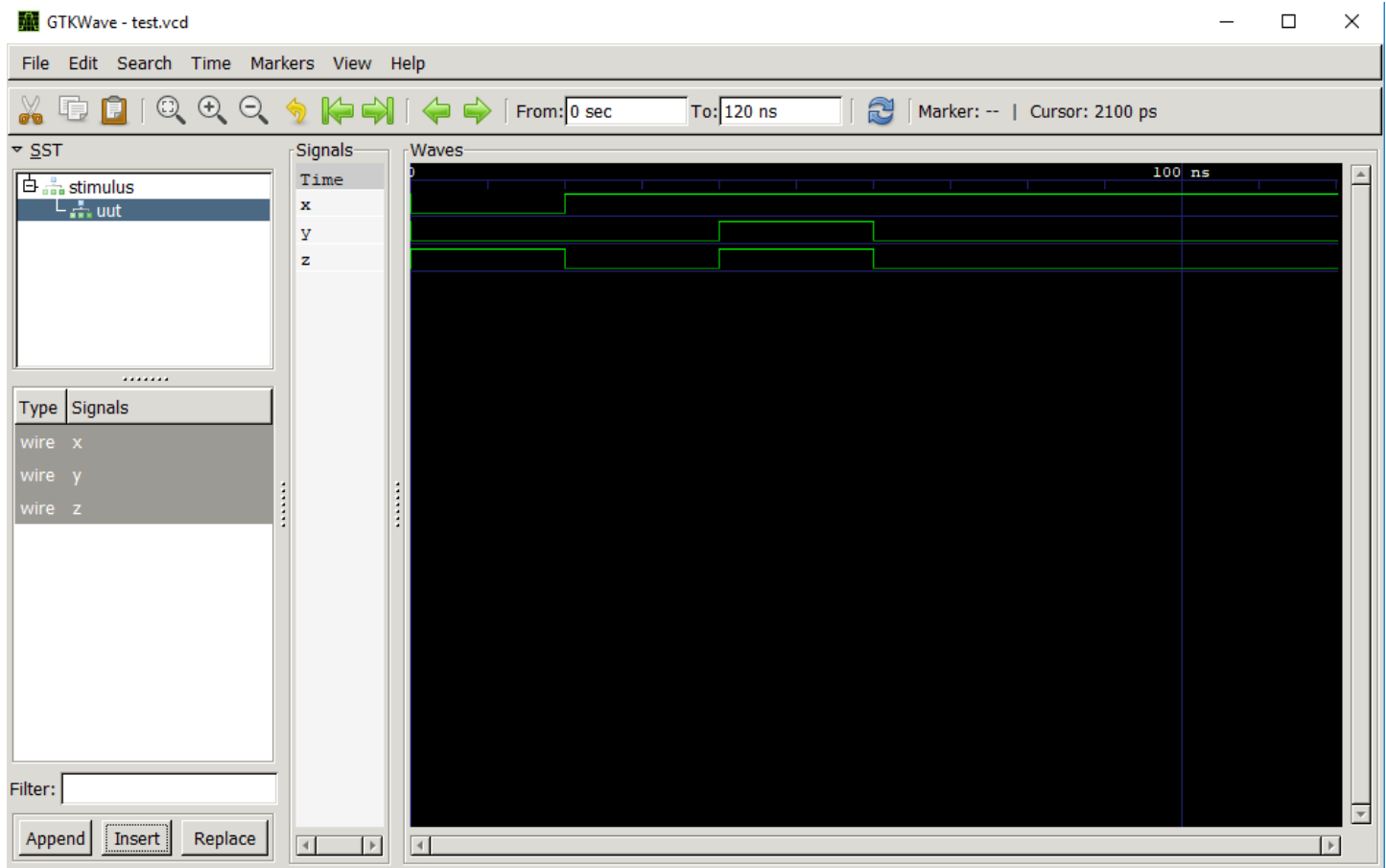


Figura 2: Visualización en GTKwave

Se pueden observar en el gráfico, que la variable de salida z se pone en alto siempre y solamente cuando ambas entradas son iguales.

III-C. *Logic Friday*

Por medio de la tabla de verdad del comparador, se crea su ecuación y el circuito correspondientes usando el software Logic Friday. Lo cual se aprecia en la siguiente imagen:

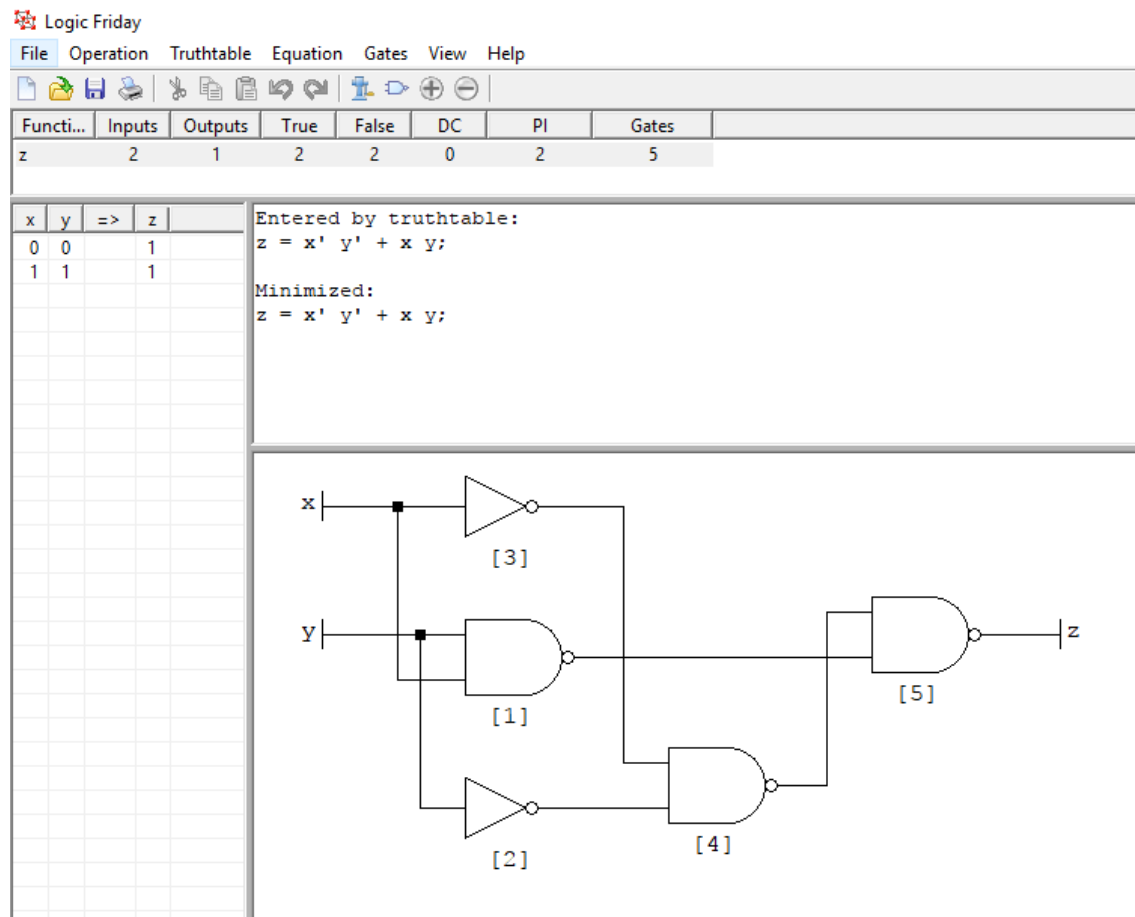
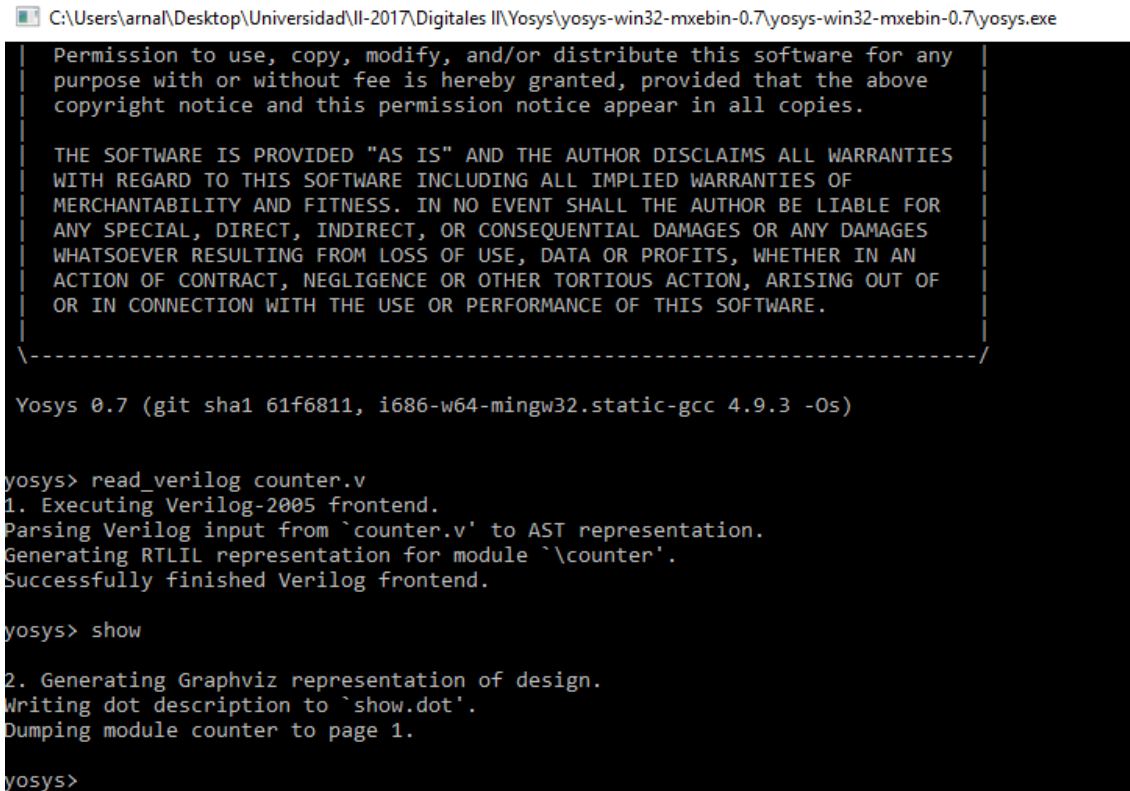


Figura 3: Logic Friday

III-D. Yosys

Se realiza la lectura de un archivo .v empleando este software. Sea crea un archivo .dot que al transformarlo en una imagen o un pdf se puede observar el circuito compuesto con compuertas lógicas que está descrito en el código de verilog.



```
C:\Users\arnal\Desktop\Universidad\II-2017\Digitales II\Yosys\yosys-win32-mxebin-0.7\yosys-win32-mxebin-0.7\yosys.exe

Permission to use, copy, modify, and/or distribute this software for any
purpose with or without fee is hereby granted, provided that the above
copyright notice and this permission notice appear in all copies.

THE SOFTWARE IS PROVIDED "AS IS" AND THE AUTHOR DISCLAIMS ALL WARRANTIES
WITH REGARD TO THIS SOFTWARE INCLUDING ALL IMPLIED WARRANTIES OF
MERCHANTABILITY AND FITNESS. IN NO EVENT SHALL THE AUTHOR BE LIABLE FOR
ANY SPECIAL, DIRECT, INDIRECT, OR CONSEQUENTIAL DAMAGES OR ANY DAMAGES
WHATSOEVER RESULTING FROM LOSS OF USE, DATA OR PROFITS, WHETHER IN AN
ACTION OF CONTRACT, NEGLIGENCE OR OTHER TORTIOUS ACTION, ARISING OUT OF
OR IN CONNECTION WITH THE USE OR PERFORMANCE OF THIS SOFTWARE.

-----/

Yosys 0.7 (git sha1 61f6811, i686-w64-mingw32.static-gcc 4.9.3 -Os)

yosys> read_verilog counter.v
1. Executing Verilog-2005 frontend.
Parsing Verilog input from `counter.v' to AST representation.
Generating RTLIL representation for module `counter'.
Successfully finished Verilog frontend.

yosys> show

2. Generating Graphviz representation of design.
Writing dot description to `show.dot'.
Dumping module counter to page 1.

yosys>
```

Figura 4: Logic Friday

REFERENCIAS

- [1] Sontrak.com. (n.d.). Logic Friday Free software for boolean logic analysis. [online] Available at: <http://sontrak.com/> [Accessed 9 Aug. 2017].
- [2] Williams, S. (n.d.). Icarus Verilog. [online] Iverilog.icarus.com. Available at: <http://iverilog.icarus.com/> [Accessed 10 Aug. 2017].
- [3] Clifford.at. (n.d.). Yosys Open SYnthesis Suite. [online] Available at: <http://www.clifford.at/yosys/> [Accessed 10 Aug. 2017].