

TP5

+ Etude d'un analyseur de fonctions logiques.

On se propose de déterminer la nature d'un opérateur inconnu à 1 ou 2 entrées E1 et E2 parmi les 6 fonctions possibles suivantes : NOT, AND, OR, NAND, NOR, XOR.

Schéma de principe :

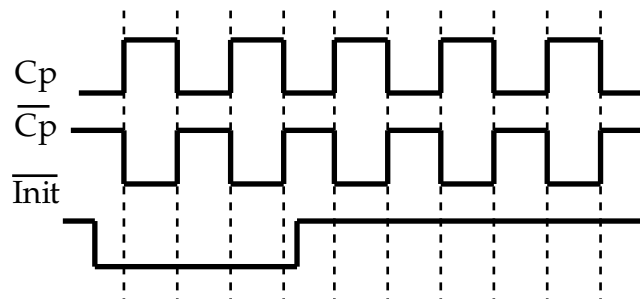
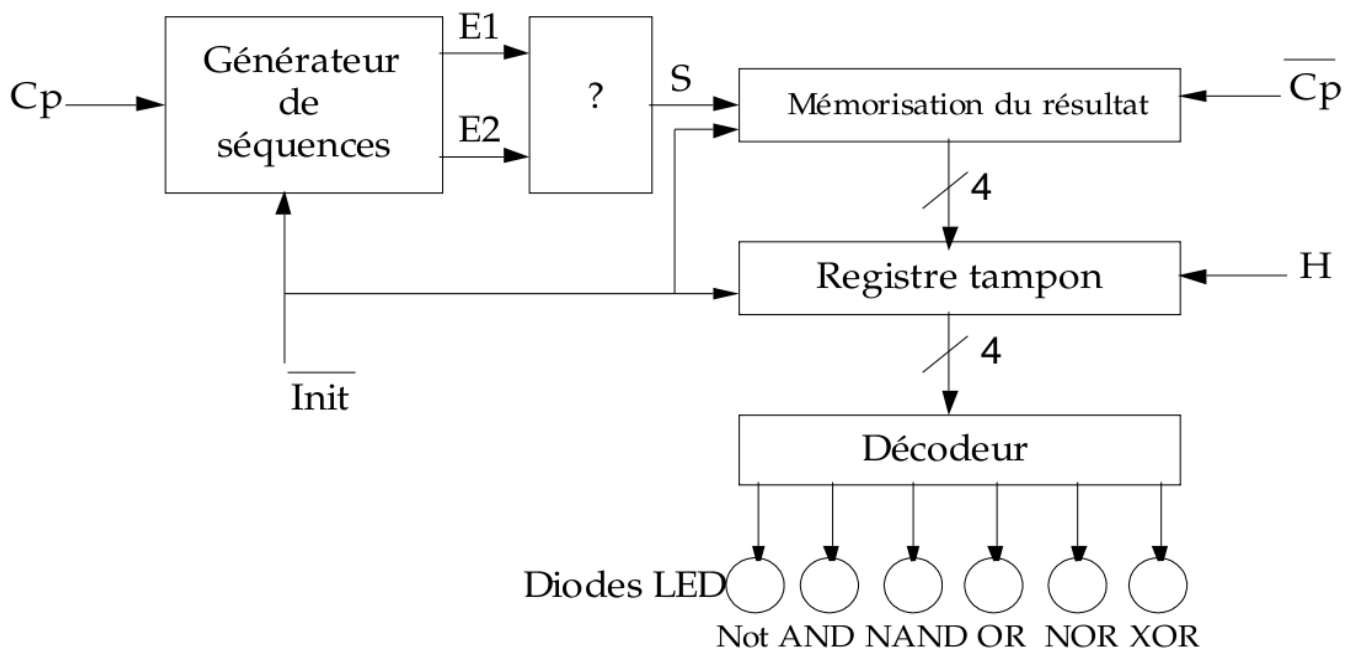


Illustration 1: Chronogramme.

Il s'agit d'étudier et de concevoir le schéma logique de dispositif de manière à rendre l'analyse automatique, c'est à dire en laissant la séquence de test se dérouler en permanence tant que l'opérateur est en place. Si aucun opérateur est un essai aucune diode LED ne devra être allumée.

Remarques

- pour le test du NOT on utilisera indifféremment E1 ou E2.
- Cp est un signal d'horloge qui délivre en permanence des impulsions
- le signal Init, actif à l'état bas et synchrone de l'horloge Cp (voir chronogramme) permet d'initialiser le générateur à 00, l'élément de mémorisation et le registre tampon à 1111.
- On suppose qu'en l'absence de circuit à tester le signal S est au niveau logique 1.



Étudier le générateur de séquences en utilisant 2 bascules D pour générer les 4 séquences à savoir (00, 01, 10, 11).



Câbler le générateur de séquence.



Étudier l'élément de mémorisation du résultat permettant d'écrire en série la séquence des 4 valeurs de S (sortie du circuit à analyser).



Donner le schéma logique.



Ce registre tampon récupère par un transfert parallèle de l'élément de mémorisation la séquence des 4 valeurs de S. Câblez le à partir de bascules D, c'est un registre à lecture et écriture parallèle.



Étudier son signal de chargement H.



Chaque opérateur est codé par une séquence (4 valeurs de S) sortant du registre tampon (T1, T2, T3, T4). Donner la table de vérité de ce décodeur sans oublier d'inclure le cas où aucun opérateur n'est à tester.



Simplifiez par le tableau de Karnaugh et câblez le décodeur.



Assemblez et testez le en analysant plusieurs circuits de base.