

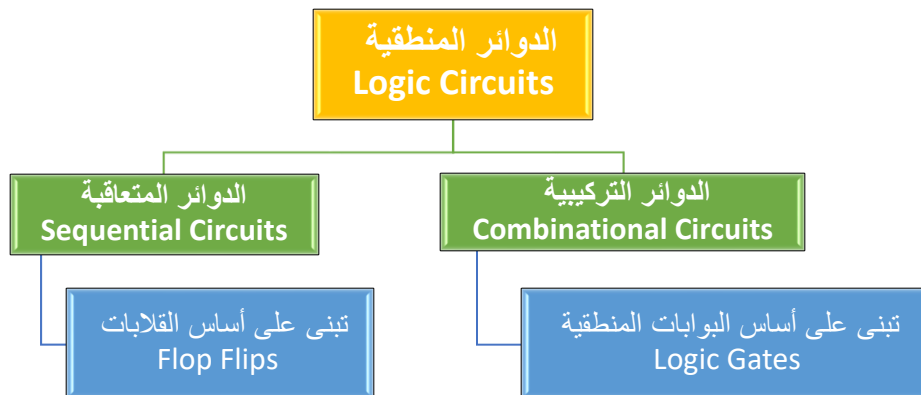
محاضرة

الدوائر المنطقية المتتابعة Sequential Logic Circuits (1) Flip Flops

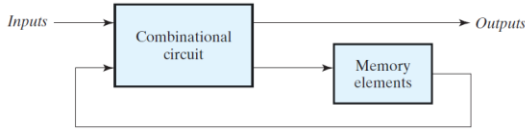
By: Zahra Elashaal

المرجع: الوحدة الخامسة: الدوائر المنطقية المتتابعة Sequential Logic Circuits

الدوائر المتعاقبة Sequential Circuits



الدوائر المنطقية التتابعية (Sequential Logic Circuits)



Block diagram of sequential circuit

الدوائر المنطقية التتابعية	الدوائر المنطقية الترابطية	
يعتمد على القيم الحالية للدخل وعلى القيم السابقة للخروج	يعتمد على القيم الحالية للدخل فقط	1. الخرج
لها ذاكرة	ليس لها ذاكرة	2. الذاكرة (Memory)
توجد بها تغذية مرتدة	لا توجد بها تغذية مرتدة	3. التغذية المرتدة (Feedback)
يدخل الزمن فيها كمتغير	لا يدخل الزمن فيها كمتغير	4. الزمن
توجد بها إشارة تزامن	لا توجد بها إشارة تزامن	5. إشارة التزامن (Clock)
المراوح، المسجلات، العدادات	الجوامع، فاك الشفرة، المشفر، الدماجم، المفرد	6. أمثلة

الفروقات ما بين الدوائر المنطقية الترابطية والدوائر المنطقية التتابعية

الدوائر المنطقية التتابعية فيها لا يعتمد الخرج فقط على القيم الحالية للدخل، وإنما يعتمد أيضاً على القيم السابقة للخروج.

• أي أن هذا النوع من الدوائر له ذاكرة (Memory) تستطيع اختزان القيم السابقة لخروج الدائرة بحيث تستطيع التأثير على خرجها الحالي.

• والسبب في ظهور هذه القدرة التخزينية هو وجود تغذية مرتدة (Feedback) من خرج الدائرة إلى دخلها.

• ونظراً لوجود ماضي وحاضر في الدوائر المنطقية التتابعية نستطيع القول أن الزمن (Time) يدخل فيها كمتغير.

• ودخول الزمن كمتغير يتطلب وجود إشارة التزامن (Clock Signal) في الدوائر المنطقية التتابعية للقيام بدور تنسيقي وتنظيمي هام في النظام الرقمي.

القلابات او المراجيح (Flip Flops)

عبارة عن دائرة منطقية تتابعية لها القدرة على تخزين خانة ثنائية واحدة 1bit فقط.

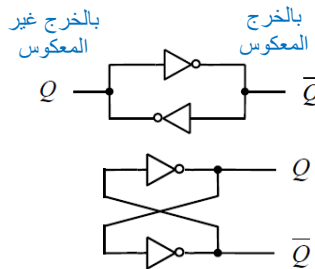
للقلابات حالتين فقط two states تتأرجح بينهما وهما:

الحالة الأولى: حالة Set والتي يكون فيها القلاب محتفظاً فيها بالقيمة المنطقية 1 .

الحالة الثانية: حالة Reset والتي يكون فيها القلاب محتفظاً فيها بالقيمة المنطقية 0 .

يمكن أن يتم بناء القلابات باستخدام البوابات NOT أو باستخدام NOR أو باستخدام NAND

1) قلاب من العواكس المنطقية NOT:



Static Latch

يتكون أبسط أنواع المراجيح من عاكسين منطقيين يقوم خرج كل منهما بتغذية دخل الآخر،

• لتخزين قيمة معينة في القلاب نقوم بتسليط الجهد الكهربائي الممثل لتلك القيمة من مصدر خارجي على الطرف Q لفترة زمنية قصيرة جداً (الفترة الزمنية اللازمة لظهور خرج العاكس المنطقي الثاني)،

• ثم نقوم بإزالة مصدر الدخل الخارجي، فيظل القلاب محتفظاً بتلك القيمة المخزنة به ما دامت تغذية بواباته المنطقية بالقدرة الكهربائية مستمرة،

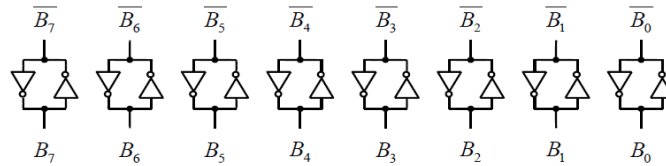
• ويقتد القيمة المخزنة به عند إنقطاع تلك التغذية.

القلابات او المراجيح (Flip Flops)

(1) قلاب من العواكس المنطقية NOT: Static Latch

يطلق على هذا المرحاح تسمية Static Latch. و مصطلح Static في الدوائر المنطقية يشير إلى غياب إشارة التزامن (Clock)، و المصطلح العكسي Dynamic يشير إلى وجود تلك الإشارة. و غياب إشارة التزامن هنا يعني عدم إمكانية تغير حالة الدائرة بمرور الزمن فقط، أي أن القيمة المخزنة في المرحاح ستظل كما هي حتى يتم استبدالها بقيمة أخرى. يستخدم هذا المرحاح كوحدة بناء أساسية في نوع من أنواع الذاكرة (Memory) يسمى Static RAM أو SRAM، كما سيتم توضيحه بالتفصيل في الوحدة التالية من المقرر.

ذكرنا أن المرحاح له القدرة على تخزين خانة ثنائية واحدة (1-bit) فقط من البيانات، فلتخزين معلومة مكونة من مجموعة من الخانات الثنائية نحتاج لعدد من المراجيح بعدد الخانات الثنائية (bits) المطلوب تخزينها، كما هو موضح بالشكل التالي

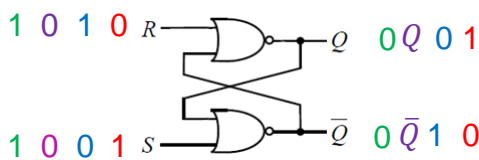


و تسمى مجموعة المراجيح المستخدمة في تخزين معلومة مكونة من عدد من الخانات الثنائية بالمسجل (Register)

القلابات او المراجيح (Flip Flops)

(2) قلابات من البوابات المنطقية NOR: SET/RESET او SR Flip Flop (Active High)

بما ان بوابة NOR يمكن أن تعمل عمل العاكس المنطقي، لذلك يمكن استخدامها في بناء القلابات



- لإجراء عملية SET للقلاب نضع $S=1$ & $R=0$

- لإجراء عملية RESET للقلاب نضع $S=0$ & $R=1$

- في حالة الدخل $S=0$ & $R=0$ يبقى الخرج كما في الحالة السابقة

فإذا كانت الحالة السابقة SET يبقى خرج حالة SET والعكس صحيح.

وتعرف بحالة الحفظ Keep or Save

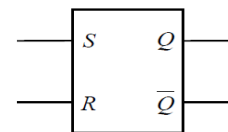
- في حالة الدخل $S=1$ & $R=1$ يكون الخرج للطرفين 0 وهذه حالة غير صحيحة Invalid

Truth Table

S	R	Q_{n+1}	
0	0	Q_n	Keep
0	1	0	RESET
1	0	1	SET
1	1	Invalid	

S	R	Q_{n+1}	\bar{Q}_{n+1}	
0	0	Q_n	\bar{Q}_n	Keep
0	1	0	1	RESET
1	0	1	0	SET
1	1	0	0	Invalid

Logic Diagram

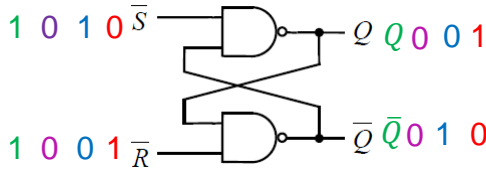


Active High Inputs

القلابات او المراجيح (Flip Flops)

(3) قلابات من البوابات المنطقية NAND : SET/RESET او SR Flip Flop (Active Low)

بما ان بوابة NAND يمكن أن تعمل عمل العاكس المنطقي، لذلك يمكن استخدامها في بناء القلابات



- لإجراء عملية SET للقلاب نضع $\bar{S}=0$ & $\bar{R}=1$

- لإجراء عملية RESET للقلاب نضع $\bar{S}=1$ & $\bar{R}=0$

- في حالة الدخل $\bar{S}=0$ & $\bar{R}=0$ يكون الخرج للطرفين 1

وهذه حالة غير صحيحة Invalid

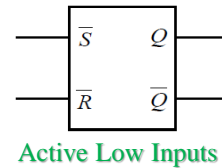
- في حالة الدخل $\bar{S}=1$ & $\bar{R}=1$ وتعرف بحالة الحفظ Keep or Save

Truth Table

\bar{S}	\bar{R}	Q_{n+1}	
0	0	Invalid	
0	1	1	SET
1	0	0	RESET
1	1	Q_n	Keep

\bar{S}	\bar{R}	Q_{n+1}	\bar{Q}_{n+1}	
0	0	1	1	Invalid
0	1	1	0	SET
1	0	0	1	RESET
1	1	Q_n	\bar{Q}_n	Keep

Logic Diagram

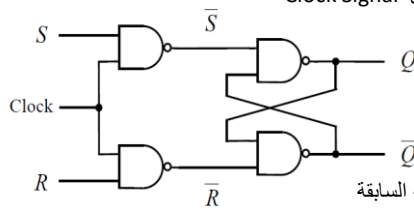


Active Low Inputs

القلابات المتزامنة (Gated or Clocked Flip Flops)

القلابات المتزامنة Clocked Flip Flop تدخل على RS Flip Flop إشارة تسمى إشارة التزامن Clock Signal

ويسمى (Clocked SR Flip Flop).



- و إشارة التزامن Clock تشبه في عملها إلى حد كبير إشارة السماح Enable

- بمعنى اذا كانت Clock=1 تمر الإشارتان R & S الى القلاب ويعمل كالمعتاد

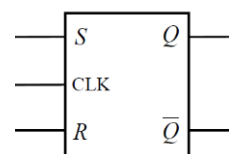
- اما اذا كانت Clock=0 فيتم حجب الإشارتان R & S و يظل القلاب محتفظاً بحالته السابقة

Truth Table

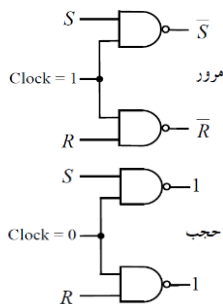
C	S	R	Q_{n+1}	\bar{Q}_{n+1}	
0	x	x	Q_n	\bar{Q}_n	Keep
1	0	0	Q_n	\bar{Q}_n	Keep
1	0	1	0	1	RESET
1	1	0	1	0	SET
1	1	1	1	1	Invalid

C=Clock

Logic Diagram

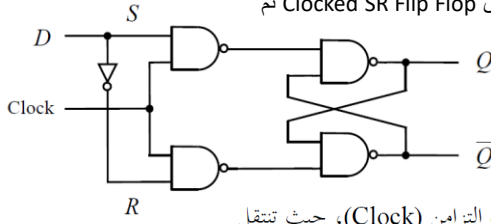


Active High Clocked SR Flip Flop



قلاب D (D Flip Flop)

D هنا اختصار لكلمة Data أي أن الاسم الكامل **Data Flip Flop** وهو عبارة عن Clocked SR Flip Flop تم



فيه ربط المدخلين S , R له في طرف دخل واحد هو D.

- وفيه وضع SET يكون عندما D=1 وتكون R=0 , S=1

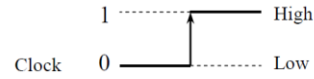
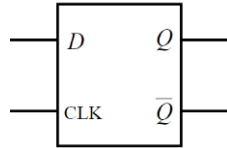
- ووضع RESET يكون عندما D=0 وتكون R=1 , S=0

لاحظ ارتباط إنتقال القيمة الموضوع على الطرف D وإختارها داخل المرحاح بإشارة التزامن (Clock)، حيث تنتقل القيمة إلى داخل المرحاح وتخزن في اللحظة التي تتغير فيها إشارة التزامن من Low إلى High، كما هو موضح أدناه

Truth Table

C	D	Q_{n+1}
0	x	Q_n
1	0	0
1	1	1

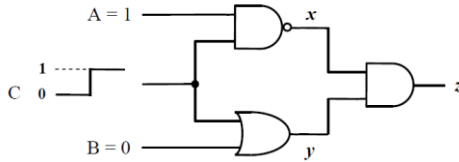
Logic Diagram



ويسمى **D Flip Flop** ب **Dynamic Latch** ويستخدم أساساً في بناء المسجلات Registers

أهمية التزامن (Timing)

لاحظنا ظهور إشارة التزامن (Clock) في الدوائر المنطقية المتتابعة (Sequential Logic Circuits)، ولم نلاحظها من قبل في الدوائر المنطقية الترابطية (Combinational Logic Circuits)، فما أهمية التزامن بالنسبة للدوائر المنطقية المتتابعة؟



سنقوم بتوضيح أهمية التزامن باستخدام الدائرة البسيطة التالية:

للدائرة ثلاثة متغيرات دخل هي A,B,C قيمة كلا منهم كما هو موضح بالشكل المطلوب إيجاد خرج الدائرة z

• كدائرة منطقية متتابعة:

$$x = \overline{AC}$$

$$y = B + C$$

$$z = xy = \overline{AC} (B + C)$$

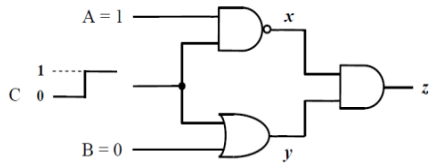
و بوضع A=1 و B=0 يكون

$$z = \overline{1 \cdot C} (0 + C) = \overline{C} C = 0$$

إذا تعاملنا مع الدائرة كدائرة منطقية متتابعة فلا بد من أخذ عامل الزمن في الاعتبار، فكل بوابة منطقية زمن تأخر إنتقال (Propagation Delay) هو عبارة عن الفترة الزمنية التي تمضي ما بين تسليط الدخل على البوابة و ظهور الإستجابة في خرجها. و زمن تأخر الإنتقال للبوابة المنطقية صغير جداً و يقاس بالنانوثانية (ns). و يختلف زمن تأخر الإنتقال من بوابة إلى أخرى، كما يختلف لنفس البوابة باختلاف الظروف المحيطة بها مثل درجة الحرارة. أي أنه من الصعب تحديد زمن تأخر الإنتقال لبوابة معينة بدقة.

أي أن الخرج z يساوي 0 على الدوام بغض النظر عن التغير الحادث في قيمة المتغير C.

أهمية التزامن (Timing)



في هذه الدائرة نفترض أن زمن تأخر الانتقال لبوابة NAND هو Δt_1 وبوابة OR هو Δt_2

نلاحظ هنا أن الخرج z قد أصبح مساوياً 1 لفترة زمنية قصيرة جداً تساوي $\Delta t_1 - \Delta t_2$ ، وهو أمر غير متوقع. و

يسمى مثل هذا الخرج غير المتوقع، و الناتج عن اختلاف زمن تأخر الانتقال للبوابة المنطقية، بالـ Hazard. و

من الواضح أنه من الصعب جداً التنبؤ بمكان أو زمان ظهور هذه الـ Hazards في الدوائر المنطقية، حيث أن

ذلك يتطلب تحليلاً غاية في الدقة للدائرة المنطقية، يؤخذ فيه في الاعتبار زمن تأخر الانتقال لكل بوابة منطقية. و إن

كان هذا ممكناً للدائرة البسيطة أعلاه فإنه يكاد يكون مستحيلًا بالنسبة للدوائر المعقدة.

السؤال الآن هو ما تأثير هذه الـ Hazards على الدائرة المنطقية؟

بالنسبة للدوائر المنطقية التتابعية:

نظراً لظهور الـ Hazards لفترة زمنية غاية في القصر وتلاشيها بعد ذلك فإنها تكاد أن تمر دون أن تلاحظ، و لا يكون لها بالتالي أي تأثير على الدائرة المنطقية.

بالنسبة للدوائر المنطقية التتابعية:

يوجد هنا احتمال أن يقوم أحد المراجيح بالنقاط الـ Hazards أثناء فترة ظهورها القصيرة وتخزينها. عند ذلك

لا يعود تأثير الـ Hazards على الدائرة المنطقية تأثيراً وقتياً وإنما يصبح تأثيراً دائماً.

أهمية التزامن (Timing)

إذن كيف نتلافى تأثير الـ Hazards على الدوائر المنطقية التتابعية؟

لتلافي تأثير الـ Hazards على الدائرة المنطقية التتابعية يكفي الانتظار لفترة زمنية كافية لتلاشي الـ Hazards قبل

قراءة خرج الدائرة، بحيث نضمن أن ذلك الخرج خالي من الـ Hazards. و هنا يأتي دور إشارة التزامن (Clock)

التي تقوم بتنظيم فترات الانتظار هذه. فإشارة التزامن عبارة عن إشارة تتغير قيمتها بانتظام ما بين 0 و 1، كما هو

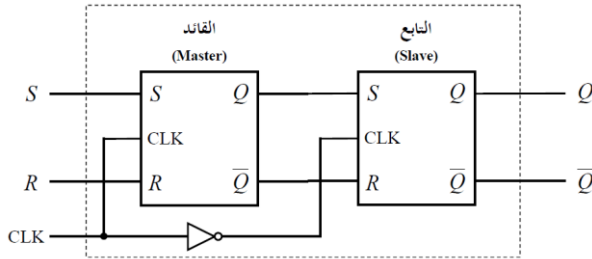
موضح بالشكل التالي



فالفترات التي تكون فيها إشارة التزامن منخفضة (Low) هي عبارة عن فترات انتظار لضمان تلاشي الـ Hazards.

Master-Slave Flip Flop

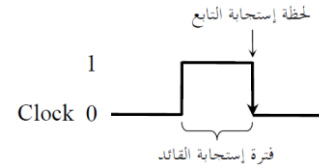
يتكون فلاب القائد-التابع من قلابين **Clocked SR Flip Flop** متصلين ببعضهما البعض بحيث يغذي خرج أولهما دخل الثاني



لاحظ أن إشارة Clock تدخل مباشرة إلى مرحلة القائد في حين تدخل معكوسة إلى مرحلة التابع.

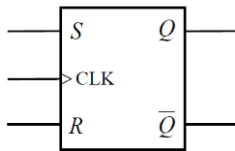
- هذا يعني أن استجابة المرحاحين لا تتم في وقت واحد.
- فعندما تكون إشارة التزامن مرتفعة High يستجيب القائد للدخل. ويكون التابع في ذلك الوقت مغلقاً ومحتفظاً بحالته السابقة.
- وفي اللحظة التي تهبط فيها إشارة التزامن الي Low ينغلق مرجاح القائد وتنتقل حالته إلى مرجاح التابع وتظهر في الخرج.

أي أن مرجاح القائد-التابع يستجيب لأي تغير يحدث في طرقي الدخل S و R طالما كانت إشارة التزامن (Clock) مرتفعة (High)، و تظهر الإستجابة في خرجه لحظة هبوط إشارة التزامن من High إلى Low. و الإستجابة التي تظهر في الخرج هنا هي آخر حالة للمرجاح مباشرة قبل هبوط إشارة التزامن. و يظل خرج المرجاح ثابتاً بعد هبوط إشارة التزامن و ذلك حتى الهبوط الذي يليه.



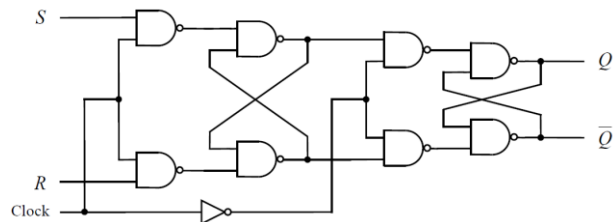
Master-Slave Flip Flop

لاحظ في المخطط المنطقي المثلث الصغير الموضوع عند طرف الدخل لإشارة التزامن (Clock) و الذي يدل على أن دخل المرجاح ينشط مع الحافة الصاعدة لبضبة التزامن، أي لحظة إنتقال إشارة التزامن من High إلى Low.



لاحظ أيضاً أن جدول الصواب لمرجاح القائد-التابع هو نفسه جدول الصواب لمرجاح SR المتزامن، أي أن كلا المرحاحين يستجيبان للدخل S و R بنفس الطريقة، و لكن الفرق بينهما يكون في لحظة ظهور الإستجابة في الخرج. ففي مرجاح SR المتزامن تظهر الإستجابة في الخرج فور حدوث التغير في الدخل، ما دامت إشارة التزامن (Clock) مرتفعة، أما في مرجاح القائد-التابع فلا تظهر الإستجابة في الخرج إلا لحظة هبوط نبضة التزامن من High إلى Low.

C	S	R	Q_{n+1}	\bar{Q}_{n+1}	
0	x	x	Q_n	\bar{Q}_n	Keep
1	0	0	Q_n	\bar{Q}_n	Keep
1	0	1	0	1	RESET
1	1	0	1	0	SET
1	1	1	1	1	Invalid

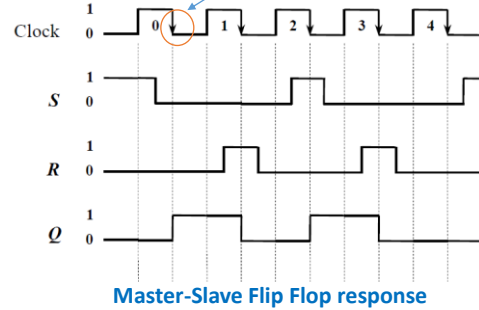
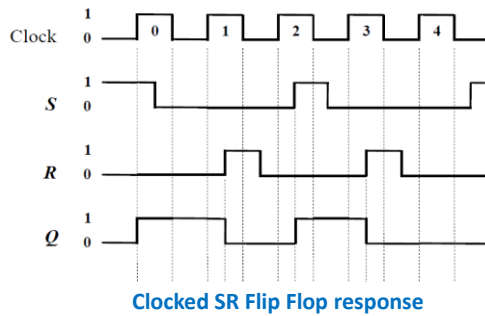


Master-Slave Flip Flop Logic Circuit

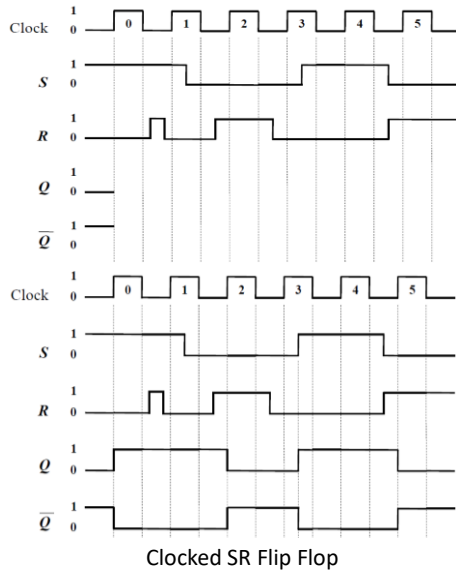
مخططات التزامن Timing Diagrams

نظراً إلى أن الزمن (Time) يدخل كمتغير في الدوائر المنطقية المتتابعة فلا بد من وسيلة لمتابعة التغير الذي يحدث في حالة الدائرة مع الزمن. هذه الوسيلة هي مخطط التزامن (Timing Diagram). فمخطط التزامن يوضح التغير الذي يحدث في متغيرات الدخل و الخرج للدائرة المنطقية مع الزمن. على سبيل المثال يوضح الشكل التالي مخطط تزامن معطى فيه الإشارات الداخلة إلى مرجاح SR متزامن، و هي إشارة التزامن (Clock) و متغيري الدخل S و R ، و معطى فيه أيضاً الحالة الابتدائية للمرجاح و هي حالة RESET، و مطلوب إيجاد خرج المرجاح Q

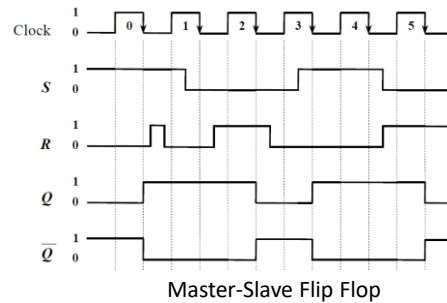
استجابة Master-Slave Flip Flop لا تظهر في خرج إلا لحظة هيوط نبضة التزامن



مخططات التزامن Timing Diagrams

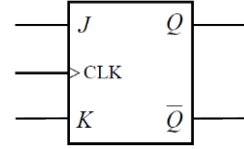
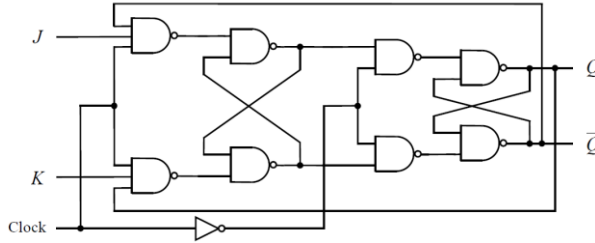


مثال: أكمل مخطط التزامن التالي و ذلك:
 (أ) في Clocked SR Flip Flop
 (ب) في Master-Slave Flip Flop



قلاب JK (JK Flip Flop)

قلاب JK هو عبارة عن قلاب من نوع Master-Slave Flip Flop مزود بتغذية مرتدة Feedback إضافية،

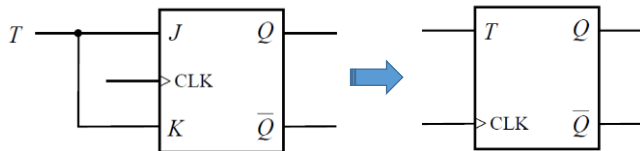


- نلاحظ هنا أن جدول الصواب لقلاب JK يشبه إلى حد كبير جدول الصواب لمراجح القائد-التابع، حيث يحل الطرف J محل الطرف S في إجراء عملية SET و يحل الطرف K محل الطرف R في إجراء عملية RESET.
- و لكن يتميز القلاب JK عن القائد-التابع في عدم وجود دخل غير مسموح به أو غير مستخدم، حيث أن الدخل J=K=1 يؤدي إلى عكس حالة المراجح، و هي العملية التي تسمى Toggle

C	J	K	Q_{n+1}	
0	x	x	Q_n	Keep
1	0	0	Q_n	Keep
1	0	1	0	RESET
1	1	0	1	SET
1	1	1	\bar{Q}_n	Toggle

قلاب T (T Flip Flop)

T هنا هي إختصار لكلمة Toggle بمعنى عكس الحالة، كما سبق و أن أوضحنا. وقلاب T هو عبارة عن قلاب JK تم ربط طرفي الدخل له في طرف واحد هو الطرف T

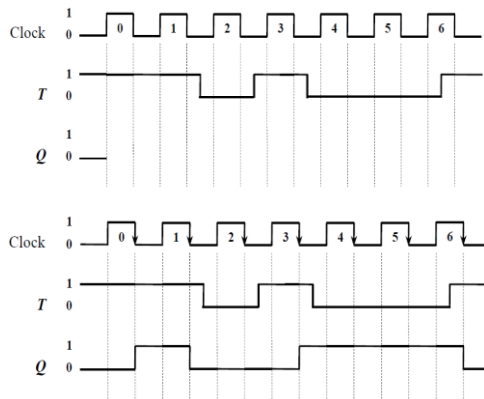


C	T	Q_{n+1}	
0	x	Q_n	Keep
1	0	Q_n	Keep
1	1	\bar{Q}_n	Toggle

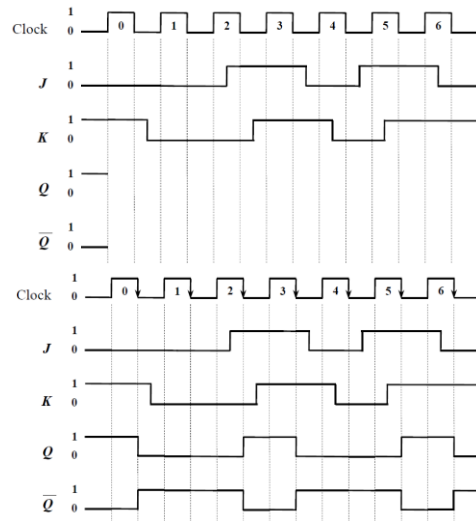
- لاحظ عدم إمكانية إجراء عملية SET أو عملية RESET للقلاب T بل يمكن فقط الإحتفاظ بحالته السابقة أو عكس تلك الحالة.
- تستخدم قلابات T وقلابات JK في بناء العدادات Counters

امثلة على قلاب JK , T (T and JK Flip Flop)

مثال: أكمل مخطط التزامن التالي للقلاب T Flip Flop



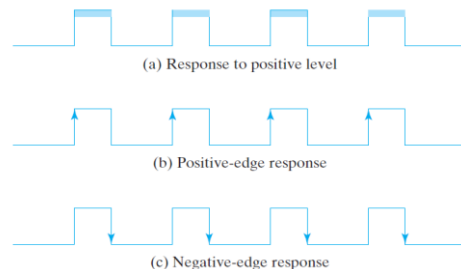
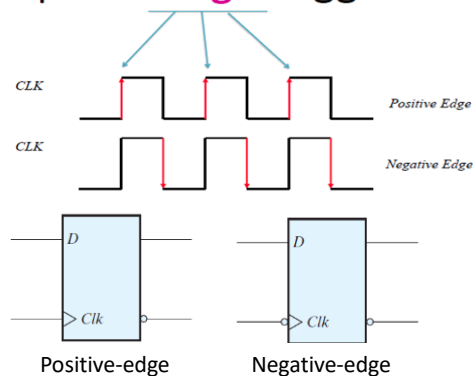
مثال: أكمل مخطط التزامن التالي للقلاب JK Flip Flop



Flip-Flops edge-triggered

كذلك تم تطوير دوائر Controlled Latches للحصول على دوائر Flip-Flops بأنواعها المختلفة التي يشتغل عند لحظه صعود الساعة فقط ويسمى هذا النوع Positive Edge Trigger ونوع اخر يشتغل عند نزول الساعة فقط ويسمى هذا النوع Negative Edge Trigger.

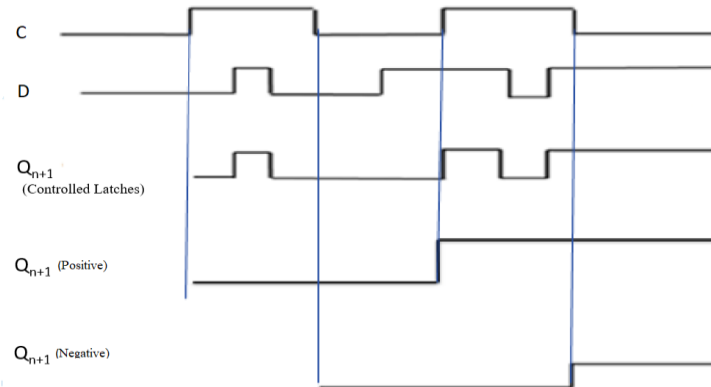
Flip-Flops are **edge-triggered**



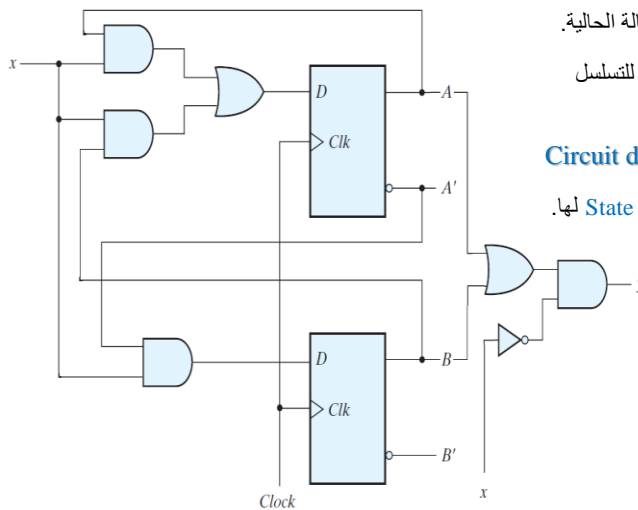
Clock response in latch and flip-flop

Flip-Flops edge-triggered Example

مثال: اوجد قيمة Q_{n+1} (Controlled Latches) و Q_{n+1} (Positive Edge) و Q_{n+1} (Negative Edge) لهذه المعطيات للقلاب D.



Analysis of Clocked Sequential Circuits



في الدوائر التتابعية المخرجات والحالة التالية هي دالة في المدخلات والحالة الحالية. يتكون تحليل الدائرة المتسلسلة من الحصول على جدول أو رسم تخطيطي للتسلسل الزمني للمدخلات والمخرجات والحالات الداخلية.

Circuit diagram → Equations → State table → State diagram

مثال: حلل الدائرة المنطقية المعطاة واوجد State diagram لها.

أولاً: نوجد معادلة الحالة State Equations

$$A(t+1) = A(t)x(t) + B(t)x(t) = Ax + Bx$$

$$B(t+1) = \bar{A}(t)x(t) = \bar{A}x$$

$$y(t) = [A(t) + B(t)]\bar{x}(t)$$

$$y = (A + B)\bar{x}$$

Analysis of Clocked Sequential Circuits

Circuit diagram → Equations → State table → State diagram

Present State			Input		Next State		Output
A	B	x	A	B	y		
0	0	0	0	0	0		
0	0	1	0	1	0		
0	1	0	0	0	1		
0	1	1	1	1	0		
1	0	0	0	0	1		
1	0	1	1	0	0		
1	1	0	0	0	1		
1	1	1	1	0	0		

$$A(t+1) = Ax + Bx \quad B(t+1) = \bar{A}x \quad y = (A+B)\bar{x}$$

State table ثانياً: نوجد جدول الحالة

Present State		Next State				Output	
		x = 0		x = 1		x = 0	x = 1
A	B	A	B	A	B	y	y
0	0	0	0	0	1	0	0
0	1	0	0	1	1	1	0
1	0	0	0	1	0	1	0
1	1	0	0	1	0	1	0

sequential circuit with m flip flops and n inputs
needs 2^{m+n} rows in the state table

Second Form of the State Table

Analysis of Clocked Sequential Circuits

Present State		Next State				Output	
		x = 0		x = 1		x = 0	x = 1
A	B	A	B	A	B	y	y
0	0	0	0	0	1	0	0
0	1	0	0	1	1	1	0
1	0	0	0	1	0	1	0
1	1	0	0	1	0	1	0

Circuit diagram → Equations → State table → State diagram

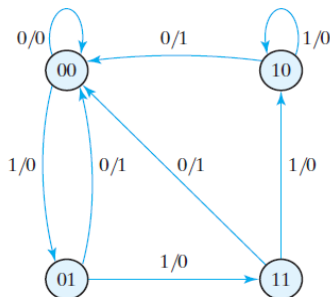
$$A(t+1) = Ax + Bx \quad B(t+1) = \bar{A}x \quad y = (A+B)\bar{x}$$

State diagram ثالثاً: نوجد الرسم البياني للحالة

The state diagram provides the same information as the state table and is obtained directly from state Table.

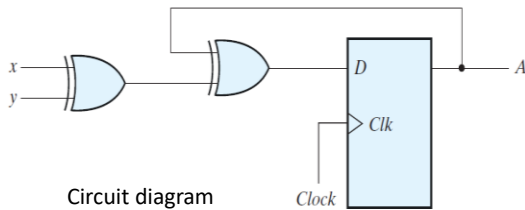
In the state diagram:

- a present state is represented by a circle, the binary number inside each circle identifies the state of the flip-flops.
- the (clock-triggered) transitions between states are indicated by directed lines connecting the circles.
- input value during the present state is labeled first, and the number after the slash gives the output during the present state with the given input. (0/1 → input is 0 / output is 1)



Analysis with D Flip-Flops

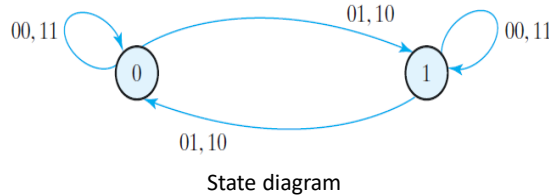
مثال: حل الدائرة المنطقية Circuit diagram المعطاة واوجد State diagram لها.



Circuit diagram

Circuit diagram → Equations → State table → State diagram

$$A(t + 1) = A \oplus x \oplus y \quad \text{Equations}$$



State diagram

Present state	Inputs		Next state
A	x	y	A
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

State table

Analysis for JK or T Flip-Flops

A state table consists of four sections: present state, inputs, next state, and outputs.

- The first two are obtained by listing all binary combinations.
- The output section is determined from the output equations.
- The next-state values are evaluated from the state equations.

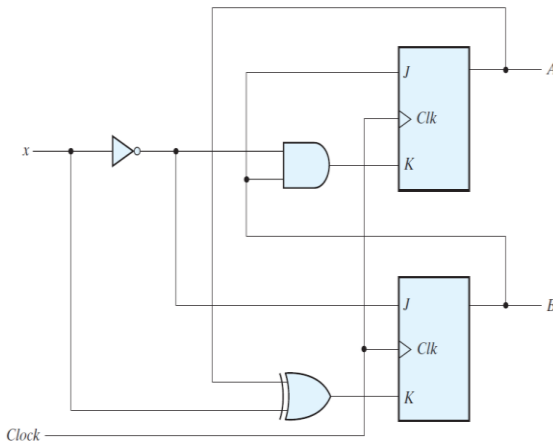
For JK or T, it is necessary to refer to the corresponding characteristic table or characteristic equation to obtain the next-state values.

The next-state values of a sequential circuit that uses JK - or T -type flip-flops can be derived as follows:

1. Determine the flip-flop input equations in terms of the present state and input variables.
2. List the binary values of each input equation.
3. Use the corresponding flip-flop characteristic table to determine the next-state values in the state table.

Analysis with JK Flip-Flops

مثال: حل الدائرة المنطقية Circuit diagram المعطاة واوجد State diagram لها.



The circuit has no outputs
and the input Equations are:

$$J_A = BK_A = B \bar{x}$$

$$J_B = \bar{x}K_B = \bar{A}x + A\bar{x} = A \oplus x$$

State Table for Sequential Circuit with JK Flip-Flops

Present State		Input x	Next State		Flip-Flop Inputs			
A	B		A	B	J_A	K_A	J_B	K_B
0	0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1
0	1	0	1	1	1	1	1	0
0	1	1	1	0	1	0	0	1
1	0	0	1	1	0	0	1	1
1	0	1	1	0	0	0	0	0
1	1	0	0	0	1	1	1	1
1	1	1	1	1	1	0	0	0

Analysis with JK Flip-Flops

تابع مثال: حل الدائرة المنطقية Circuit diagram المعطاة واوجد State diagram لها.

JK Flip-Flop			
J	K	$Q(t+1)$	
0	0	$Q(t)$	No change
0	1	0	Reset
1	0	1	Set
1	1	$Q'(t)$	Complement

The circuit has no outputs

The Input Equations

$$J_A = BK_A = B \bar{x}$$

$$J_B = \bar{x}K_B = \bar{A}x + A\bar{x} = A \oplus x$$

The Characteristic Equations

$$A(t+1) = J\bar{A} + \bar{K}A$$

$$B(t+1) = J\bar{B} + \bar{K}B$$

The State Equation are:

$$A(t+1) = B\bar{A} + \bar{B}\bar{x}A = \bar{A}B + A\bar{B} + Ax$$

$$B(t+1) = \bar{x}\bar{B} + (\bar{A} \oplus x)B = \bar{B}\bar{x} + ABx + \bar{A}B\bar{x}$$

The next-state values can also be obtained by evaluating the state equations from the characteristic equation. This is done by using the following procedure:

1. Determine the flip-flop input equations in terms of the present state and input variables.
2. Substitute the input equations into the flip-flop characteristic equation to obtain the state equations.
3. Use the corresponding state equations to determine the next-state values in the state table.

Analysis with JK Flip-Flops

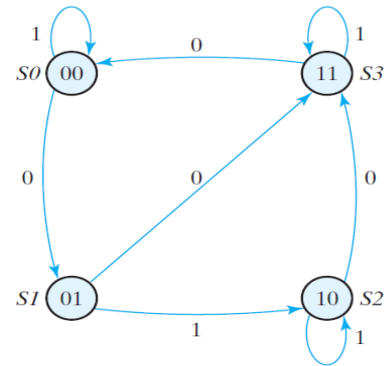
The State Equation are:

$$A(t+1) = B\bar{A} + \bar{B}\bar{x}A = \bar{A}B + A\bar{B} + Ax$$

$$B(t+1) = \bar{x}\bar{B} + (\bar{A} \oplus \bar{x})B = \bar{B}\bar{x} + ABx + \bar{A}B\bar{x}$$

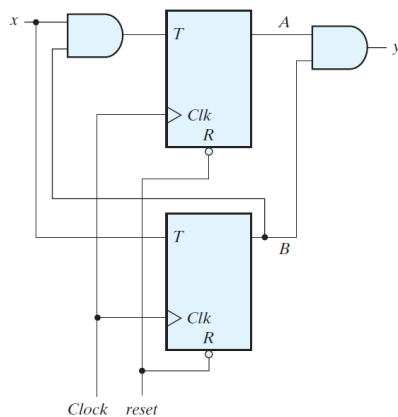
State Table for Sequential Circuit with JK Flip-Flops

Present State		Input x	Next State		Flip-Flop Inputs			
A	B		A	B	J_A	K_A	J_B	K_B
0	0	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1
0	1	0	1	1	1	1	1	0
0	1	1	1	0	1	0	0	1
1	0	0	1	1	0	0	1	1
1	0	1	1	0	0	0	0	0
1	1	0	0	0	1	1	1	1
1	1	1	1	1	1	0	0	0



Analysis with T Flip-Flops

T	$Q(t+1)$
0	$Q(t)$ No change
1	$Q'(t)$ Complement



The Characteristic Equation:

$$Q(t+1) = T \oplus Q = \bar{T}Q + T\bar{Q}$$

The next-state values Equations

$$A(t+1) = \bar{B}\bar{x}A + Bx\bar{A} = A\bar{B} + A\bar{x} + \bar{A}Bx$$

$$B(t+1) = B \oplus x$$

Input/Output equations

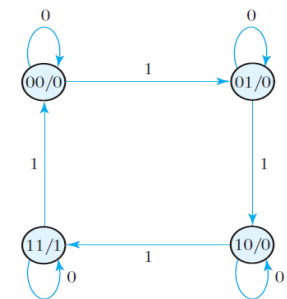
$$T_A = Bx$$

$$T_B = x$$

$$y = AB$$

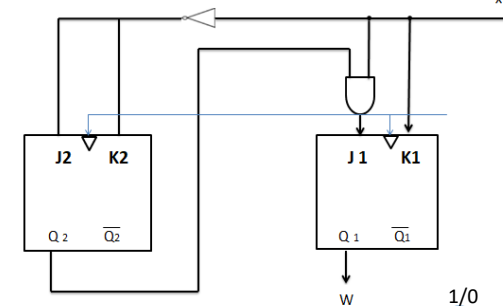
State Table for Sequential Circuit with T Flip-Flops

Present State		Input x	Next State		Output y
A	B		A	B	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	1	0	0
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	1



Analysis with JK Flip-Flops

مثال: حل الدائرة المنطقية **Circuit diagram** المعطاة واوجد **State diagram** لها.



The Equation are:

$$J_2 = \bar{x}$$

$$K_2 = \bar{x}$$

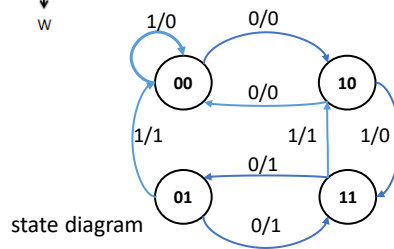
$$J_1 = Q_2x$$

$$K_1 = x$$

$$W = Q_1$$

		X=0				X=1				
Q2	Q1	J2	K2	J1	K1	J2	K2	J1	K1	W
0	0	1	1	0	0	0	0	0	1	0
0	1	1	1	0	0	0	0	0	1	1
1	0	1	1	0	0	0	0	1	1	0
1	1	1	1	0	0	0	0	1	1	1

JK Flip-Flop		
J	K	Q(t+1)
0	0	Q(t)
0	1	0
1	0	1
1	1	Q'(t)



		X=0		X=1		
Q2	Q1	Q2+	Q1+	Q2+	Q1+	W
0	0	1	0	0	0	0
0	1	1	1	0	0	1
1	0	0	0	1	1	0
1	1	0	1	1	0	1

State table

Design Procedure إجراءات التصميم

تحدد إجراءات أو منهجيات التصميم الأجهزة Hardware التي ستنفذ السلوك المطلوب. وسيتم تنفيذه بتصميم الدوائر الصغيرة يدوياً، لبنة البناء التسلسلية sequential building block التي تستخدمها أدوات التوليف هي D flip-flop. جنباً إلى جنب مع Logic gates الإضافي، يمكنه تنفيذ سلوك JK flip-flops و T flip-flops. في الواقع، لا يهتم المصممون عموماً بنوع القلاب؛ بدلاً من ذلك، ينصب تركيزهم على الوصف الصحيح للوظيفة المتسلسلة التي سيتم تنفيذها بواسطة أداة التجميع synthesis tool.

The procedure for designing synchronous sequential circuits:

1. From the word description and specifications of the desired operation, derive a **state diagram** for the circuit.
2. **Reduce** the number of **states** if necessary.
3. **Assign binary** values to the states.
4. Obtain the binary-coded **state table**.
5. **Choose** the type of **flip-flops** to be used.
6. Derive the simplified flip-flop **input equations** and **output equations**.
7. **Draw the logic diagram**.

إجراءات التصميم Design Procedure

مثال: صمم دائرة تكتشف تسلسلاً من ثلاثة أو أكثر من وحدات 1 متتالية في سلسلة من البتات التي تأتي عبر خط الإدخال (أي أن الإدخال عبارة عن دفع بتات تسلسلي). مثلاً الدخل التسلسلي 100010011

Synthesis Using D Flip-Flops

We choose **two D flip-flops** to represent the four states, and we label their outputs A and B.

D Flip-Flop		
D	Q(t + 1)	
0	0	Reset
1	1	Set

The characteristic equation for D flip-flop

$$Q(t + 1) = D_Q$$

State Table for Sequence Detector

Present State		Input x	Next State		Output y
A	B		A	B	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	0
0	1	1	1	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	0	0	1
1	1	1	1	1	1

Assign binary values to the states

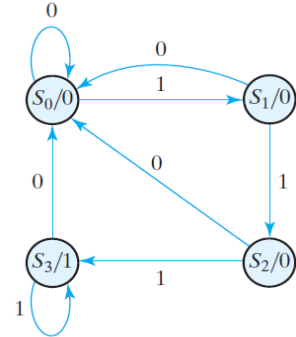
$$S_0 = 00$$

$$S_1 = 01$$

$$S_2 = 10$$

$$S_3 = 11$$

State diagram for sequence detector



إجراءات التصميم Design Procedure

تابع مثال: صمم دائرة تكتشف تسلسلاً من ثلاثة أو أكثر من وحدات 1 متتالية في سلسلة من البتات التي تأتي عبر خط الإدخال (أي أن الإدخال عبارة عن دفع بتات تسلسلي).

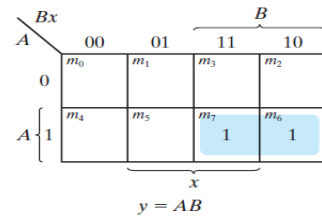
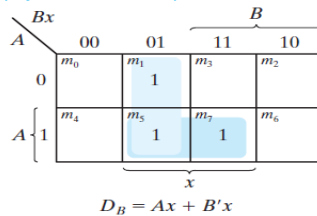
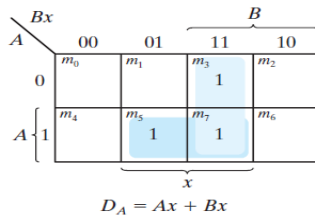
input equations and output equations

By using sum-of-minterms $A(t + 1) = D_A(A, B, x) = \sum (3, 5, 7)$

$$B(t + 1) = D_B(A, B, x) = \sum (1, 5, 7)$$

$$y(A, B, x) = \sum (6, 7)$$

The simplified Boolean equations



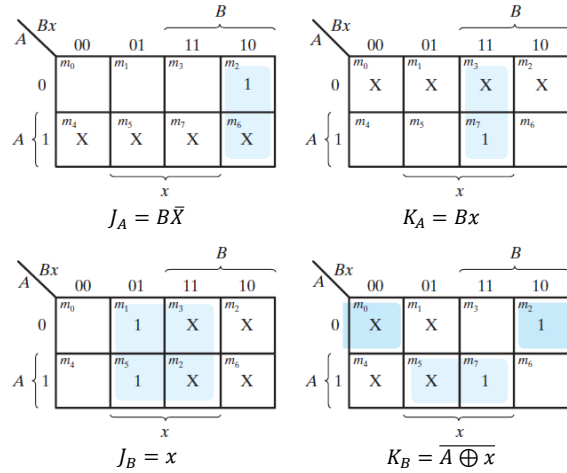
Synthesis Using JK Flip-Flops

مثال: باستخدام JK flip-flops (JK.F.F) صمم دائرة تتابعية محددة بواسطة الجدول التالي:

$Q(t)$	$Q(t+1)$	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

(a) JK Flip-Flop

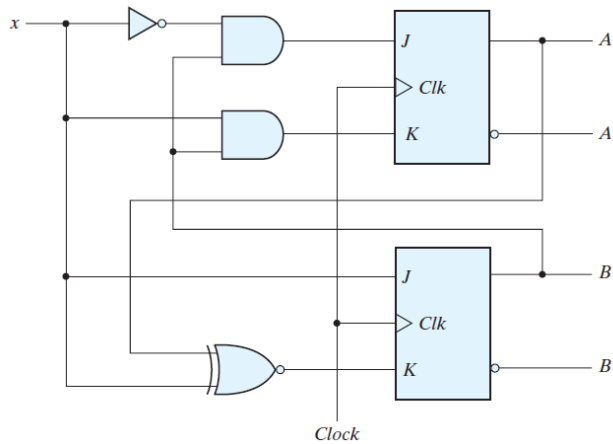
Present State		Input	Next State		Flip-Flop Inputs			
A	B		A	B	J_A	K_A	J_B	K_B
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1



Maps for J and K input equations

Synthesis Using JK Flip-Flops

تابع مثال: باستخدام JK flip-flops (JK.F.F) صمم دائرة تتابعية محددة بواسطة الجدول التالي:



Present State		Input	Next State		Flip-Flop Inputs			
A	B		A	B	J_A	K_A	J_B	K_B
0	0	0	0	0	0	X	0	X
0	0	1	0	1	0	X	1	X
0	1	0	1	0	1	X	X	1
0	1	1	0	1	0	X	X	0
1	0	0	1	0	X	0	0	X
1	0	1	1	1	X	0	1	X
1	1	0	1	1	X	0	X	0
1	1	1	0	0	X	1	X	1

$$J_A = B\bar{x}$$

$$K_A = Bx$$

$$J_B = x$$

$$K_B = A \oplus \bar{x}$$

Logic diagram for sequential circuit with JK flip-flops

Synthesis Using T Flip-Flops

$Q(t)$	$Q(t+1)$	T
0	0	0
0	1	1
1	0	1
1	1	0

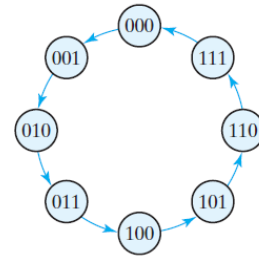
(b) T Flip-Flop

مثال: باستخدام T flip-flops (T.F.F) صمم دائرة تتابعية تعمل كعداد ثنائي binary counter

ملاحظة: An n-bit binary counter consists of n flip-flops that can count in binary from 0 to $2^n - 1$. The state diagram of a three-bit counter is shown

Present State			Next State			Flip-Flop Inputs		
A_2	A_1	A_0	A_2	A_1	A_0	T_{A2}	T_{A1}	T_{A0}
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	1	1
1	1	1	0	0	0	1	1	1

State Table for Three-Bit Counter



State diagram of three-bit binary counter

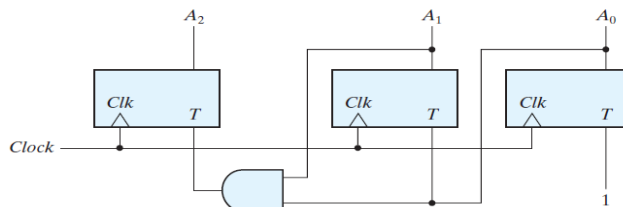
Synthesis Using T Flip-Flops

تابع مثال: باستخدام T flip-flops (T.F.F) صمم دائرة تتابعية تعمل كعداد ثنائي binary counter

A_1A_0				A_1			
A_2		00	01	11	10		
A_2	0	m_0	m_1	m_3	m_2		
	1	m_4	m_5	m_7	m_6		
		A_0					
		$T_{A2} = A_1A_0$					

A_1A_0				A_1			
A_2		00	01	11	10		
A_2	0	m_0	m_1	m_3	m_2		
	1	m_4	m_5	m_7	m_6		
		A_0					
		$T_{A1} = A_0$					

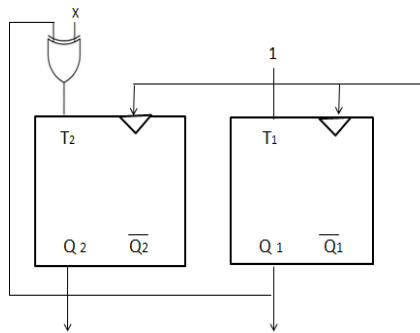
A_1A_0				A_1			
A_2		00	01	11	10		
A_2	0	m_0	m_1	m_3	m_2		
	1	m_4	m_5	m_7	m_6		
		x					
		$T_{A0} = 1$					



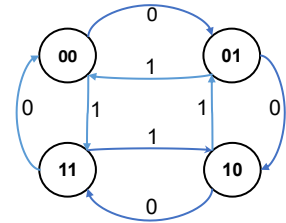
Logic diagram of three-bit binary counter

Synthesis Using T Flip-Flops

مثال: باستخدام T flip-flops (T.F.F) صمم دائرة تتابعية لها مدخل X في حالة $X=0$ الدائرة عبارة عن عداد تصاعدي من 0 إلى 3 في حالة $X=1$ الدائرة عبارة عن عداد تنازلي من 3 إلى 0



		$X=0$		$X=1$	
Q_2	Q_1	T_2	T_1	T_2	T_1
0	0	0	1	1	1
0	1	1	1	0	1
1	0	0	1	1	1
1	1	1	1	0	1



$$T_1 = 1$$

$$T_2 = Q_1 \bar{X} + \bar{Q}_1 X$$

$$T_2 = Q_1 \oplus X$$

$Q_2 Q_1$	00	01	11	10
X	0	1	1	1
X	1	1	1	1

		$X=0$		$X=1$	
Q_2	Q_1	Q_2+	Q_1+	Q_2+	Q_1+
0	0	0	1	1	1
0	1	1	0	0	0
1	0	1	1	0	1
1	1	0	0	1	0

PROBLEMS p-245

- 5.8*** Derive the state table and the state diagram of the sequential circuit shown in Fig. P5.8. Explain the function that the circuit performs. (HDL—see Problem 5.36.)

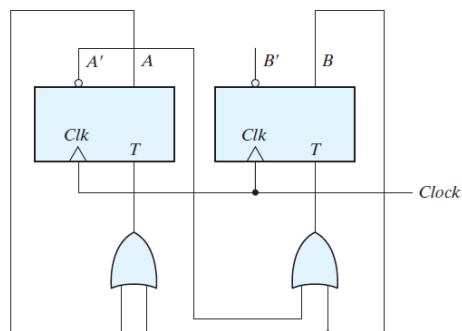


FIGURE P5.8

Thank you