

8 registres : rax, rbx, rcx, rdx, rex, rfx, rhx, rz (registre 0).

registres 3 bits, stockent 32/64 bits.

Instructions sur 32 bits.

On réduit la taille de RISC-V:

- opcode sur 3 bits
- funct3 sur 3 bits ()
- funct7 sur 1 bit
- rd,rs2,rs1 sur 3 bits (8 registres)

Arithmétique signée seulement : ADD, SUB, XOR, OR, AND, NAND, Shift (left logical, right logical, right arith).

Load, store 32b.

Branch, jump.

Inst	Nom	FMT	Opcode	funct3	funct7
add	ADD	R	011	000	0
sub	SUB	R	011	000	1
or	OR	R	011	100	0
xor	XOR	R	011	110	0
and	AND	R	011	101	0
nand	NAND	R	011	111	0
sll	Shift left logical	R	011	011	0
srl	Shift right logical	R	011	010	0
sra	Shift right Arith	R	011	010	1
slt	Set less than	R	011	001	0
lw	Load word	I	000	000	
sw	Store word	S	010	000	
beq	Branch ==	B	110	000	
bne	Branch !=	B	110	001	
blt	Branch <	B	110	100	
bge	Branch ≤	B	110	101	
jal	Jump and link	J	101		
jalr	Jump and link reg	I	111	000	