Práctica 5: Máquinas de estado y Carta ASM

Arnold T. Maldonado

*Instituto Politécnico Nacional, Unidad Profesional Interdisciplinaria de Ingeniería campus Zacatecas  
 Zacatecas, México*

tm02arnold@gmail.com

***Resumen*— En esta práctica el objetivo fue diseñar e implementar en lenguaje VHDL un semáforo usando máquinas de estado. Después diseñar e implementar el sistema de seguridad de una caja fuerte. Aquí se plasman los conceptos básicos y razonamientos que hicieron posible completar esta tarea.**

# introducción

Las máquinas de Mealy y Moore son circuitos síncronos. Un circuito síncrono es un circuito digital en el cual sus partes están sincronizadas por una señal de reloj.

En un circuito síncrono ideal, cada cambio en los diferentes niveles lógicos es simultáneo. Estas transiciones se realizan después de un cambio de nivel de una señal llamada reloj.

Idealmente la entrada a cada elemento de almacenamiento alcanza su valor final antes de que la siguiente señal de reloj ocurra, por lo tanto, el comportamiento de un circuito se puede predecir exactamente. Se requiere se cierto retardo para cada operación lógica, por lo que existe una máxima rapidez en el que cada sistema síncrono puede responder. El análisis de un diagrama de tiempos puede darnos esta rapidez.

Una ***máquina de Mealy*** es una máquina de estados finita, donde las salidas están determinadas por el estado actual y la entrada. Esto significa que en el diagrama de estados se incluye una señal de salida para cada arista de transición. Por ejemplo, en la trayectoria de un estado 1 a un estado 2, si la entrada es cero la salida puede ser uno, y se debe poner sobre la arista la etiqueta “0/1”.

En contraste, la salida de una máquina de estado finito Moore (***máquina de Moore***), depende solo del estado actual y no depende de la entrada actual. Por lo tanto, los estados de una máquina de Moore son la unión de los estados de la máquina de Mealy y el producto cartesiano de estos estados y alfabeto de entrada (posibles entradas).

El ***diagrama ASM*** es muy similar a un diagrama de estados. Cada cuadro de estado equivale a un estado de un circuito secuencial. El cuadro de decisión equivale a la información binaria que se escribe sobre las flechas que conectan dos estados de un diagrama de estados. Por ello, hay ocasiones en que conviene convertir el diagrama ASM en un diagrama de estados y luego usar procedimientos de circuitos secuenciales para diseñar la lógica de control. Considerar que:

* Los tres estados se indican con círculos, con su valor binario escrito adentro.
* Las flechas indican las condiciones que determinan el siguiente estado.
* Las operaciones incondicionales y condicionales que deben efectuarse no se indican en el diagrama de estados.

# desarrollo de la práctica

***a) Diseño del semáforo***

El contador debía:

* Tener salida a los displays de 7 segmentos
* Tener un tiempo de cambio en el conteo de medio segundo (2 Hz)
* Contar con un botón *RESET*

Funcionamiento:

1. La entrada *clk* va a un contador de 1⁄2 segundo que al contar dicho valor manda una señal (salida 1) que funciona como señal de reloj en el primer contador de 0 a 9.
2. El primer contador al llegar a 9 manda una señal de salida (salida 2) que sirve como señal de reloj del segundo contador de 0 a 9. Hasta que no se mande la señal en la salida 2 se mantiene el estado en el contador.
3. Al mismo tiempo el valor que tiene cada contador se envía a un decodificar separado con las señales *conteo1* y *conteo2* para decodificarlas a los 7 segmentos del display. Se emplea un multiplexor que nos permite seleccionar un contador o el otro. La Spartan3 no tiene integrados display de 7 segmentos, se tuvo que asignar las salida por los puertos J1 y conectar externamente el display.

Luego, para hacerlo descendente, se usó el mismo que utilizamos de 0 a 99, solo que ahora, crearemos una entrada up, la cual, si estaba en alto, los valores crecían, y si estaba en bajo, decrecían. Cuando la cuenta era 1, entonces la salida fue 9; cuando fue 2, la salida era 8 y así hasta que la cuenta fue 9. De esto se observan los resultados en la Figura 2

***b) Diseño del sistema de seguridad de la caja fuerte***

Se usó el código del contador anterior:

* Se agregó una señal llamada *aux* la cual trunca el contador cuando este llega a 60
* Se agregó un apartado para que cuando el contador finalizara de contar se encendiera un LED del FPGA

Se observan los resultados en la Figura 3

# simulaciones

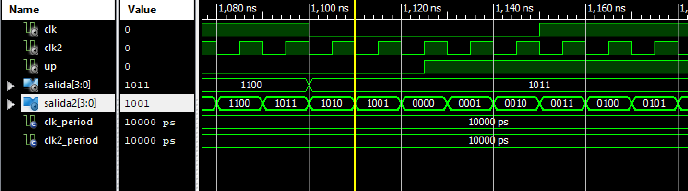


Figura : Simulación del contador ascendente y descendente de 0 a 99

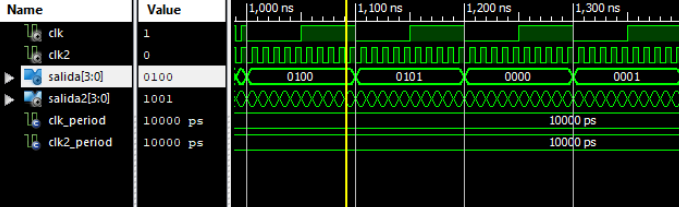


Figura 3: Simulación del contador ascendente de 0 a 59

1. conclusiones

El uso de los contadores es primordial en la vida diaria; todos los aparatos tecnológicos que conocemos usan uno o más para funcionar correctamente. Conocer el funcionamiento de uno y saber qué elementos necesita para funcionar es un conocimiento que sin duda es necesario adquirir.

Diseñar un contador en VHDL es distinto que diseñarlo usando el diagrama de bloques. Por una parte diseñarlo usando diagrama de bloques es más enroyado que hacerlo usando VHDL porque en VHDL se describe el funcionamiento que tienen los circuitos más a grandes razgos, mientras que usando diagrama de bloques hay que regresar a los fundamentos del diseño digital (el comportamiento de las compuertas básicas por ejemplo).

1. referencias
2. M. M. Morris, *Diseño Digital (3ª Ed.)*. Naucalpan de Juárez: Pearson Educación, 2003.