



## دستور آزمایش ۳

### اصول الکترونیک

#### مهلت تحویل: ۵ آذر

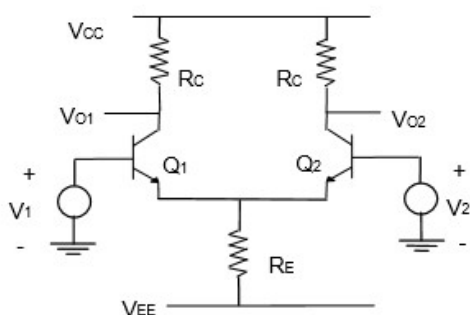
پائیز ۹۹

گروه دکتر کاوه‌وش

◀ مدل مطلوب برای شبیه‌سازی ترانزیستورها، BC107 یا 2N2222 است (یا هر مدل شبیه به آن) که حدودا بتای برابر ۱۰۰ تا ۴۰۰ دارند.

۱- به سوالات زیر پاسخ کوتاه دهید.

الف) در مدار تقویت کننده تفاضلی با افزایش دما یکی از ترانزیستورها، ولتاژ خروجی چه تغییری می‌کند؟ این تغییر را توجیه کنید.  
ب) معایب استفاده از مقاومت در امیتر تقویت کننده تفاضلی را بیان کنید. برای رفع آن راه حلی ارائه دهید.  
ج) دلایل استفاده از آینه جریان در تقویت کننده تفاضلی را بیان کنید. افزایش دما در یکی از این ترانزیستورها چه تاثیری در خروجی دارد؟ آن را با حالت (الف) مقایسه کنید و شرح دهید.



۲- الف) در مدار زیر مقادیر  $R_C$  و  $R_E$  را به گونه ای انتخاب کنید تا جریان عبوری از  $R_E$  تقریباً 2.1 mA باشد و  $V_{CE}$  هر دو ترانزیستور در حدود 4.9 V قرار گیرد.

$$V_{CC} = -V_{EE} = 15V, \beta = 200, V_{BE(ON)} = 0.6V$$

ب) با شبیه سازی مدار در Spice، بهره حالت دیفرانسیلی، حالت مشترک و CMRR را بدست آورید.

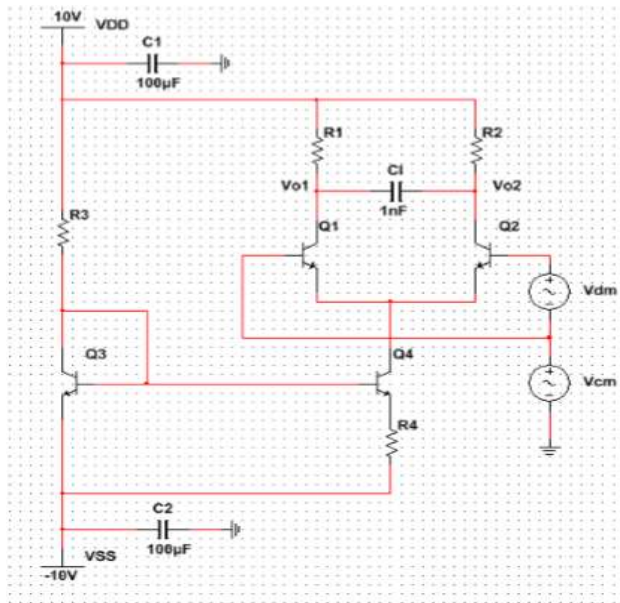
۳- برای مدار شکل زیر مقاومت های  $R_1, R_2, R_3, R_4$  را به نحوی طراحی کنید که مشخصات زیر را برآورده سازد.

$$(Q_1, Q_2, Q_3, Q_4 \text{ ترانزیستور های مشابه هستند و } R_1 = R_2)$$

$$A_{vd} \geq 80, V_{out(p-p)} \geq 15V$$

الف) کمترین ولتاژ کلکتور ترانزیستور  $Q_4$  برای آن که  $Q_4$  به درستی کار کند را بدست آورید.

ب) با استفاده از تحلیل نیم مدار و هم چنین فرض 0.1% resistor mismatch ( $R_1 = 0.99R_2$ ) بهره حالت مشترک و CMRR را محاسبه کنید.



ج) کمترین و بیشترین مقدار حالت مشترک ورودی را محاسبه کنید و از آن CMR را بدست آورید.

د) محاسبات خود را با شبیه سازی در Spice تایید کنید.

\*\*ه) پهنای باندی که مدار شما دارای چنین بهره‌ای است را بیابید. برای اینکار می‌باید با شبیه‌سازی AC، از فرکانس چند کیلوهرتز تا چندصد مگاهرتز پیش بروید و آن فرکانسی را که بهره از مقدار فرکانس پائین آن، 3dB کمتر است را گزارش کنید (نمودار بهره بر حسب فرکانس که برای خواندن عدد فوق نیاز بود را نیز قید کنید).

\*\*\*۴- مدار زیر ساده‌ترین ساختار مدگردانی دامنه (Amplitude Modulation) را نشان می‌دهد. آن را ابتدا در Spice شبیه سازی کنید، سپس به سوالات زیر پاسخ دهید.

$$V_{cc}=5V, C_C=C_{in}=100\mu F, R_C=R=1.2k\Omega, C=6.8nf, L=3.625\mu H, R_{B1}=3.3k\Omega, R_{B2}=5.6k\Omega,$$

$$R_B=R_E=1.2k\Omega, R_2=0\Omega$$

$$V_{LO} = 5^{mv} \cos(2\pi \times 1^{MHz} t), \quad V_m = 500^{mv} \cos(2\pi \times 10^{kHz} t)$$

الف) نحوه کارکرد کلی مدار را توضیح دهید.

ب) شکل موج خروجی (گره کلکتور  $Q_2$ ) را در Spice نمایش دهید (دقت کنید که حداقل بازه‌ی زمانی شبیه‌سازی باید بیش از 1ms باشد).

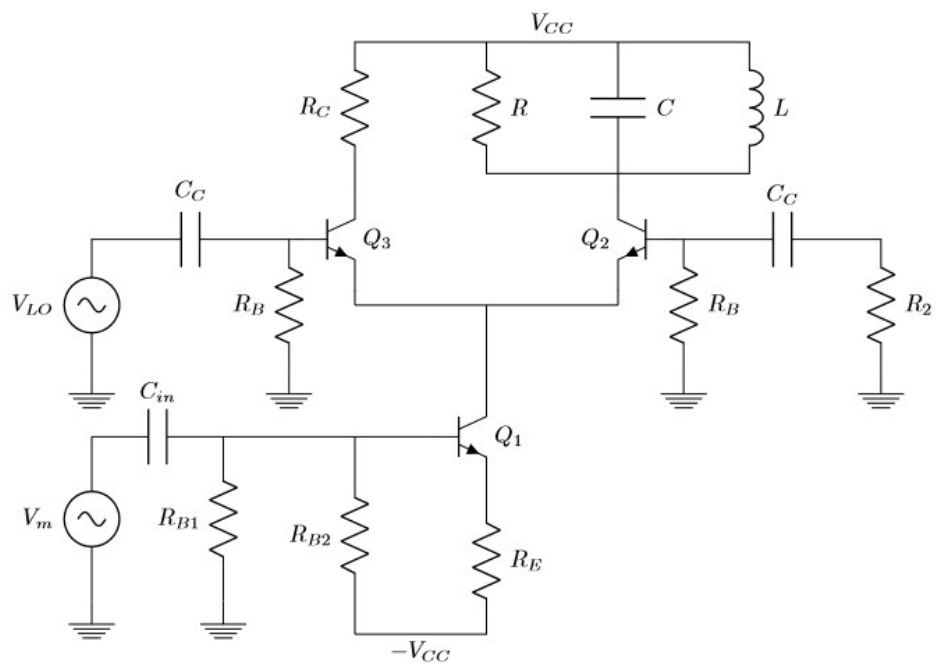
ج) آیا می‌توان مقادیر  $R_{B1}$ ,  $R_{B2}$  را تا حد دلخواه زیاد کرد؟

د) چرا دامنه سیگنالی که به ترانزیستورهای دیفرانسیل وارد می‌شود باید بسیار کم باشد؟ چرا این شرط برای ترانزیستور  $Q_1$  رعایت نشده است؟

ه) چرا مقاومت  $R_2$  در شبیه‌سازی مقدار صفر پیشنهاد شده است؟ در چه صورت نیاز به مقداردهی (غیرصفر) آن بود؟

ز) از شکل موج خروجی FFT بگیرید و ضمن لگاریتمی کردن محور عمودی، آن را (در بازه‌ی فرکانسی 0.5-1.5 MHz) در گزارش قید کنید.

ط) شکل موج خروجی باید به فرم  $V_O = A(1 + mV_m) \cos(2\pi \times 1^{MHz} t)$  باشد. ضرایب A و m را مطابق نتیجه‌ی شبیه‌سازی در حوزه‌ی زمان خروجی بدست آورید.



\*\*ستاره‌دارها امتیازی هستند.

موفق باشید.