

پروژہی درس VLSI پیشرفته

گزارش فاز اول

امیر ارسلان یوری (۴۰۲۲۰۳۴۹۷)

سحر جعفری (۴۰۲۲۱۲۴۴۱)





مقدمه

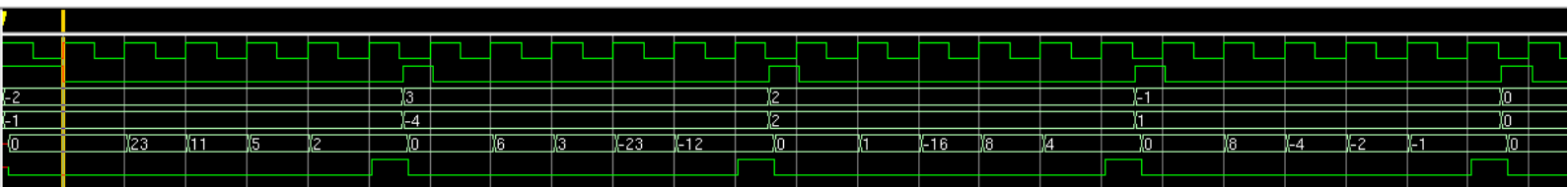
در ابتدا ضرب Booth را نوشتیم و سپس در modelsim آن را شبیه‌سازی کردیم. سپس با استفاده از اسکریپت‌های متفاوت با توجه به mode های کار خواسته شده در design compiler کد را سنتز کردیم. در نهایت نتایج و تحلیل‌های خواسته شده در قسمت‌های بعد مفصلاً توضیح داده شده‌اند. برای گام سوم نیز طراحی خود را تا مرحله‌ی طراحی asic پیش بردیم.

تمامی کدها و فایل‌های مربوطه‌ی پروژه که ما آنها را نوشتیم در آدرس زیر قرار دارند:

<https://github.com/arsalanyavari/advanced-VLSI-project>

شرح رویکرد

مرحله اول:



مطابق کد رویکرد الگوریتم ضرب Booth نوشته

شده است که آن را در modelsim شبیه‌سازی کردیم و نتایج بالا را به دست آوردیم که در ادامه نیز این موارد را مفصلاً بررسی می‌کنیم. همچنین برای این کد یک فایل تست هم نوشتیم که معادل تصویر زیر است:

```
1 module booth_multiplier (
2     input wire clk,
3     input wire reset,
4     input wire [3:0] multiplicand,
5     input wire [3:0] multiplier,
6     output reg [7:0] product,
7     output reg done
8 );
9
10 reg [3:0] A;
11 reg [3:0] M;
12 reg [3:0] Q;
13 reg Q_1;
14 reg [2:0] count;
15 reg [1:0] temp;
16 reg A_0_temp;
17
18 always @(posedge clk or posedge reset) begin
19     if (reset) begin
20         A = 4'b0;
21         Q = multiplier;
22         Q_1 = 1'b0;
23         M = multiplicand;
24         count = 3'b100; // 4 iterations
25         done = 1'b0;
26         product = 8'b0;
27     end else if (count > 0) begin
28         temp = {Q[0], Q_1};
29         case (temp)
30             2'b01: A = A + M;
31             2'b10: A = A - M;
32             default: A = A;
33         endcase
34
35         // Arithmetic right shift
36         A_0_temp = A[0];
37         A = {A[3], A[3:1]};
38         Q_1 = Q[0];
39         Q = {A_0_temp, Q[3:1]};
40
41         count = count - 1;
42         product = {A[3:0], Q[3:0]};
43
44     end else if (count == 0) begin
45         product = {A[3:0], Q[3:0]};
46         done = 1'b1;
47     end
48 end
49 endmodule
```

```
1 module tb_booth_multiplier;
2     reg clk;
3     reg reset;
4     reg [3:0] multiplicand;
5     reg [3:0] multiplier;
6     wire [7:0] product;
7     wire done;
8
9     booth_multiplier uut (
10         .clk(clk),
11         .reset(reset),
12         .multiplicand(multiplicand),
13         .multiplier(multiplier),
14         .product(product),
15         .done(done)
16     );
17
18     // Clock generation
19     initial begin
20         clk = 1;
21         forever #10 clk = ~clk; // 10ns period clock
22     end
23
24     // Test sequence
25     initial begin
26         // Monitor outputs
27         $monitor("At time %t, multiplicand = %b (%d), multiplier = %b (%d), product = %b (%d), done = %b",
28             $time, multiplicand, multiplicand, multiplier, multiplier, product, product, done);
29
30         // Test Case 1: -5 * -7
31         reset = 1;
32         multiplicand = 4'b011; // -5
33         multiplier = 4'b1001; // -7
34         #20 reset = 0;
35         wait (done);
36
37         // Test Case 2: 3 * -4
38         #10 reset = 1;
39         multiplicand = 4'b0011; // 3
40         multiplier = 4'b1100; // -4
41         #10 reset = 0;
42         wait (done);
43
44         // Test Case 3: 2 * 2
45         #10 reset = 1;
46         multiplicand = 4'b0010; // 2
47         multiplier = 4'b0010; // 2
48         #10 reset = 0;
49         wait (done);
50
51         // Test Case 4: -1 * 1
52         #10 reset = 1;
53         multiplicand = 4'b1111; // -1
54         multiplier = 4'b0001; // 1
55         #10 reset = 0;
56         wait (done);
57
58         // Test Case 5: 0 * 0
59         #10 reset = 1;
60         multiplicand = 4'b0000; // 0
61         multiplier = 4'b0000; // 0
62         #10 reset = 0;
63         wait (done);
64
65         // Test Case 6: 7 * 1
66         #10 reset = 1;
67         multiplicand = 4'b0111; // 7
68         multiplier = 4'b0001; // 1
69         #10 reset = 0;
70         wait (done);
71
72         // #10 $stop; // Stop the simulation
73
74     end
75 endmodule
```

مرحله دوم:

تبدیل فایل lib به db.

طبق صورت سوال کتابخانه داده شده برای فناوری 45nm را به فایل db تبدیل کردیم تا بتوانیم عملیات سنتز را طبق فناوری 45nm انجام دهیم.

```
0
design_vision> read_lib typical.lib

0
design_vision> write_lib NangateOpenCellLibrary_PDKv1_2_v2008_10
```

انجام عملیات سنتز و ایجاد فایل netlist

فایل sdc، netlist.v و sdf را با توجه به script داده شده در design compiler به دست می‌آوریم.

```
1 set my_files /home/icic/Desktop/files/booth_multiplier.v
2 set my_toplevel booth_multiplier
3
4 set my_clock_pin clk
5 set my_clk_freq_MHz 100
6 set my_input_delay_ns 0
7 set my_output_delay_ns 0
8
9 set link_library /home/icic/Desktop/db/typical.db
10 set target_library /home/icic/Desktop/db/typical.db
11 set symbol_library /home/icic/Desktop/tsmc18.sdb
12
13 define_design_lib WORK -path /home/icic/Desktop/outputs/typical
14
15 analyze -f verilog $my_files
16 elaborate $my_toplevel
17 current_design $my_toplevel
18 link
19 uniquify
20
21 compile
22 check_design
23 remove_unconnected_ports -blast_buses [find -hierarchy cell "*"]
24
25 write_sdf /home/icic/Desktop/outputs/typical/delay.sdf
26 write_sdc /home/icic/Desktop/outputs/typical/sdc.sdc
27 write -f verilog -output /home/icic/Desktop/outputs/typical/netlist.v -hierarchy
```

Beginning Delay Optimization Phase

ELAPSED TIME	AREA	WORST NEG SLACK	TOTAL NEG SLACK	DESIGN RULE COST	ENDPOINT
0:00:01	232.8	0.00	0.0	0.0	
0:00:01	231.2	0.00	0.0	0.0	

Beginning Area-Recovery Phase (cleanup)

ELAPSED TIME	AREA	WORST NEG SLACK	TOTAL NEG SLACK	DESIGN RULE COST	ENDPOINT
0:00:01	231.2	0.00	0.0	0.0	
0:00:01	231.2	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	
0:00:01	229.0	0.00	0.0	0.0	

Loading db file '/home/icic/Desktop/libs/typical/typical.db'

Optimization Complete

Warning: In design 'booth_multiplier', net 'count[1]' driven by pin 'count_reg[1] /Q' has no loads. (LINT-2)

Warning: In design 'booth_multiplier', net 'count[2]' driven by pin 'count_reg[2] /Q' has no loads. (LINT-2)

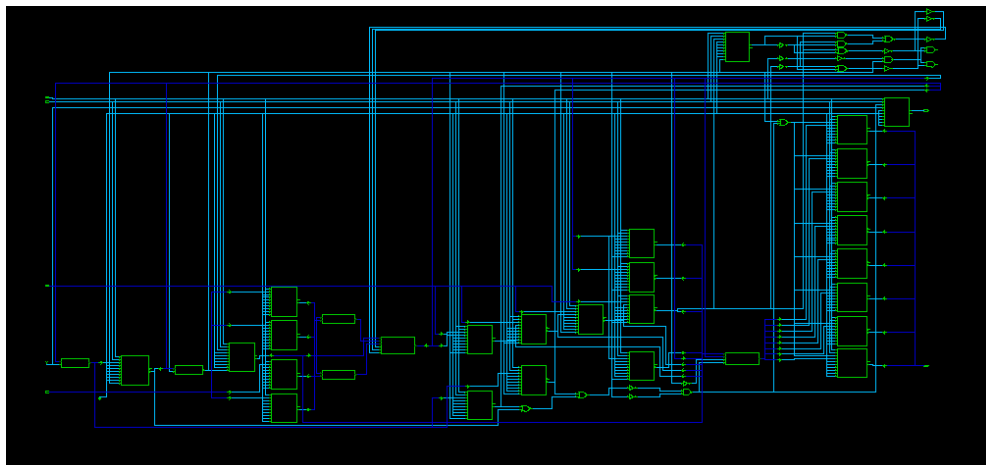
Information: Annotated 'cell' delays are assumed to include load delay. (UID-282)

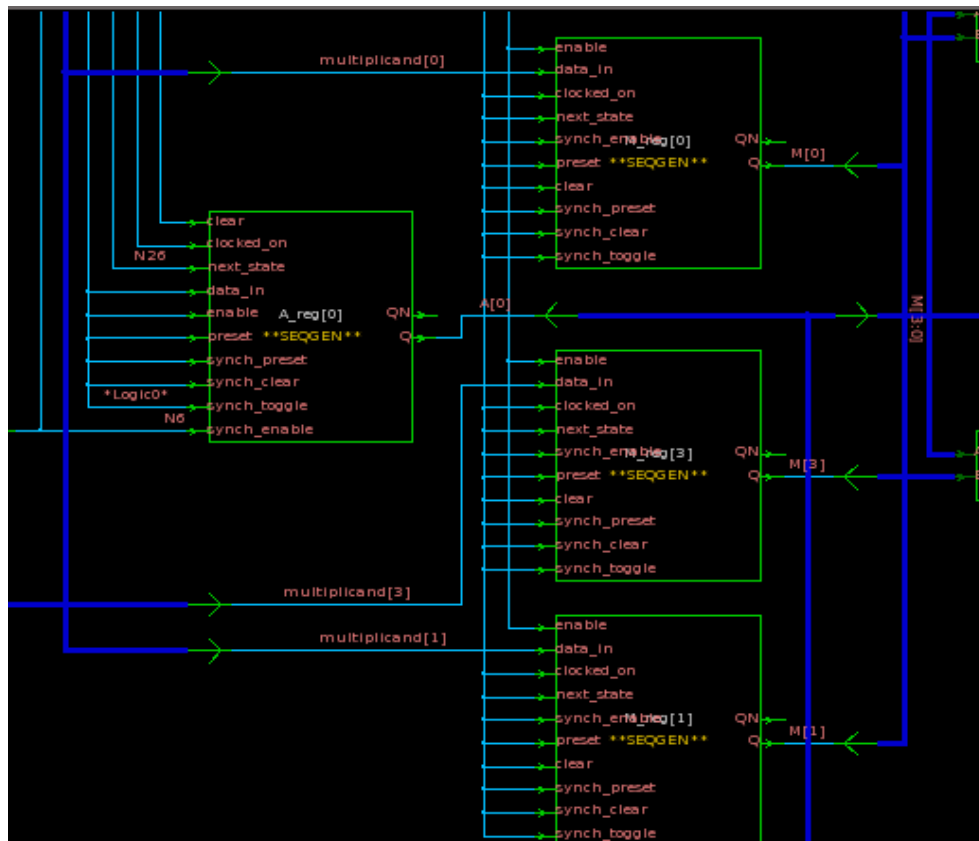
Information: Writing timing information to file '/home/icic/Desktop/outputs/typical/delay.sdf'. (WT-3)

Writing verilog file '/home/icic/Desktop/outputs/typical/netlist.v'.

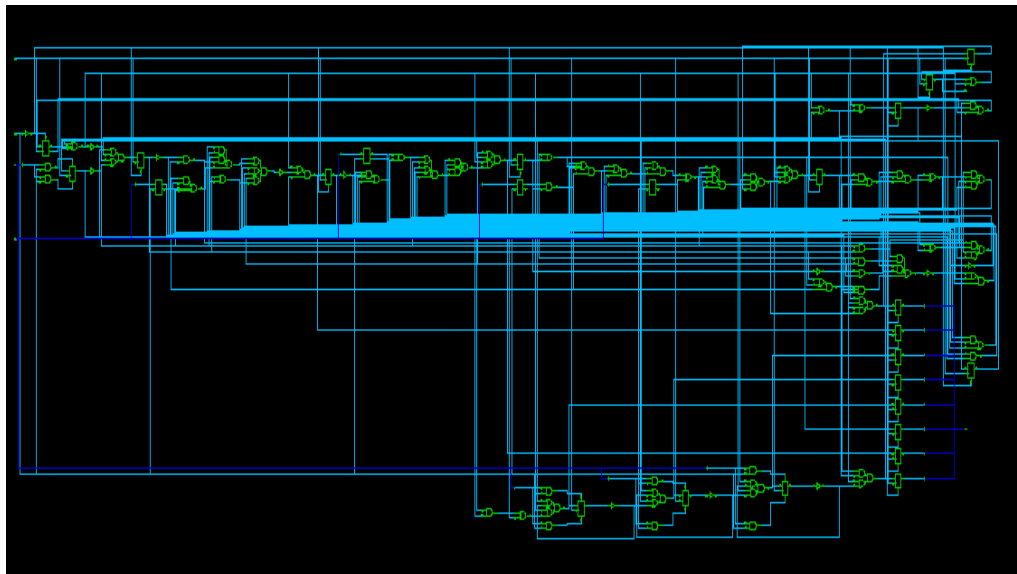
design_vision> Current design is 'booth_multiplier'.

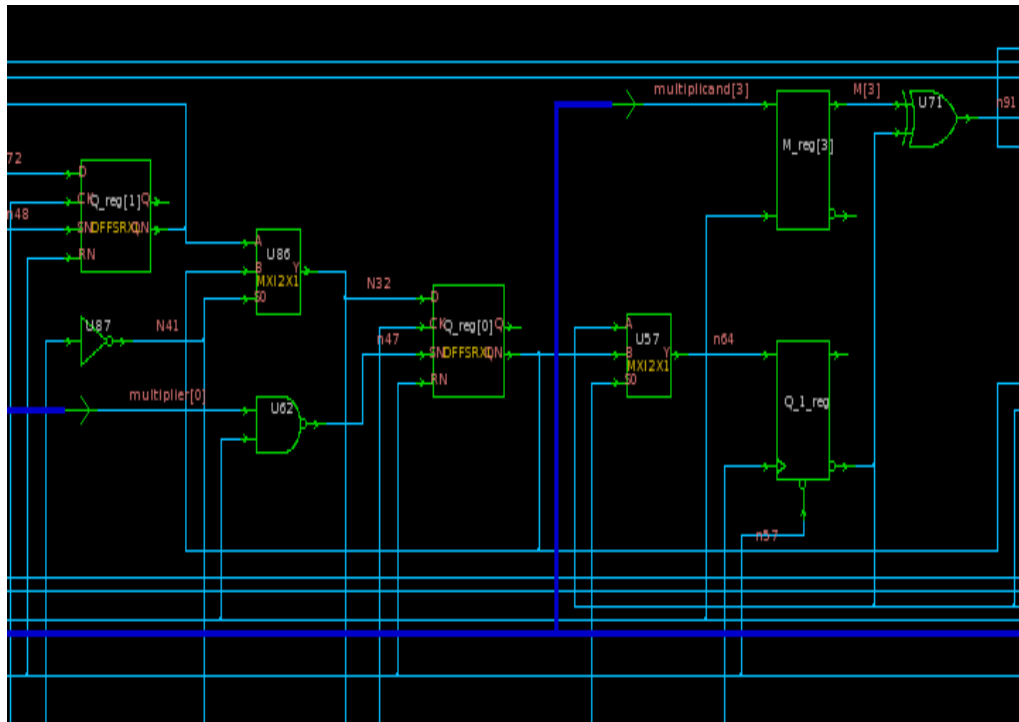
نمایشی از شماتیک پیش از سنتز





نمایشی از شماتیک پس از سنتز



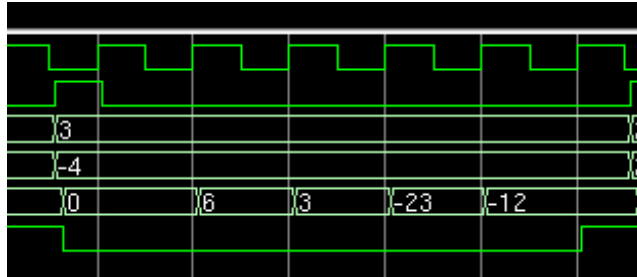
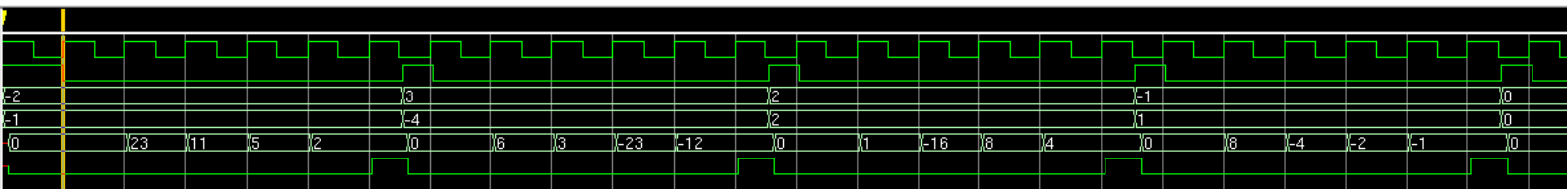


شبیه‌سازی پس از سنتز

Project - /home/cic/Desktop/files/2				
Name	Status	Type	Order	Modified
tb_booth_multiplier.v	✓	Verilog	0	07/05/14 11:56:01 AM
netlist.v	✓	Verilog	1	06/24/14 12:35:31 AM
tsmc18.v	✓	Verilog	2	11/09/15 12:31:22 AM

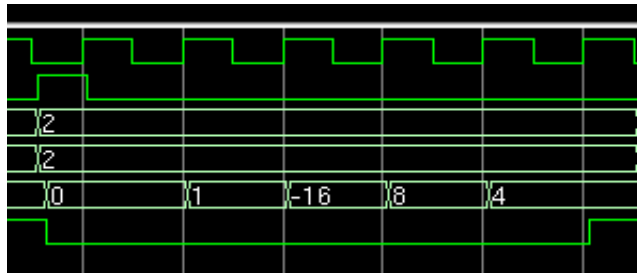
انجام شبیه‌سازی پس از سنتز با استفاده از فایل netlist به دست آمده در design compiler و کتابخانه .tsmc18

خروجی درست حاصل از شبیه‌سازی پس از سنتز به شرح زیر است



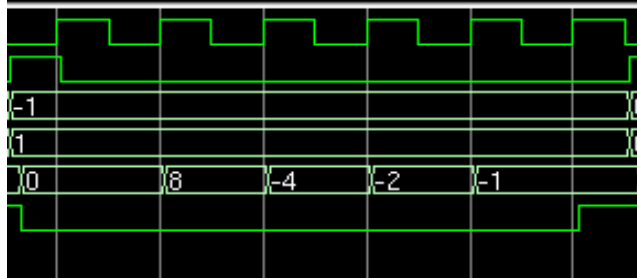
مثال ۱:

$$3 \times -4 = 12$$



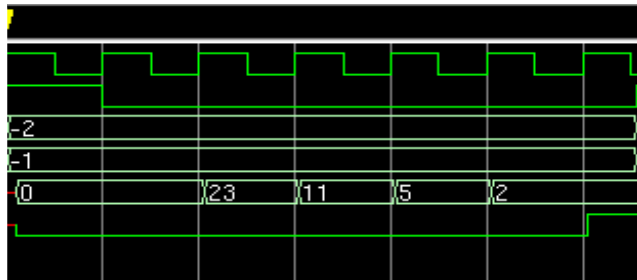
مثال ۲:

$$2 \times 2 = 4$$



مثال ۳:

$$-1 \times 1 = -1$$



مثال ۴:

$$-2 \times -1 = 2$$

بدون **ungrouping**

بدون بهینه‌سازی

با دستور زیر مشخص کردیم که بهینه‌سازی در هنگام سنتز اعمال نشود.

```
set_dont_touch $my_toplevel
```


229.026001	مساحت
1.3636 uW	توان ایستای مصرفی
17.6555 uW	توان پویای مصرفی
9.90	تاخیر
0.97	تأخیر مسیر بحرانی
$(1.3636 + 17.6555) * 9.90$	حاصل ضرب توان کل در تاخیر
8.93	زمان فراغت

بهینه‌سازی توان مصرفی

```
set_max_dynamic_power 0
set_max_static_power 0
```

237.006001	مساحت
1.3315 uW	توان ایستای مصرفی
17.3887 uW	توان پویای مصرفی
9.80	تاخیر کل
0.94	تأخیر مسیر بحرانی
$(1.3315 + 17.3887) * 9.80$	حاصل ضرب توان کل در تاخیر
8.86	زمان فراغت

- مساحت (افزایش) : برای کاهش توان مصرفی، ابزار، از سلول‌های با leakage power کمتر و با ولتاژ threshold بالاتر استفاده می‌کند اما این سلول‌ها کند هستند بنابراین

ابزار برای جبران سرعت کم و حفظ کارایی مدار از سلول‌های بزرگ‌تر و یا تعداد بیشتری سلول استفاده می‌کند که باعث افزایش مساحت می‌شود.

- توان ایستا (کاهش): از سلول‌ها با توان نشستی کم‌تر استفاده می‌کند.
- توان پویا (کاهش): با استفاده از clock gating به از تغییرات غیر ضروری سیگنال clock جلوگیری می‌کند و یا اینکه ساختار مدار را به گونه‌ای تغییر می‌دهد که از transition های غیر ضروری جلوگیری کند بنابراین توان پویا کاهش می‌یابد.
- تاخیر مسیر بحرانی (کاهش): ممکن است برای کاهش توان، چون از سلول‌های متفاوتی استفاده می‌کند در نتیجه باعث کاهش طول مسیر بحرانی شود و یا ممکن است است به دلیل restructure کردن منطق برنامه باشد.
- زمان فراغت (کاهش): ابزار ممکن است برای کاهش توان، سلول‌های سریع‌تر و با ولتاژ threshold کم‌تر را با سلول‌های کندتر و با ولتاژ threshold بیشتر را جایگزین کنند.

بهینه‌سازی سرعت کاری مدار

```
set_max_delay 0.5 -from A_reg[1] -to A_reg[2]
```

284.354000	مساحت
2.6144uW	توان ایستای مصرفی
20.1901uW	توان پویای مصرفی
0.41	تاخیر کل
0.41	تاخیر مسیر بحرانی
(20.1901+2.6144)0.41	حاصل ضرب توان کل در تاخیر
0.00	زمان فراغت

- مساحت (افزایش): ابزار از سلول‌های سریع‌تر که مساحت بیشتری را اشغال می‌کنند استفاده می‌کند. علاوه بر این برای افزایش سرعت از بافرها و repeaters استفاده می‌کند که باعث افزایش مساحت می‌شوند.

- توان ایستا (افزایش): سلول های سریع تر از ولتاژ threshold کمتر استفاده می کنند که در نتیجه باعث افزایش جریان نشتی می شود که منجر به افزایش توان پویا می گردد.
- توان پویا (افزایش): سلول های سریع تر از آنجایی که switching activity بیشتر دارند و همچنین خازن بزرگتری دارند بنابراین باعث افزایش توان پویا می گردند.
- تأخیر کل: بدیهی است و کاهش می یابد.
- تأخیر مسیر بحرانی (کاهش): از آنجایی که مسیر بحرانی طولانی ترین مسیر در مدار است بنابراین مشخص کننده سرعت مدار می باشد. بنابراین با کاهش تأخیر بر روی یک مسیر خاص باعث کاهش طول مسیر بحرانی می شود.
- زمان فراغت (کاهش): slack time نشان دهنده اختلاف بین زمان مورد انتظار رسیدن (arrival time) و زمان واقعی رسیدن (actual arrival time) می باشد. حال ابرار به گونه ای بهینه سازی را انجام می دهد تا بتواند نیازمندی های زمانی را برآورده کند که منجر به صفر شدن slack time می شود.

بهینه سازی مساحت

229.026001	مساحت
1.3636 uW	توان ایستای مصرفی
17.6555 uW	توان پویای مصرفی
9.90	تأخیر
0.97	تأخیر مسیر بحرانی
$(1.3636 + 17.6555) * 9.90$	حاصل ضرب توان کل در تأخیر
8.93	زمان فراغت

- مساحت: ثابت
- توان ایستا: ثابت
- توان پویا: ثابت
- تأخیر کل: ثابت
- تأخیر مسیر بحرانی: ثابت

- زمان فراغت: ثابت

همان طور که دیده می شود همه مقادیر نسب به حالت بدون بهینه سازی هیچ تغییری نکردند و این به این خاطر است design compiler به طور پیش فرض مساحت را بهینه می کند.

با ungrouping

بدون بهینه سازی

```
ungroup -all -all_instances
```

با دستور زیر مشخص کردیم که بهینه سازی در هنگام سنتز اعمال نشود.

```
set_dont_touch $my_toplevel
```

229.026001	مساحت
1.3636 uW	توان ایستای مصرفی
17.6555 uW	توان پویای مصرفی
9.90	تاخیر
0.97	تأخیر مسیر بحرانی
$(1.3636 + 17.6555) * 9.90$	حاصل ضرب توان کل در تاخیر
8.93	زمان فراغت

- مساحت: ثابت
- توان ایستا: ثابت
- توان پویا: ثابت
- تاخیر کل: ثابت
- تأخیر مسیر بحرانی: ثابت
- زمان فراغت: ثابت

از آنجایی که ungrouping منطق برنامه را عوض نمی‌کند و تنها ساختار سلسله مراتبی را عوض می‌کند بنابراین هیچ یک از مقادیر فوق تحت تاثیر قرار نمی‌گیرند.

بهینه‌سازی توان مصرفی

```
ungroup -all -all_instances
```

```
set_max_dynamic_power 0
set_max_leakage_power 0
```

240.198000	مساحت
1.5208uW	توان ایستای مصرفی
17.7276 uW	توان پویای مصرفی
0.93	تأخیر مسیر بحرانی
9.81	تاخیر کل
(1.5208+17.7276)9.81	حاصل ضرب توان کل در تاخیر
8.87	زمان فراغت

- مساحت (افزایش): به دلیل اینکه ممکن است ابزار به درستی نتواند منابع را با یکدیگر به اشتراک بگذارند نسبت به زمانی که سلسله مراتب رعایت می‌شود. همچنین ابزار ممکن است buffers و repeaters هایی را برای برآورده کردن نیازمندی‌های زمان‌بندی اضافه کند که منجر به افزایش مساحت می‌شود.
- توان ایستا (افزایش): افزایش مساحت معمولاً منجر به افزایش توان ایستا می‌شود زیرا تعداد سلوهای مورد استفاده افزایش یافته است. بنابراین توان ایستا افزایش می‌یابد.
- توان پویا (افزایش): با طراحی flat، ابزار ممکن است از سلول‌های سریع‌تری استفاده کند و یا buffer هایی را اضافه کند که منجر به افزایش switching activity و در نتیجه افزایش توان پویا می‌شود.

- تاخیر کل (افزایش): با توجه به اینکه با استفاده از ungroup ساختار سلسله مراتبی از بین می‌رود بنابراین مدار پیچیده‌تر می‌شود و در نتیجه اعمال بهینه‌سازی کم‌تر می‌شود در نتیجه تاخیر کل افزایش می‌یابد.
- تأخیر مسیر بحرانی (کاهش): با انجام flattening، ابزار با حذف کردن محدودیت‌های مربوط به سلسله مراتب باعث کاهش مسیر بحرانی می‌گردد.
- زمان فراغت (افزایش): با بهینه شدن مسیر بحرانی، ابزار می‌تواند زمان‌بندی طراحی را بهبود ببخشد به این صورت که طراحی margining بیشتری برای برآورده کردن نیازمندی‌های timing طراحی دارد چون مسیر بحرانی بیشتر کاهش یافته و با محدودیت کمتری روبه‌رو است.

بهینه‌سازی سرعت کاری مدار

```
set_max_delay 0.5 -from A_reg[1] -to A_reg[2]
```

284.354000	مساحت
2.6144uW	توان ایستای مصرفی
20.1901uW	توان پویای مصرفی
0.41	تأخیر کل
0.41	تأخیر مسیر بحرانی
(20.1901+2.6144)0.41	حاصل ضرب توان کل در تأخیر
0.00	زمان فراغت

- مساحت: ثابت
- توان ایستا: ثابت
- توان پویا: ثابت

- تأخیر کل: ثابت
- تأخیر مسیر بحرانی: ثابت
- زمان فراغت: ثابت

ممکن است در طراحی، منابع به صورت کاملاً بهینه با یکدیگر به اشتراک گذاشته می‌شوند به همین خاطر `ungrouping` منجر به تغییر خاصی در طراحی نمی‌گردد. در واقع بهینه‌سازی از قبل انجام شده است.

بهینه‌سازی مساحت

```
ungroup -all_instances
set_max_area 0
```

229.026001	مساحت
1.3636 uW	توان ایستای مصرفی
17.6555 uW	توان پویای مصرفی
9.90	تأخیر
0.97	تأخیر مسیر بحرانی
$(1.3636 + 17.6555) * 9.90$	حاصل ضرب توان کل در تأخیر
8.93	زمان فراغت

- مساحت: ثابت
- توان ایستا: ثابت
- توان پویا: ثابت
- تأخیر کل: ثابت
- تأخیر مسیر بحرانی: ثابت
- زمان فراغت: ثابت

ممکن است در طراحی، منابع به صورت کاملاً بهینه با یکدیگر به اشتراک گذاشته می‌شوند به همین خاطر `ungrouping` منجر به تغییر خاصی در طراحی نمی‌گردد. در واقع بهینه‌سازی از قبل انجام شده است.

2) با دستور دیگری نیز برای انجام عملیات ungrouping تلاش کردیم

باز هم همان نتایج بالا را به دست آوردیم.

```
compile -auto_ungroup area
```

ممکن است در طراحی، منابع به صورت کاملاً بهینه با یکدیگر به اشتراک گذاشته می‌شوند به همین خاطر ungrouping منجر به تغییر خاصی در طراحی نمی‌گردد. در واقع بهینه‌سازی از قبل انجام شده است.

2) با دستور دیگری نیز برای انجام عملیات ungrouping تلاش کردیم

باز هم همان نتایج بالا را به دست آوردیم.

```
compile -auto_ungroup area
```

با flatten

بدون بهینه‌سازی

با دستور زیر مشخص کردیم که بهینه‌سازی در هنگام سنتز اعمال نشود.

```
ungroup -all -all_instances  
ungroup -all -force -flatten  
  
set_dont_touch $my_toplevel
```

229.026001	مساحت
1.3636 uW	توان ایستای مصرفی
17.6555 uW	توان پویای مصرفی
9.90	تاخیر
0.97	تأخیر مسیر بحرانی

حاصل ضرب توان کل در تاخیر	$(1.3636 + 17.6555) * 9.90$
زمان فراغت	8.93

- مساحت: ثابت
- توان ایستا: ثابت
- توان پویا: ثابت
- تاخیر کل: ثابت
- تأخیر مسیر بحرانی: ثابت
- حاصل ضرب توان کل در تاخیر: ثابت
- زمان فراغت: ثابت

از آنجایی که ungroping منطق برنامه را عوض نمی‌کند و تنها ساختار سلسله مراتبی را عوض می‌کند بنابراین هیچ یک از مقادیر فوق تحت تاثیر قرار نمی‌گیرند.

بهینه‌سازی توان مصرفی

```
set_max_dynamic_power 0
set_max_static_power 0
```

مساحت	240.198000
توان ایستای مصرفی	1.5208uW
توان پویای مصرفی	17.7276 uW
تاخیر کل	9.81
تأخیر مسیر بحرانی	0.93
حاصل ضرب توان کل در تاخیر	$(1.5208 + 17.7276) * 9.81$
زمان فراغت	8.87

مساحت (افزایش): به دلیل اینکه ممکن است ابزار به درستی نتواند منابع را با یکدیگر به اشتراک بگذارند نسبت به زمانی که سلسله مراتب رعایت می‌شود. همچنین ابزار ممکن است

repeaters و buffers هایی را برای برآورده کردن نیازمندی‌های زمان‌بندی اضافه کند که منجر به افزایش مساحت می‌شود.

توان ایستا (افزایش): افزایش مساحت معمولاً منجر به افزایش توان ایستا می‌شود زیرا تعداد سلوهای مورد استفاده افزایش یافته است بنابراین توان ایستا افزایش می‌یابد. توان پویا (افزایش): با طراحی flat، ابرار ممکن است از سلول‌های سریع‌تری استفاده کند و یا buffer هایی را اضافه کند که منجر به افزایش switching activity و در نتیجه افزایش توان پویا می‌شود.

تاخیر کل (افزایش): با توجه به اینکه با استفاده از ungroup ساختار سلسله مراتبی از بین می‌رود بنابراین مدار پیچیده‌تر می‌شود و در نتیجه اعمال بهینه‌سازی کم‌تر می‌شود در نتیجه تاخیر کل افزایش می‌یابد.

تاخیر مسیر بحرانی (کاهش): با انجام flattening، ابرار با حذف کردن محدودیت‌های مربوط به سلسله مراتب باعث کاهش مسیر بحرانی می‌گردد.

زمان فراغت (افزایش): با بهینه شدن مسیر بحرانی، ابرار می‌تواند زمان‌بندی طراحی را بهبود ببخشد به این صورت که طراحی margining بیشتری برای برآورده کردن نیازمندی‌های timing طراحی دارد چون مسیر بحرانی بیشتر کاهش یافته و با محدودیت کمتری روبه‌رو است.

بهینه‌سازی سرعت گاری مدار

```
set_max_delay 0.5 -from A_reg[1] -to A_reg[2]
```

284.354000	مساحت
2.6144uW	توان ایستای مصرفی
20.1901uW	توان پویای مصرفی
0.41	تاخیر کل
0.41	تأخیر مسیر بحرانی
$(20.1901+2.6144)0.41$	حاصل ضرب توان کل در تاخیر
0.00	زمان فراغت

• مساحت: ثابت

- توان ایستا: ثابت
- توان پویا: ثابت
- تاخیر کل: ثابت
- تأخیر مسیر بحرانی: ثابت
- حاصل ضرب توان کل در تاخیر: ثابت
- زمان فراغت: ثابت

ممکن است در طراحی، منابع به صورت کاملاً بهینه با یکدیگر به اشتراک گذاشته می‌شوند به همین خاطر ungrouping منجر به تغییر خاصی در طراحی نمی‌گردد. در واقع بهینه‌سازی از قبل انجام شده است.

بهینه‌سازی مساحت

```
ungroup -all -all_instances
ungroup -all -force -flatten

set_max_area 0
```

229.026001	مساحت
1.3636 uW	توان ایستای مصرفی
17.6555 uW	توان پویای مصرفی
9.90	تأخیر
0.97	تأخیر مسیر بحرانی
$(1.3636 + 17.6555) * 9.90$	حاصل ضرب توان کل در تاخیر
8.93	زمان فراغت

- مساحت: ثابت
- توان ایستا: ثابت
- توان پویا: ثابت
- تاخیر کل: ثابت
- تأخیر مسیر بحرانی: ثابت
- حاصل ضرب توان کل در تاخیر: ثابت

- زمان فراغت: ثابت

ممکن است در طراحی، منابع به صورت کاملاً بهینه با یکدیگر به اشتراک گذاشته می‌شوند به همین خاطر ungrouping منجر به تغییر خاصی در طراحی نمی‌گردد. در واقع بهینه‌سازی از قبل انجام شده است.

★ همان‌طور که دیده می‌شود نتایج حالت ungrouping با حالت flatten تغییری نکرده است احتمالاً به این دلیل است که طراحی ما ساده است و یا محدودیت‌های سلسه‌مراتبی تأثیر چندانی در بهینه‌سازی ندارد.

با compile_ultra

بدون بهینه‌سازی

197.638002	مساحت
1.3995 uW	توان ایستای مصرفی
20.7288 uW	توان پویای مصرفی
9.90	تاخیر کل
0.98	تأخیر مسیر بحرانی
$(1.5208 + 20.7288)9.90$	حاصل ضرب توان کل در تاخیر
8.92	زمان فراغت

مساحت (کاهش): compile: دستور compile بهینه‌سازی پایه‌ای مساحت را انجام می‌دهد که ممکن است به بهره‌وری بهینه مساحت نرسد. مساحت ممکن است نسبت به compile_ultra نسبتاً بزرگتر باقی بماند. compile_ultra: compile_ultra از تکنیک‌های پیشرفته کاهش مساحت استفاده می‌کند که منجر به چیدمان کارآمدتر و کاهش مساحت می‌شود. این ممکن است شامل بهینه‌سازی بهتر قرارگیری سلول‌ها و مسیریابی باشد

- توان ایستا (افزایش):

compile: بهینه‌سازی پایه‌ای توان استاتیک اعمال می‌شود که ممکن است به مصرف توان استاتیک متوسط منجر شود. ابزار ممکن است از ترکیبی از سلول‌های با ولتاژ آستانه پایین و بالا استفاده کند

Compile_ultra: ابزار ممکن است از سلول‌های با ولتاژ آستانه پایین بیشتری استفاده کند تا عملکرد و بهینه‌سازی مساحت بهتری را بدست آورد، که منجر به افزایش مصرف توان استاتیک به دلیل جریان‌های نشت بالاتر می‌شود

- توان پویا (افزایش):

compile: بهینه‌سازی پایه‌ای توان دینامیک اعمال می‌شود که منجر به مصرف توان دینامیک متوسط می‌شود. ابزار ممکن است به طور سخت‌گیرانه فعالیت سوئیچینگ یا ظرفیت را به حداقل نرساند

compile_ultra: توان دینامیک: برای حفظ عملکرد و برآورده کردن محدودیت‌های زمان‌بندی، **compile_ultra** ممکن است از سلول‌هایی با فعالیت سوئیچینگ بالاتر یا ظرفیت بزرگتر استفاده کند که منجر به افزایش مصرف توان دینامیک می‌شود. استفاده از بافرها و تکرارکننده‌های بیشتر تر می‌تواند به توان دینامیک بالاتر کمک کند.

- تاخیر کل (ثابت): تاخیر بهینه‌سازی می‌شود تا محدودیت‌های زمان‌بندی را برآورده کند، اما بهینه‌سازی ممکن است به اندازه **compile_ultra** سخت‌گیرانه نباشد

- **compile_ultra:** تاخیر ثابت می‌ماند زیرا **compile_ultra** برای برآورده کردن محدودیت‌های زمان‌بندی به طور موثر طراحی شده است. ابزار اطمینان می‌دهد که مسیرهای بحرانی زمان‌بندی مورد نیاز را برآورده می‌کنند، حتی اگر بهینه‌سازی‌های دیگری اعمال شوند

- تأخیر مسیر بحرانی (افزایش):

compile: مسیر بحرانی را بهینه می‌کند اما ممکن است به کوتاه‌ترین مسیر ممکن نرسد.
compile_ultra: زیرا از سلول‌های با **low voltage threshold** استفاده می‌کند بنابراین باعث

افزایش تاخیر می‌شود

- زمان فراغت (کاهش):

compile: زمان اضافی ممکن است راحت‌گیرانه‌تر باشد، زیرا ابزار هدف برآورده کردن محدودیت‌های زمان‌بندی بدون فشار زیاد دارد

compile_ultra: زمان اضافی کاهش می‌یابد زیرا ابزار طراحی را برای برآورده کردن دقیق محدودیت‌های زمان‌بندی بهینه می‌کند. با استفاده از تکنیک‌های بهینه‌سازی سخت‌گیرانه‌تر، **compile_ultra** ممکن است حاشیه (زمان اضافی) موجود را کاهش دهد که منجر به بسته شدن زمان‌بندی تنگ‌تر می‌شود

```
compile_ultra -no_autoungroup -num_cpus 2
check_design
```

```
set_max_dynamic_power 0
set_max_static_power 0
```

240.198000	مساحت
1.0944uW	توان ایستای مصرفی
20.3066 uW	توان پویای مصرفی
9.89	تاخیر کل
0.93	تأخیر مسیر بحرانی
(1.5208+17.7276)9.81	حاصل ضرب توان کل در تاخیر
8.96	زمان فراغت

مساحت (افزایش): compile: بهینه‌سازی پایه‌ای مساحت را انجام می‌دهد اما ممکن است به بهره‌وری بهینه مساحت نرسد.

compile_ultra: از تکنولوژی‌های پیشرفته کاهش مساحت استفاده می‌کند که می‌تواند به مساحت بهینه‌تری منجر شود. با این حال، هنگامی که با بهینه‌سازی توان ترکیب می‌شود، ممکن است همچنان به افزایش مساحت منجر شود به دلیل استفاده از سلول‌های بزرگتر یا بیشتر برای برآورده کردن محدودیت‌های توان و زمان‌بندی.

- توان ایستا (کاهش):

compile: بهینه‌سازی پایه‌ای توان استاتیک را ارائه می‌دهد.

compile_ultra: شامل تکنیک‌های پیچیده‌تری برای کاهش توان استاتیک است، مانند استفاده از سلول‌های با ولتاژ آستانه بالا و استراتژی‌های پیشرفته کاهش نشت. این می‌تواند به کاهش قابل توجهی در مصرف توان استاتیک منجر شود.

- توان پویا (افزایش):

compile: بهینه‌سازی پایه‌ای توان دینامیک را ارائه می‌دهد.

`compile_ultra`: از تکنیک‌های پیشرفته بهینه‌سازی توان دینامیک استفاده می‌کند، از جمله گیتینگ ساعت و کاهش فعالیت سوئیچینگ. این می‌تواند به کاهش بهتر توان دینامیک منجر شود، اگرچه استفاده از بافرهای اضافی و سلول‌های سریع‌تر ممکن است در برخی موارد به افزایش توان دینامیک منجر شود.

- تأخیر کل (افزایش):

`compile`: یک حالت متعادل را برای بهینه کردن توان مصرفی استفاده می‌کند.

`compile_ultra`: چون بهینه‌سازی سخت‌گیرانه‌تری بر روی بهینه کردن توان انجام می‌دهد و به همین خاطر چون بهینه‌سازی برای کاهش توان را انجام می‌دهد بنابراین بر روی timing طراحی تأثیر می‌گذارد و تأخیر افزایش می‌یابد.

- تأخیر مسیر بحرانی (کاهش):

`compile`: مسیر بحرانی را بهینه می‌کند اما ممکن است به کوتاه‌ترین مسیر ممکن نرسد.

`compile_ultra`: بهینه‌سازی سخت‌گیرانه‌تری برای مسیر بحرانی ارائه می‌دهد که اغلب به کاهش طول مسیر بحرانی منجر می‌شود به دلیل بهینه‌سازی بهتر زمان‌بندی و استفاده از کتابخانه‌های سلولی پیشرفته

- زمان فراغت (افزایش):

`compile`: به بسته شدن زمان‌بندی پایه‌ای با مقداری زمان اضافی می‌رسد.

`compile_ultra`: هدف به بسته شدن دقیق‌تر زمان‌بندی است که اغلب به افزایش زمان اضافی منجر می‌شود با بهینه‌سازی موثرتر مسیر بحرانی

با clock gating

`set_clock_gating_style`

229.026001	مساحت
1.3636uW	توان ایستای مصرفی
17.6555 uW	توان پویای مصرفی
9.90	تأخیر کل
0.97	تأخیر مسیر بحرانی
(1.3636+17.6555)9.81	حاصل ضرب توان کل در تأخیر

8.93	زمان فراغت
------	------------

- مساحت: (ثابت)
 - توان ایستا: (ثابت)
 - توان پویا: (ثابت)
 - تاخیر کل: (ثابت)
 - تأخیر مسیر بحرانی: (ثابت)
 - زمان فراغت: (ثابت)
- از آنجایی که design compiler به طور پیش فرض از clock gating استفاده می‌کند بنابراین با اضافه کردن این دستور به حالت بدون بهینه‌سازی تغییری در بهینه کردن توان ایجاد نمی‌شود.

مرحله سوم

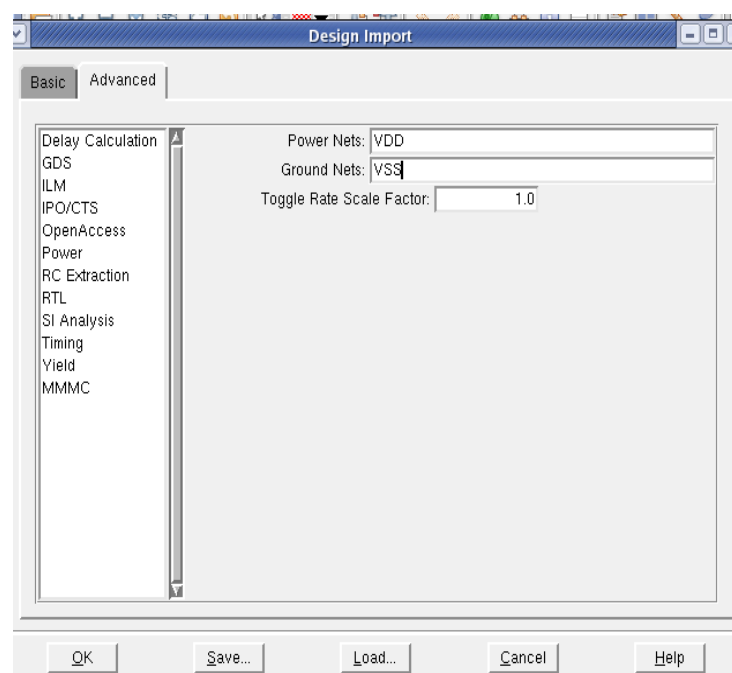
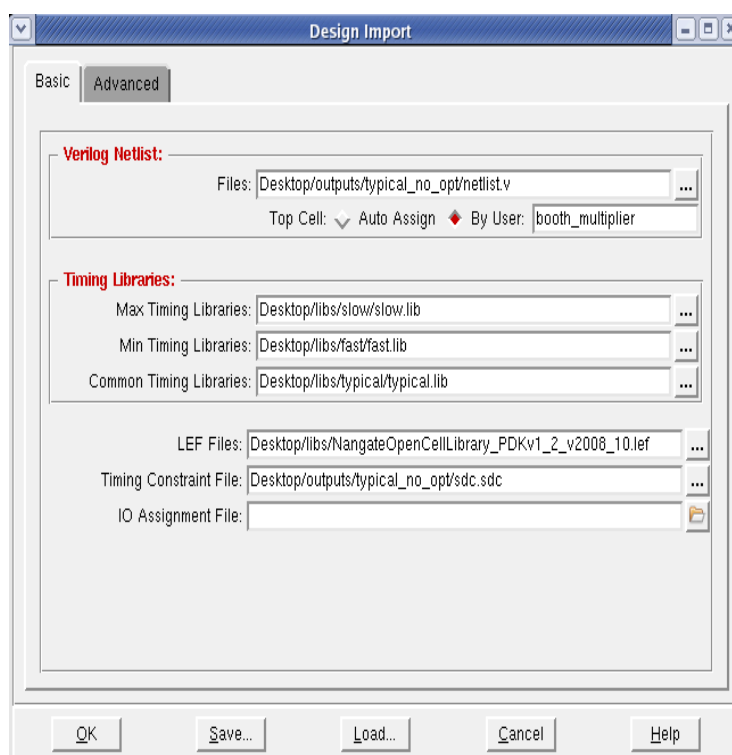
با دستور encounter، نرم افزار soc encounter را باز می‌کنیم.

1-1-1 دریافت فایل sdc. از مرحله دوم

برای انجام این تمرین به فایل sdc. که خروجی مرحله دوم است نیاز داریم. از فایل sdc. ایجاد شده از حالت بدون بهینه‌سازی، بدون ungrouping و بدون flatten استفاده می‌کنیم.

1-1-2 مرحله import design

از مسیر import design -> design طرح خود را وارد می‌کنیم.

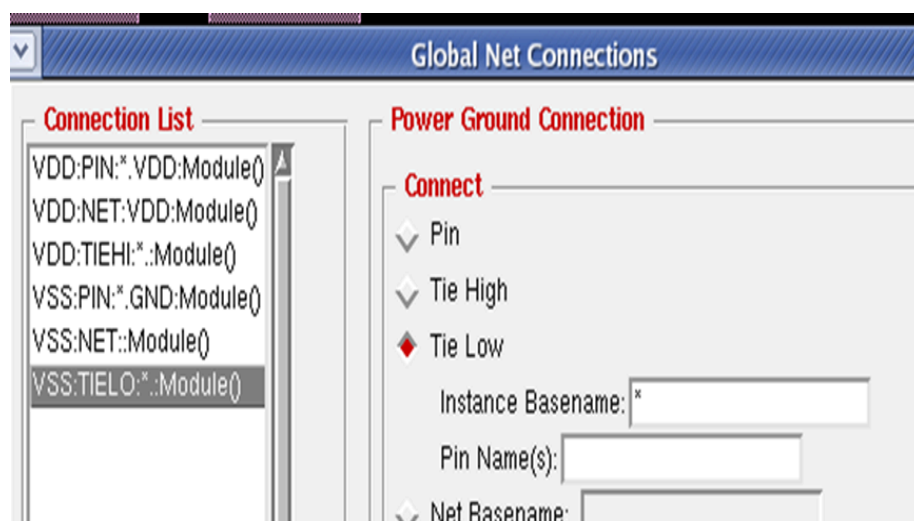
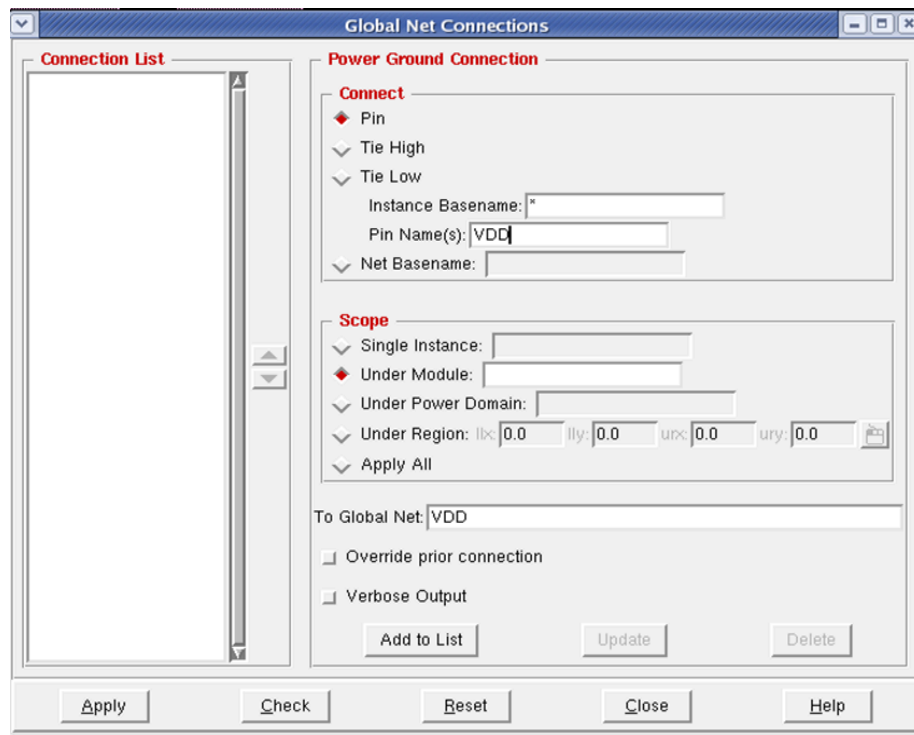


1-1-3 تعیین مشخصات floorplanning

در این مرحله می‌بایست مشخصات floorplanning را تعیین کنیم و لایه‌های فلر را مشخص کنیم.

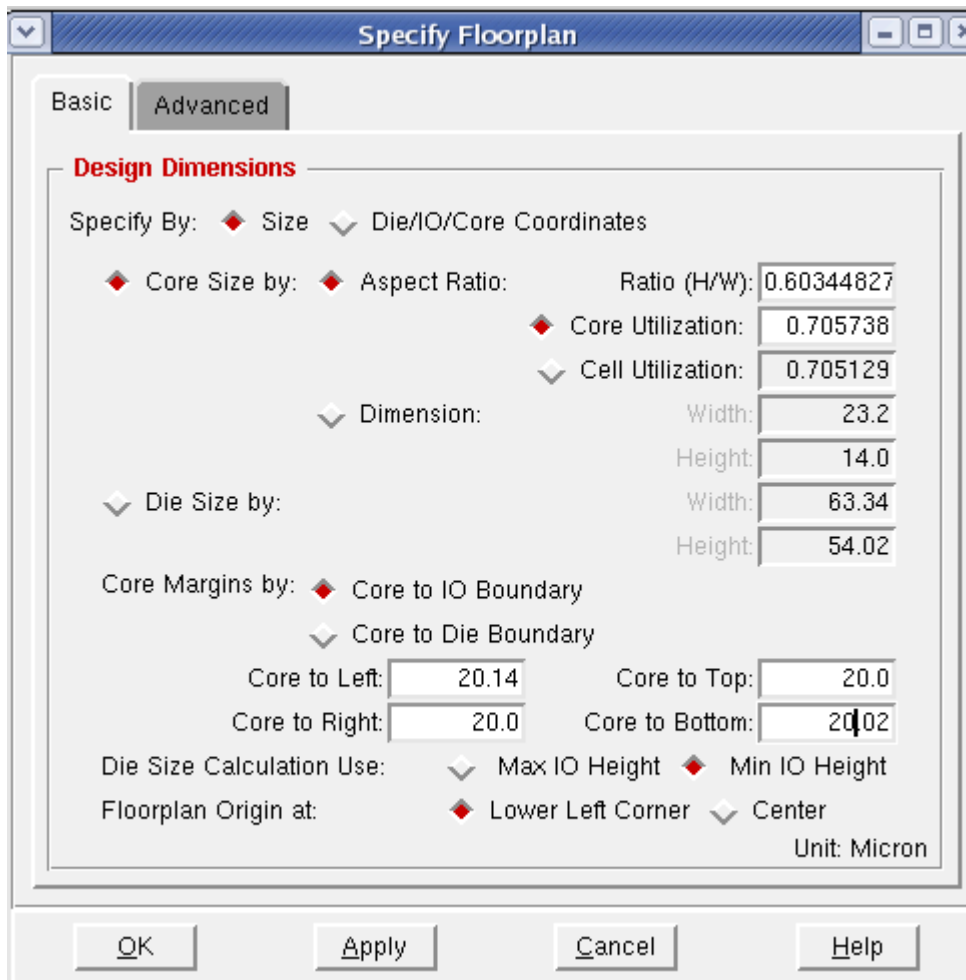
Connect global nets -i

از مسیر floorplan>connect global nets عملیات اضافه کردن VDD و VSS را انجام می‌دهیم. سپس بر روی add to list می‌زنیم.



Floorplan -i

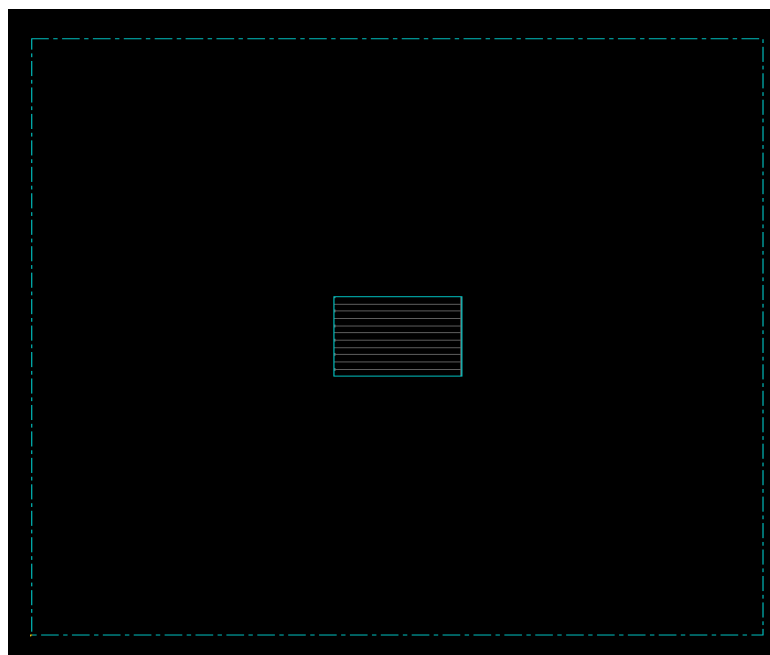
در این مرحله از مسیر specify FloorPlan -> FloorPlan مشخصات مد نظر خود را وارد می‌کنیم. به تصاویر زیر توجه کنید:



The image shows the 'Specify Floorplan' dialog box with the 'Basic' tab selected. The 'Design Dimensions' section contains the following settings:

- Specify By: ☒ Size ☐ Die/IO/Core Coordinates
- Core Size by: ☒ Aspect Ratio: Ratio (H/W): 0.60344827
- Core Utilization: 0.705738
- Cell Utilization: 0.705129
- Dimension: Width: 23.2, Height: 14.0
- Die Size by: Width: 63.34, Height: 54.02
- Core Margins by: ☒ Core to IO Boundary ☐ Core to Die Boundary
- Core to Left: 20.14, Core to Top: 20.0, Core to Right: 20.0, Core to Bottom: 20.02
- Die Size Calculation Use: ☐ Max IO Height ☒ Min IO Height
- Floorplan Origin at: ☒ Lower Left Corner ☐ Center
- Unit: Micron

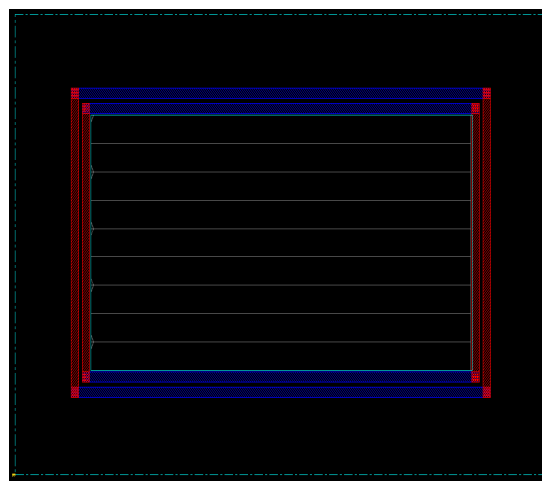
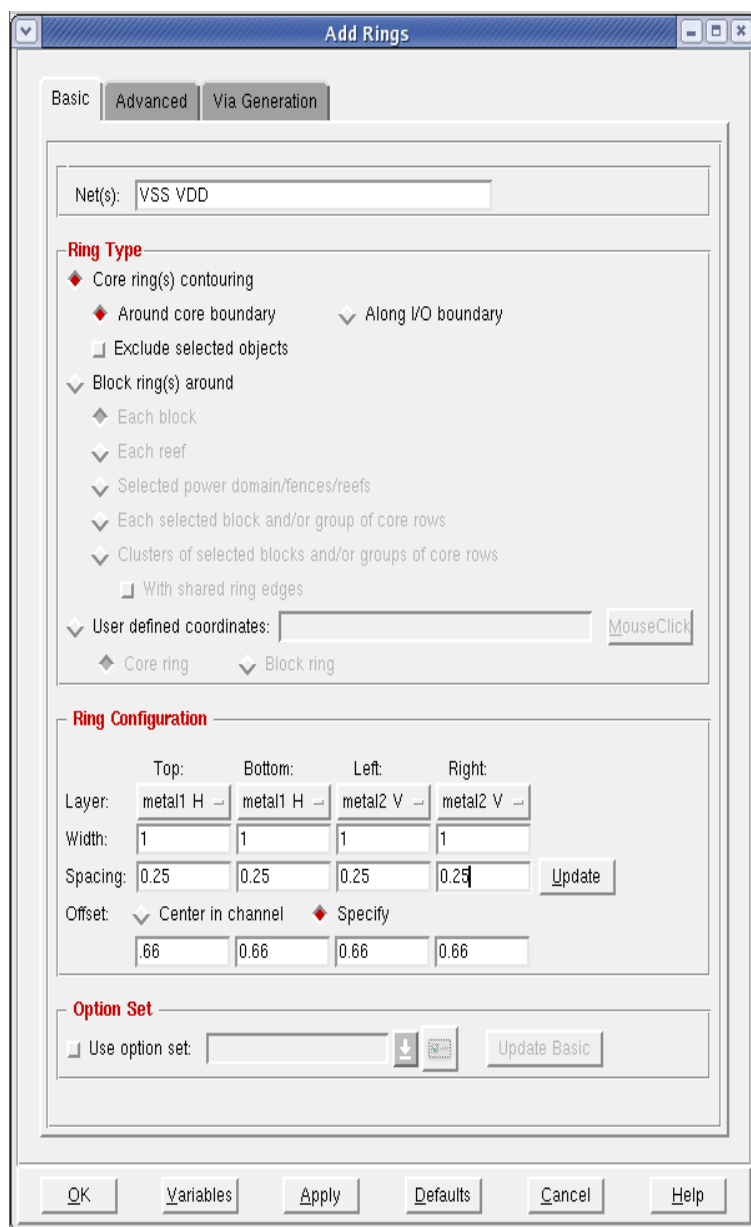
Buttons at the bottom: OK, Apply, Cancel, Help.



تعیین مشخصات نوارها و حلقه‌های فلزات

1-1-4

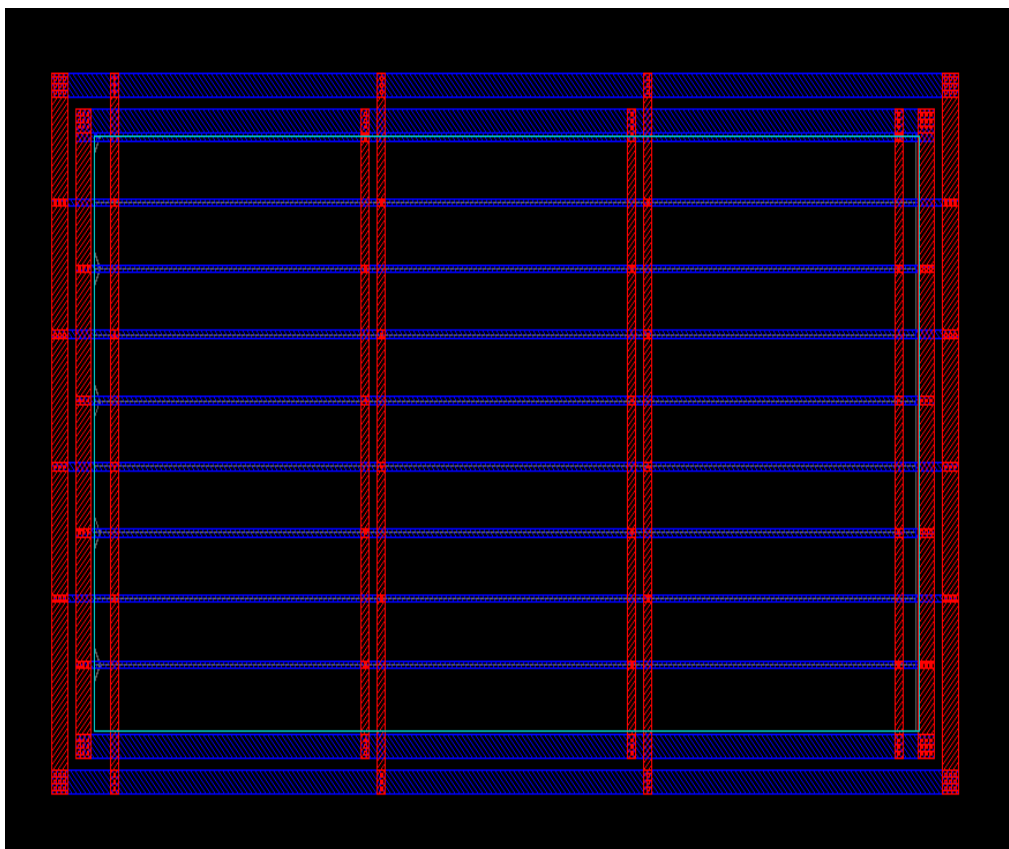
در این مرحله از مسیر power planning -> power در ادامه rings و strips را تعیین می‌کنیم. در ادامه تصاویر آن را مشاهده می‌کنید.



خروجی SROUTE

1-1-5

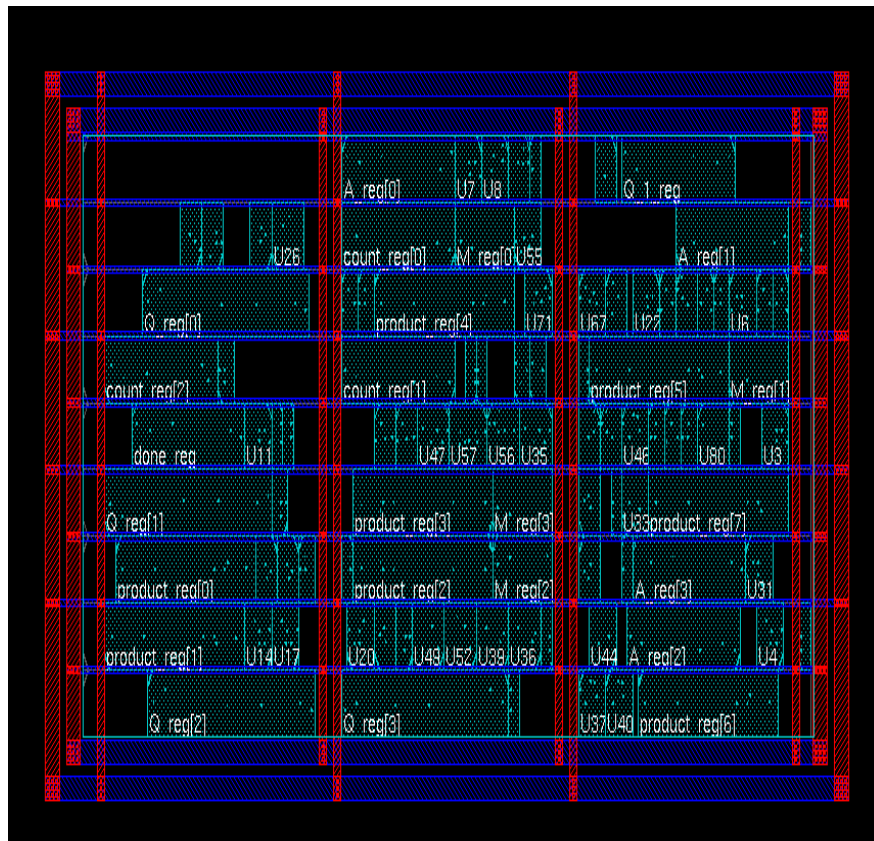
در این مرحله خروجی SRoute را از مسیر special route -> Route دریافت می‌کنیم.



مرحله جایگزینی standard cell

1-1-6

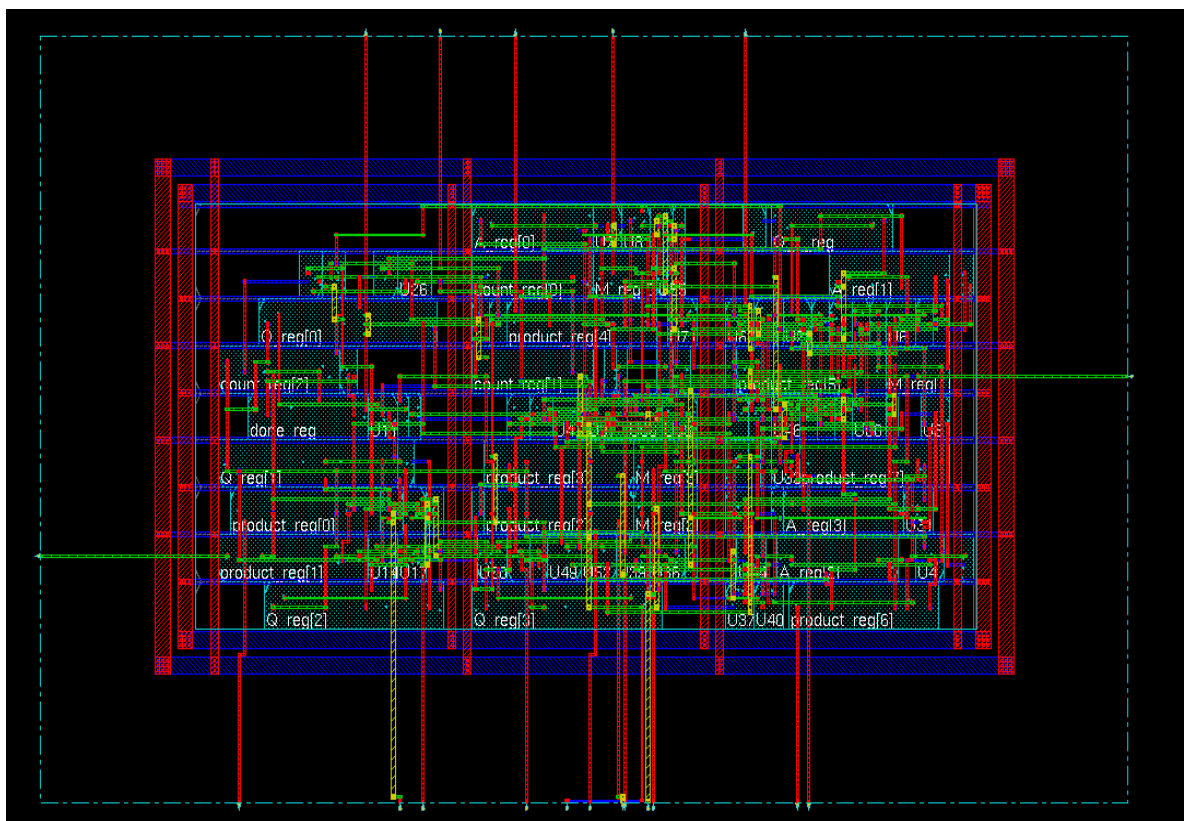
در این مرحله از مسیر "place standard cell" -> place را انتخاب می‌کنیم تا سلول‌های استاندارد به طرحمان اضافه شوند.



مسیریابی

8-1-1-1-1

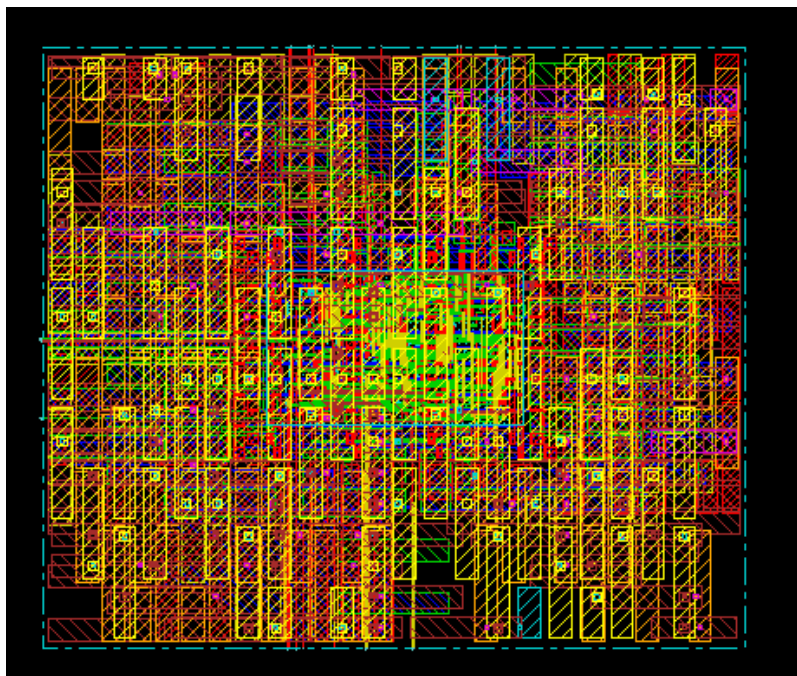
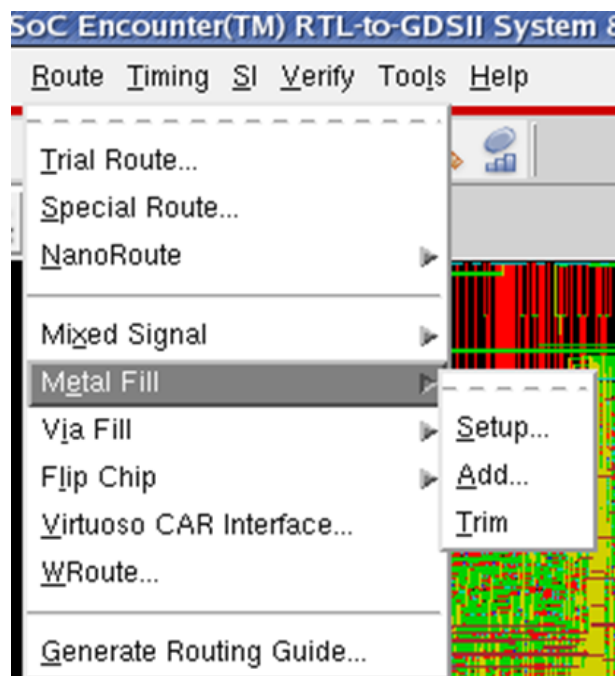
در این مرحله مسیریابی را توسط گزینه nanoroute از مسیر nanoroute -> route انجام می‌دهیم.



افزافه کردن metal filler

1-1-9

در این مرحله از مسیر `add>metal filler>route`، فضاهای خالی را پر می‌کنیم.



صحت‌سنجی

1-1-10

در اینجا به صحت‌سنجی و verification طرح می‌پردازیم. این کار را از مسیر "verification" انجام می‌دهیم. خروجی آن را مشاهده می‌کنید.

انجام verify geometry

```
*** Starting Verify Geometry (MEM: 405.8) ***

VERIFY GEOMETRY ..... Starting Verification
VERIFY GEOMETRY ..... Initializing
VERIFY GEOMETRY ..... Deleting Existing Violations
VERIFY GEOMETRY ..... Creating Sub-Areas
                        ..... bin size: 2080
VERIFY GEOMETRY ..... SubArea : 1 of 1
VERIFY GEOMETRY ..... Cells           : 0 Viols.
VERIFY GEOMETRY ..... SameNet          : 0 Viols.
VERIFY GEOMETRY ..... Wiring           : 0 Viols.
VERIFY GEOMETRY ..... Antenna          : 0 Viols.
VERIFY GEOMETRY ..... Sub-Area : 1 complete 0 Viols. 0 Wrngs.
VG: elapsed time: 1.00
Begin Summary ...
Cells           : 0
SameNet         : 0
Wiring          : 0
Antenna         : 0
Short           : 0
Overlap         : 0
End Summary

Verification Complete : 0 Viols. 0 Wrngs.

*****End: VERIFY GEOMETRY*****
*** verify geometry (CPU: 0:00:00.2 MEM: 2.6M)
```

انجام verify connectivity

***** Start: VERIFY CONNECTIVITY *****

Start Time: Mon Jun 30 01:08:55 2014

Design Name: booth_multiplier

Database Units: 2000

Design Boundary: (0.0000, 0.0000) (63.3400, 54.0200)

Error Limit = 1000; Warning Limit = 50

Check all nets

Begin Summary

Found no problems or warnings.

End Summary

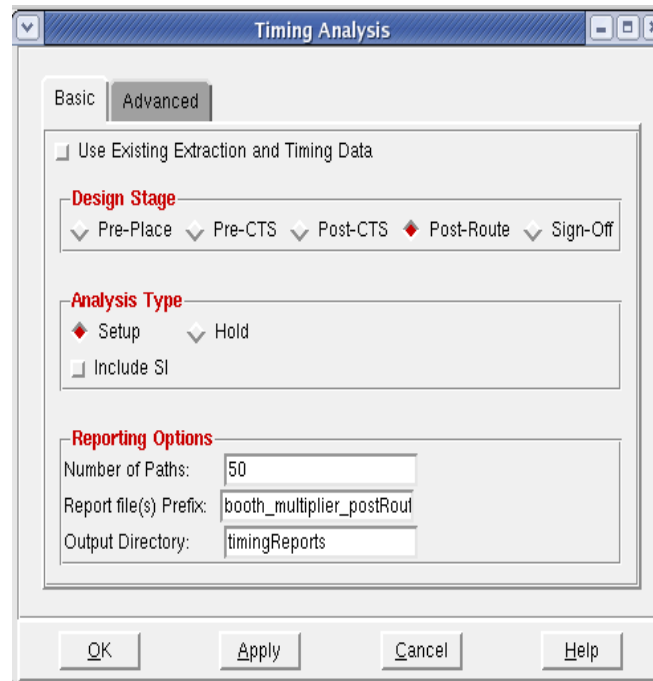
End Time: Mon Jun 30 01:08:55 2014

***** End: VERIFY CONNECTIVITY *****

Verification Complete : 0 Viols. 0 Wrngs.

(CPU Time: 0:00:00.0 MEM: 0.000M)

-i آنالیز زمان بندی برای setup



```

-----
timeDesign Summary
-----

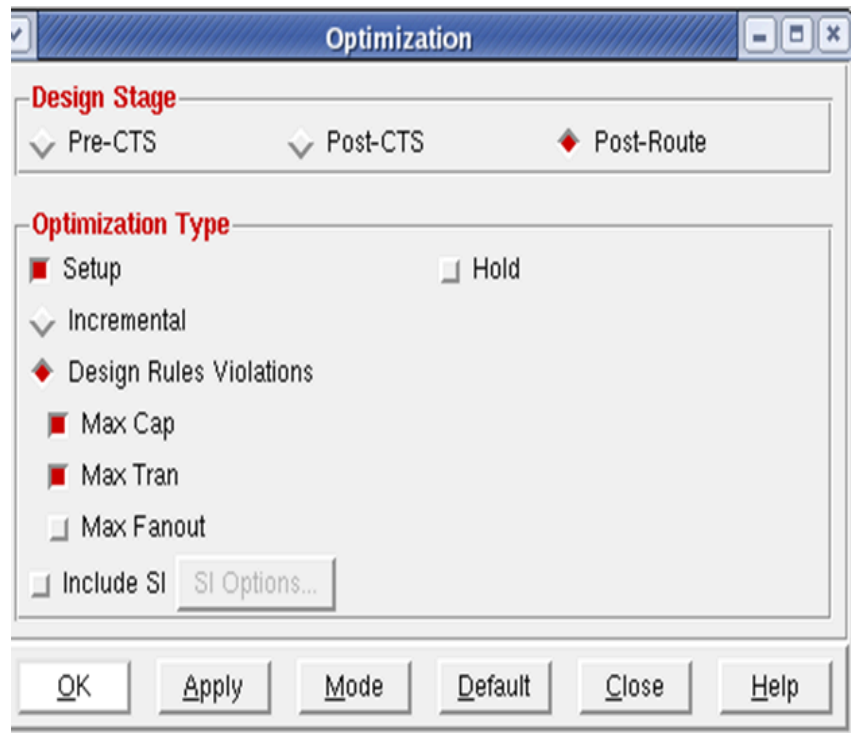
+-----+-----+-----+-----+-----+-----+
+| Setup mode | all | reg2reg | in2reg | reg2out | in2out | clkgate |
+|-----+-----+-----+-----+-----+-----+
+| WNS (ns):| 4.691 | 4.691 | 9.232 | N/A | N/A | N/A |
+| TNS (ns):| 0.000 | 0.000 | 0.000 | N/A | N/A | N/A |
+| Violating Paths:| 0 | 0 | 0 | N/A | N/A | N/A |
+| All Paths:| 62 | 37 | 25 | N/A | N/A | N/A |
+|-----+-----+-----+-----+-----+-----+

+-----+-----+-----+-----+
+| DRV's | Real | Total |
+|-----+-----+-----+
+| |Nr nets(terms)| Worst Vio |Nr nets(terms)|
+|-----+-----+-----+
+| max_cap | 1 (1) | -0.001 | 1 (1) |
+| max_tran | 0 (0) | 0.000 | 0 (0) |
+| max_fanout | 0 (0) | 0 | 0 (0) |
+|-----+-----+-----+

Density: 92.581%
-----
Reported timing to dir timingReports
Total CPU time: 0.17 sec
Total Real time: 0.0 sec
Total Memory Usage: 405.808594 Mbytes
-----

```

از آنجایی یکی از اعداد منفی شد بنابراین optimization>timing را انجام می‌دهیم



```
-----
optDesign Final Summary
-----

+-----+-----+-----+-----+-----+-----+
+      Setup mode      |  all  | reg2reg | in2reg | reg2out | in2out | clkgate |
+-----+-----+-----+-----+-----+-----+
+      WNS (ns):|  4.691 |  4.691 |  9.532 |  N/A   |  N/A   |  N/A   |
+-----+-----+-----+-----+-----+-----+
+      TNS (ns):|  0.000 |  0.000 |  0.000 |  N/A   |  N/A   |  N/A   |
+-----+-----+-----+-----+-----+-----+
+ Violating Paths:|    0   |    0   |    0   |  N/A   |  N/A   |  N/A   |
+-----+-----+-----+-----+-----+-----+
+      All Paths:|   62   |   37   |   25   |  N/A   |  N/A   |  N/A   |
+-----+-----+-----+-----+-----+-----+

+-----+-----+-----+
+      DRVs      |      Real      |      Total      |
+-----+-----+-----+
+      |Nr nets(terms)| Worst Vio |Nr nets(terms)|
+-----+-----+-----+
+ max_cap      |  0 (0)   |  0.000 |  0 (0)   |
+ max_tran     |  0 (0)   |  0.000 |  0 (0)   |
+ max_fanout   |  0 (0)   |    0   |  0 (0)   |
+-----+-----+-----+

Density: 92.688%

**optDesign ... cpu = 0:00:01, real = 0:00:01, mem = 408.9M **
*** Finished optDesign ***
encounter 1>
```

Timing Analysis

Basic **Advanced**

☐ Use Existing Extraction and Timing Data

Design Stage

Pre-Place Pre-CTS **Post-CTS** Post-Route Sign-Off

Analysis Type

Setup Hold

☐ Include SI

Reporting Options

Number of Paths: 50

Report file(s) Prefix: booth_multiplier_postCTS

Output Directory: timingReports

OK Apply Cancel Help

```

-----
timeDesign Summary
-----
+-----+-----+-----+-----+-----+-----+-----+
| Setup mode | all | reg2reg | in2reg | reg2out | in2out | clkgate |
+-----+-----+-----+-----+-----+-----+
| WNS (ns): | 5.325 | 5.325 | 8.896 | N/A | N/A | N/A |
| TNS (ns): | 0.000 | 0.000 | 0.000 | N/A | N/A | N/A |
| Violating Paths: | 0 | 0 | 0 | N/A | N/A | N/A |
| All Paths: | 62 | 37 | 25 | N/A | N/A | N/A |
+-----+-----+-----+-----+-----+-----+
+-----+-----+-----+-----+-----+
| DRVs | Real | Total | |
|---|---|---|---|
| | Nr nets(terms) | Worst Vio | Nr nets(terms) |
+-----+-----+-----+
| max_cap | 0 (0) | 0.000 | 0 (0) |
| max_tran | 0 (0) | 0.000 | 0 (0) |
| max_fanout | 0 (0) | 0 | 0 (0) |
+-----+-----+-----+

Density: 96.237%
Routing Overflow: 0.00% H and 0.19% V
-----
Reported timing to dir timingReports
Total CPU time: 0.18 sec
Total Real time: 0.0 sec
Total Memory Usage: 409.179688 Mbytes
encounter 1> █

```

آنالیز زمان بندی برای hold

Timing Analysis

Basic | **Advanced**

☐ Use Existing Extraction and Timing Data

Design Stage

Pre-Place
 Pre-CTS
 Post-CTS
 Post-Route
 Sign-Off

Analysis Type

Setup
 Hold

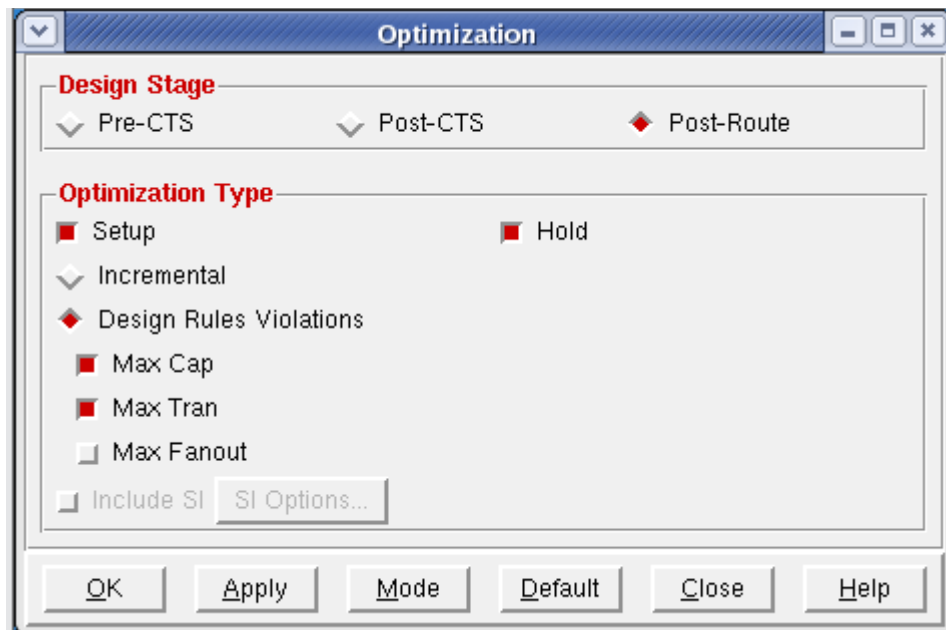
☐ Include SI

Reporting Options

Number of Paths:
 Report file(s) Prefix:
 Output Directory:

```

-----
timeDesign Summary
-----
+-----+-----+-----+-----+-----+-----+
+| Hold mode | all | reg2reg | in2reg | reg2out | in2out | clkgate |
+|-----+-----+-----+-----+-----+-----+
+| WNS (ns):| -0.150 | 0.102 | -0.150 | N/A | N/A | N/A |
+| TNS (ns):| -0.591 | 0.000 | -0.591 | N/A | N/A | N/A |
+| Violating Paths:| 7 | 0 | 7 | N/A | N/A | N/A |
+| All Paths:| 62 | 37 | 25 | N/A | N/A | N/A |
+|-----+-----+-----+-----+-----+-----+
+
Density: 92.581%
-----
Reported timing to dir timingReports
Total CPU time: 0.15 sec
Total Real time: 0.0 sec
Total Memory Usage: 405.808594 Mbytes
encounter 1>
    
```

optDesign Final Summary							

Setup mode	all	reg2reg	in2reg	reg2out	in2out	clkgate	

WNS (ns):	4.691	4.691	8.893	N/A	N/A	N/A	
TNS (ns):	0.000	0.000	0.000	N/A	N/A	N/A	
Violating Paths:	0	0	0	N/A	N/A	N/A	
All Paths:	62	37	25	N/A	N/A	N/A	

Hold mode	all	reg2reg	in2reg	reg2out	in2out	clkgate	

WNS (ns):	-0.146	0.102	-0.146	N/A	N/A	N/A	
TNS (ns):	-0.566	0.000	-0.566	N/A	N/A	N/A	
Violating Paths:	5	0	5	N/A	N/A	N/A	
All Paths:	62	37	25	N/A	N/A	N/A	

DRVs	Real		Total				
	Nr nets(terms)		Worst Vio	Nr nets(terms)			
max_cap	0 (0)		0.000	0 (0)			
max_tran	0 (0)		0.000	0 (0)			
max_fanout	0 (0)		0	0 (0)			

Timing Analysis

Basic **Advanced**

☐ Use Existing Extraction and Timing Data

Design Stage

Analysis Type

☐ Include SI

Reporting Options

Number of Paths:
 Report file(s) Prefix:
 Output Directory:

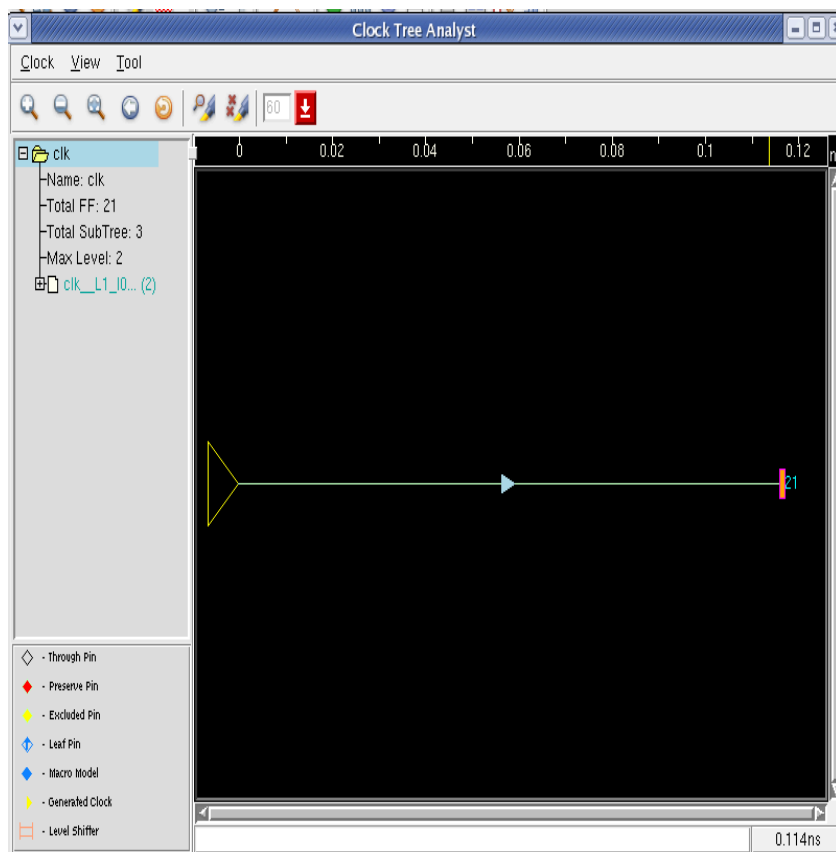
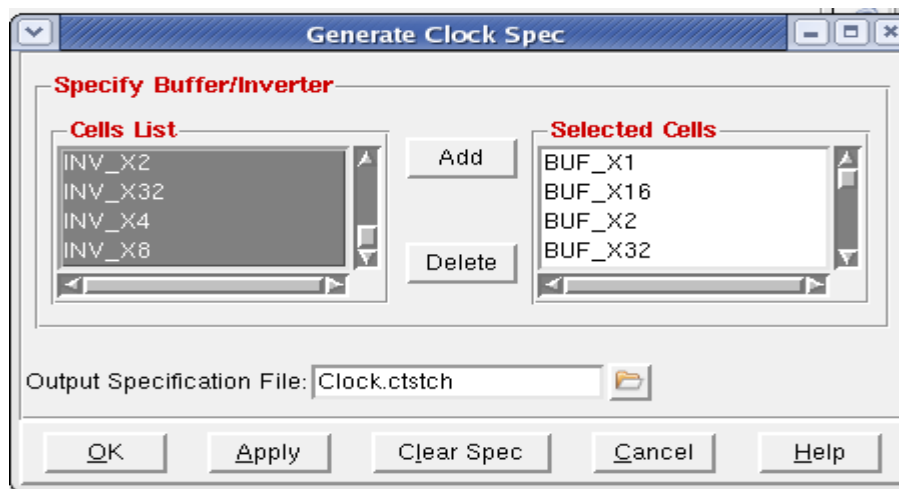
```

-----
timeDesign Summary
-----
+-----+-----+-----+-----+-----+-----+
+ Hold mode | all | reg2reg | in2reg | reg2out | in2out | clkgate |
+-----+-----+-----+-----+-----+-----+
+ WNS (ns): | -0.148 | 0.100 | -0.148 | N/A | N/A | N/A |
+-----+-----+-----+-----+-----+-----+
+ TNS (ns): | -0.587 | 0.000 | -0.587 | N/A | N/A | N/A |
+-----+-----+-----+-----+-----+-----+
+ Violating Paths: | 6 | 0 | 6 | N/A | N/A | N/A |
+-----+-----+-----+-----+-----+-----+
+ All Paths: | 62 | 37 | 25 | N/A | N/A | N/A |
+-----+-----+-----+-----+-----+-----+
+
Density: 96.237%
Routing Overflow: 0.00% H and 0.19% V
-----
Reported timing to dir timingReports
Total CPU time: 0.17 sec
Total Real time: 0.0 sec
Total Memory Usage: 409.179688 Mbytes
  
```

-----+-----+-----+-----+-----+-----+-----+-----							
Setup mode	all	reg2reg	in2reg	reg2out	in2out	clkgate	
-----+-----+-----+-----+-----+-----+-----+-----							
WNS (ns):	5.325	5.325	8.896	N/A	N/A	N/A	
TNS (ns):	0.000	0.000	0.000	N/A	N/A	N/A	
Violating Paths:	0	0	0	N/A	N/A	N/A	
All Paths:	62	37	25	N/A	N/A	N/A	
-----+-----+-----+-----+-----+-----+-----+-----							
-----+-----+-----+-----+-----+-----+-----+-----							
Hold mode	all	reg2reg	in2reg	reg2out	in2out	clkgate	
-----+-----+-----+-----+-----+-----+-----+-----							
WNS (ns):	-0.148	0.100	-0.148	N/A	N/A	N/A	
TNS (ns):	-0.587	0.000	-0.587	N/A	N/A	N/A	
Violating Paths:	6	0	6	N/A	N/A	N/A	
All Paths:	62	37	25	N/A	N/A	N/A	
-----+-----+-----+-----+-----+-----+-----+-----							
-----+-----+-----+-----+-----+-----+-----+-----							
DRVs	Real		Total				
	+-----+-----+-----+-----+-----+-----+-----+-----						
	Nr nets(terms)	Worst Vio	Nr nets(terms)				
-----+-----+-----+-----+-----+-----+-----+-----							
max_cap	0 (0)	0.000	0 (0)				
max_tran	0 (0)	0.000	0 (0)				
max_fanout	0 (0)	0	0 (0)				
-----+-----+-----+-----+-----+-----+-----+-----							

1-1-11 انجام clock tree analysis

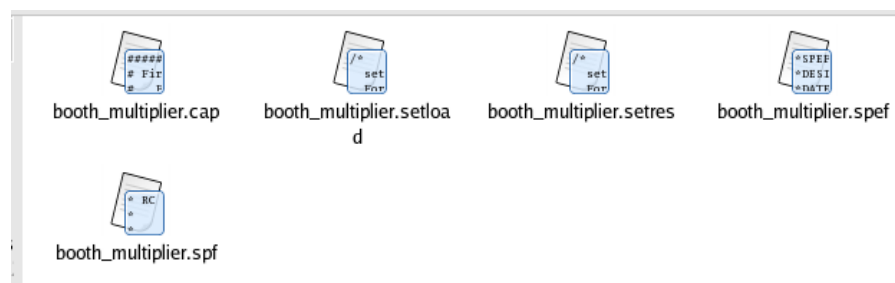
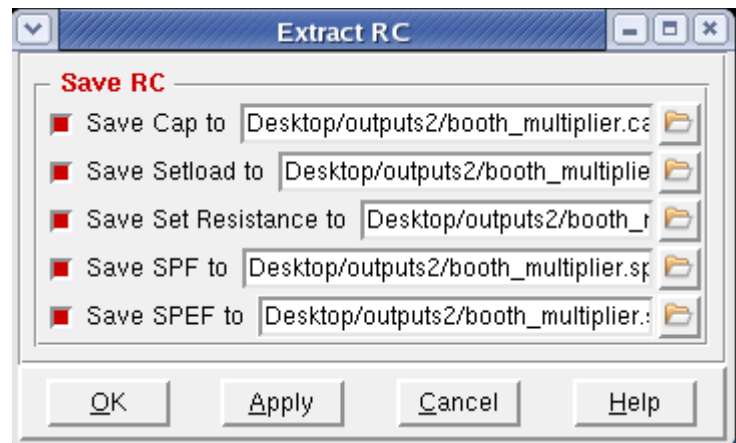
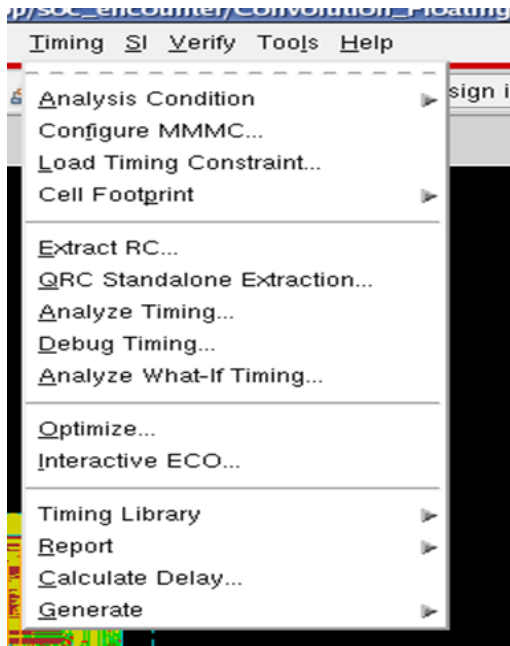
در مسیر clock>design clock می‌رویم



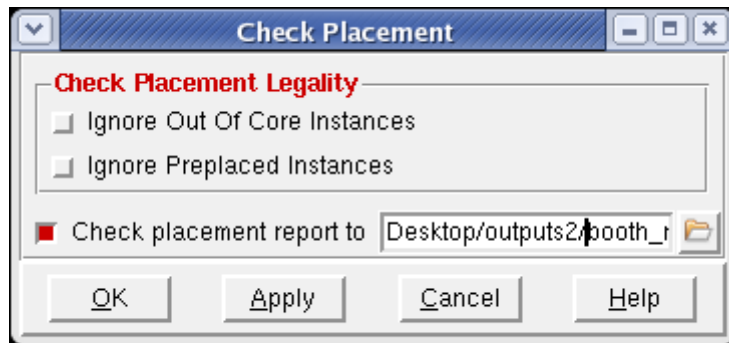
tree	instance_name
1 INV_X32 A	clk__L1_I0
2 INV_X16 A	clk__L2_I0
3 DFFR_X1 CK	count_reg[1]
3 DFFS_X2 CK	count_reg[2]
3 DFFR_X1 CK	done_reg
3 DFFRS_X2 CK	Q_reg[3]
3 DFFRS_X2 CK	Q_reg[2]
3 DFFRS_X2 CK	Q_reg[1]
3 DFFRS_X2 CK	Q_reg[0]
3 DFFR_X1 CK	A_reg[1]
3 DFFR_X1 CK	A_reg[2]
3 DFFR_X1 CK	A_reg[3]
3 SDFFR_X2 CK	product_reg[7]
3 SDFFR_X2 CK	product_reg[6]
3 SDFFR_X2 CK	product_reg[5]
3 SDFFR_X2 CK	product_reg[4]
3 SDFFR_X2 CK	product_reg[0]
3 SDFFR_X2 CK	product_reg[1]
3 SDFFR_X2 CK	product_reg[2]
3 SDFFR_X2 CK	product_reg[3]
3 DFFR_X2 CK	count_reg[0]
3 DFFR_X2 CK	Q_1_reg
3 DFFR_X2 CK	A_reg[0]

1-1-12 استخراج فایل .spef

از مسیر RC>extract timing اطلاعات پارازیتی توصیف‌گر خازنها و مقاومت‌ها و تاخیرات به دست می‌آوریم.



1-1-13 انجام check placement



```
booth_multiplier.checkPlace x
#####
# Generated by:      Cadence First Encounter 08.10-p004_1
# OS:                Linux i686(Host ID ICICVM.lab.edu)
# Generated on:      Mon Jun 30 01:51:20 2014
# Command:           checkPlace Desktop/outputs2/
booth_multiplier.checkPlac...
#####

## No violations found ##
```

Specify Floorplan

Basic Advanced

Design Dimensions

Specify By: ☒ Size ☐ Die/IO/Core Coordinates

☐ Core Size by: ☒ Aspect Ratio: Ratio (H/W): 0.68680865

☒ Core Utilization: 1.556962

☐ Cell Utilization: 1.4543

☐ Dimension: Width: 15.1425

Height: 10.4

☒ Die Size by: Width: 55.2825

Height: 50.42

Core Margins by: ☒ Core to IO Boundary

☐ Core to Die Boundary

Core to Left: 20.14 Core to Top: 20.0

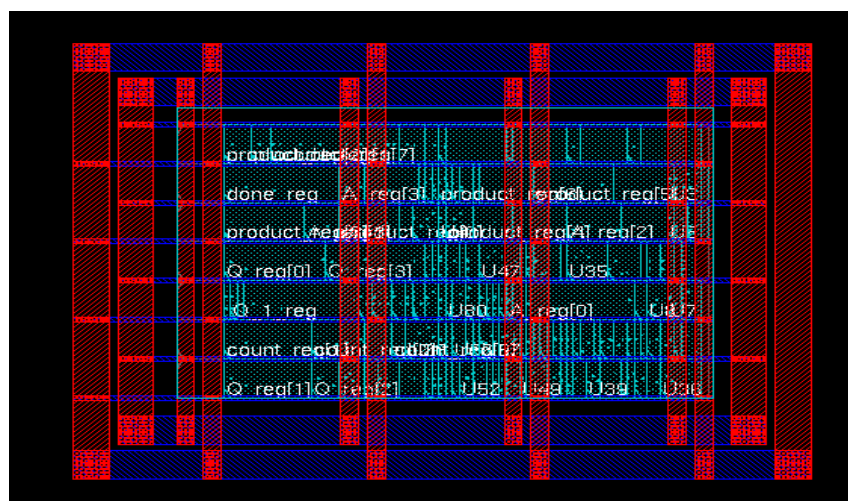
Core to Right: 20.0 Core to Bottom: 20.02

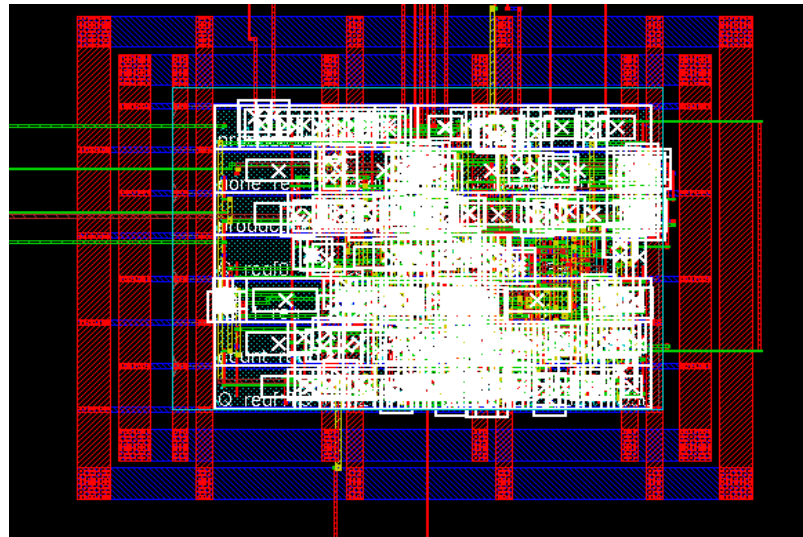
IO Box Calculation Use: ☐ Max IO Height ☒ Min IO Height

Floorplan Origin at: ☒ Lower Left Corner ☐ Center

Unit: Micron

OK Apply Cancel Help





دچار violation شدیم.

1

Specify Floorplan

Basic Advanced

Design Dimensions

Specify By: ☒ Size ☐ Die/IO/Core Coordinates

☒ Core Size by: ☒ Aspect Ratio: Ratio (H/W): 0.72839066

☒ Core Utilization: 0.70516

☐ Cell Utilization: 0.703409

☐ Dimension: Width: 21.1425

Height: 15.4

☐ Die Size by: Width: 121.3025

Height: 115.52

Core Margins by: ☒ Core to IO Boundary

☐ Core to Die Boundary

Core to Left: 50.16 Core to Top: 50.0

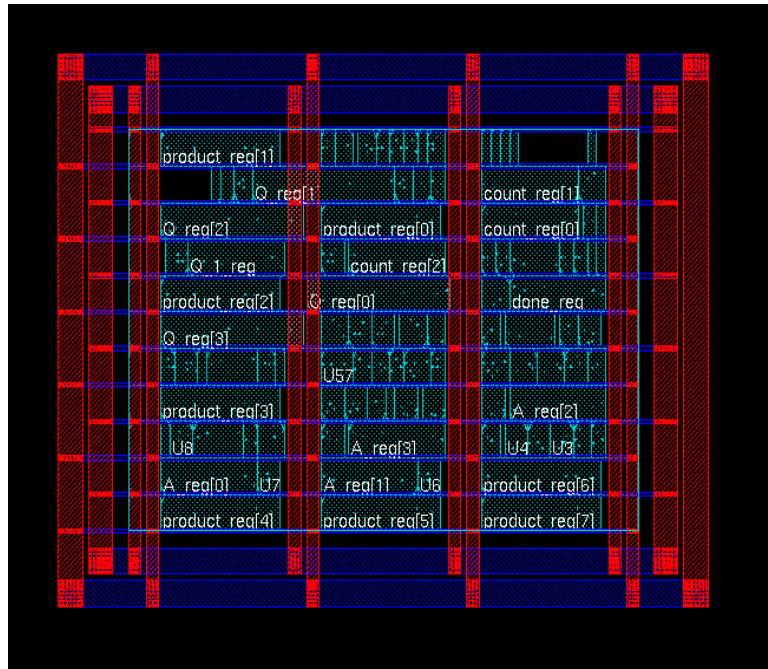
Core to Right: 50.0 Core to Bottom: 50.12

Die Size Calculation Use: ☐ Max IO Height ☒ Min IO Height

Floorplan Origin at: ☒ Lower Left Corner ☐ Center

Unit: Micron

OK Apply Cancel Help



```

VERIFY GEOMETRY ..... Creating Sub-Areas
                        ..... bin size: 2080
VERIFY GEOMETRY ..... SubArea : 1 of 1
VERIFY GEOMETRY ..... Cells           : 13 Viols.
VERIFY GEOMETRY ..... SameNet          : 0 Viols.
VERIFY GEOMETRY ..... Wiring           : 0 Viols.
VERIFY GEOMETRY ..... Antenna          : 0 Viols.
VERIFY GEOMETRY ..... Sub-Area : 1 complete 10 Viols. 0 Wrng
VG: elapsed time: 1.00
Begin Summary ...
Cells           : 0
SameNet         : 0
Wiring          : 3
Antenna         : 0
Short           : 10
Overlap         : 0
End Summary

Verification Complete : 10 Viols. 0 Wrngs.

*****End: VERIFY GEOMETRY*****
*** verify geometry (CPU: 0:00:00.4 MEM: 5.0M)
encounter 1> ■

End Summary

End Time: Sun Jul 13 01:38:14 2014
***** End: VERIFY CONNECTIVITY *****
Verification Complete : 6 Viols. 0 Wrngs.
(CPU Time: 0:00:00.3 MEM: 0.000M)

encounter 1>

```

Specify Floorplan

Basic **Advanced**

Design Dimensions

Specify By: ☒ Size ☐ Die/IO/Core Coordinates

☒ Core Size by: ☒ Aspect Ratio: Ratio (H/W): 0.72839068

☒ Core Utilization: 0.70516

☐ Cell Utilization: 0.703409

☐ Dimension: Width: 21.1425

Height: 15.4

☐ Die Size by: Width: 111.1725

Height: 105.48

Core Margins by: ☒ Core to IO Boundary

☐ Core to Die Boundary

Core to Left: 45.03 Core to Top: 45.0

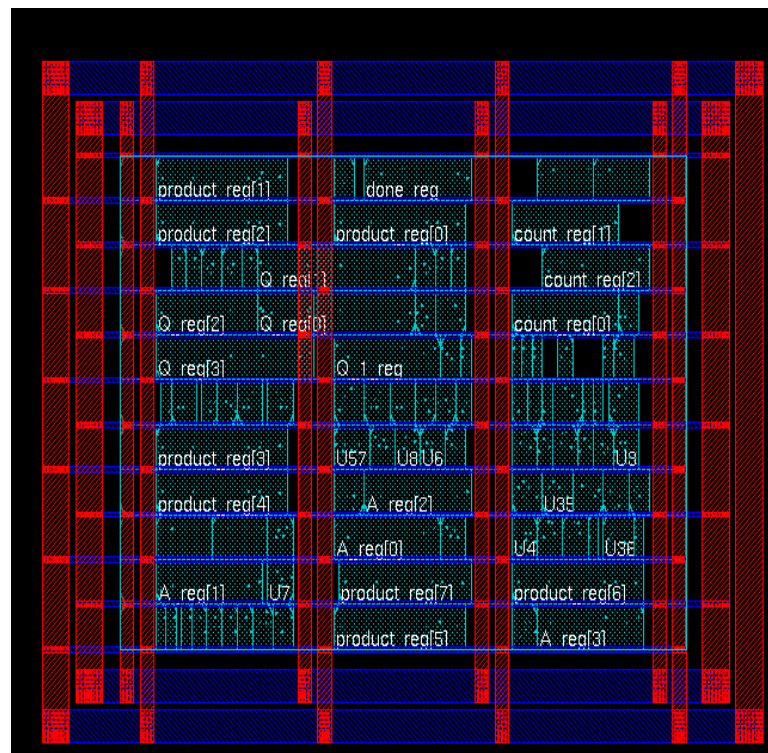
Core to Right: 45.0 Core to Bottom: 45.08

Die Size Calculation Use: ☐ Max IO Height ☒ Min IO Height

Floorplan Origin at: ☒ Lower Left Corner ☐ Center

Unit: Micron

OK Apply Cancel Help



Verification Complete : 101 Viols. 0 Wrngs.

*****End: VERIFY GEOMETRY*****

*** verify geometry (CPU: 0:00:00.2 MEM: 4.6M)

ncounter 1> █

End Time: Sun Jul 13 01:43:38 2014
 ***** End: VERIFY CONNECTIVITY *****
 Verification Complete : 6 Viols. 0 Wrngs.
 (CPU Time: 0:00:00.3 MEM: 0.000M)

encounter 1> █

3

Specify Floorplan

Basic **Advanced**

Design Dimensions

Specify By: ☒ Size ☐ Die/IO/Core Coordinates

☒ Core Size by: ☒ Aspect Ratio: Ratio (H/W): 0.72839066

☐ Core Utilization: 0.70516

☐ Cell Utilization: 0.703409

☐ Dimension: Width: 21.1425

Height: 15.4

☐ Die Size by: Width: 101.2325

Height: 95.44

Core Margins by: ☒ Core to IO Boundary

☐ Core to Die Boundary

Core to Left: 40.09 Core to Top: 40.0

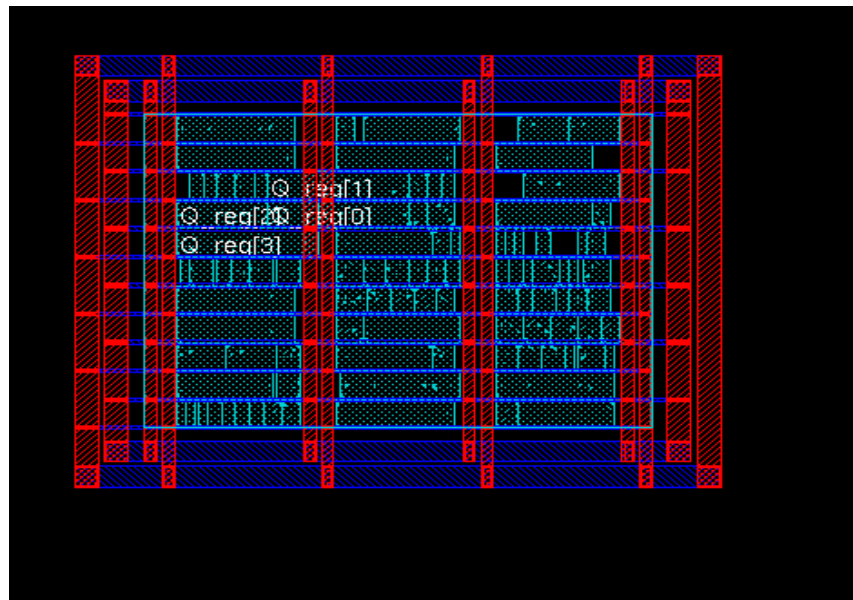
Core to Right: 40.0 Core to Bottom: 40.04

Die Size Calculation Use: ☐ Max IO Height ☒ Min IO Height

Floorplan Origin at: ☒ Lower Left Corner ☐ Center

Unit: Micron

OK Apply Cancel Help



End Summary

Verification Complete : 97 Viols. 0 Wrngs.

*****End: VERIFY GEOMETRY*****

*** verify geometry (CPU: 0:00:00.3 MEM: 4.4M)

encounter 1> █

nd Time: Sun Jul 13 01:49:14 2014

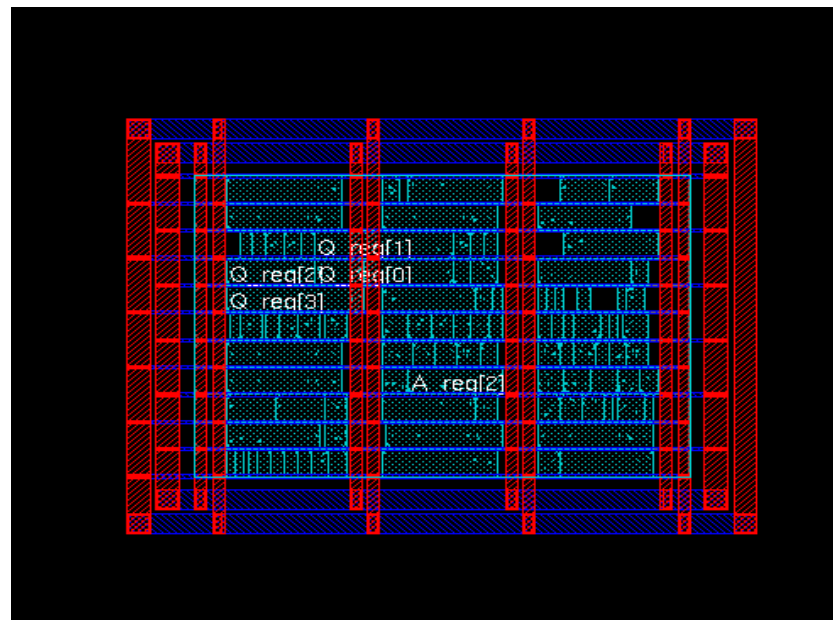
***** End: VERIFY CONNECTIVITY *****

Verification Complete : 6 Viols. 0 Wrngs.

(CPU Time: 0:00:00.3 MEM: 0.020M)

ncounter 1> █

4



End Summary

Verification Complete : 97 Viols. 0 Wrngs.

*****End: VERIFY GEOMETRY*****

*** verify geometry (CPU: 0:00:00.3 MEM: 4.4M)

Specify Floorplan

Basic **Advanced**

Design Dimensions

Specify By: ☒ Size ☐ Die/IO/Core Coordinates

☒ Core Size by: ☒ Aspect Ratio: Ratio (H/W): 0.60195635

☒ Core Utilization: 0.705738

☐ Cell Utilization: 0.703386

☐ Dimension: Width: 23.2575
Height: 14.0

☐ Die Size by: Width: 83.2775
Height: 74.1

Core Margins by: ☒ Core to IO Boundary

☐ Core to Die Boundary

Core to Left: 30.02 Core to Top: 30.0

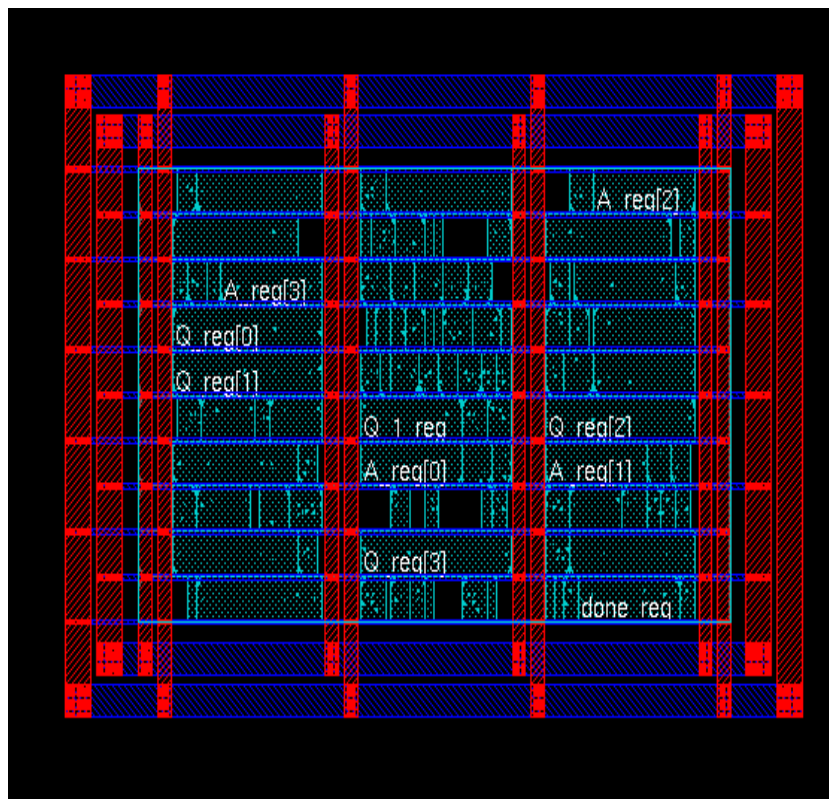
Core to Right: 30.0 Core to Bottom: 30.1

Die Size Calculation Use: ☐ Max IO Height ☒ Min IO Height

Floorplan Origin at: ☒ Lower Left Corner ☐ Center

Unit: Micron

OK Apply Cancel Help



Verification Complete: 0 Viols. 0 Wrngs.

*****End: VERIFY GEOMETRY*****

*** verify geometry (CPU: 0:00:00.2 MEM: 3.8M)

encounter 1> █

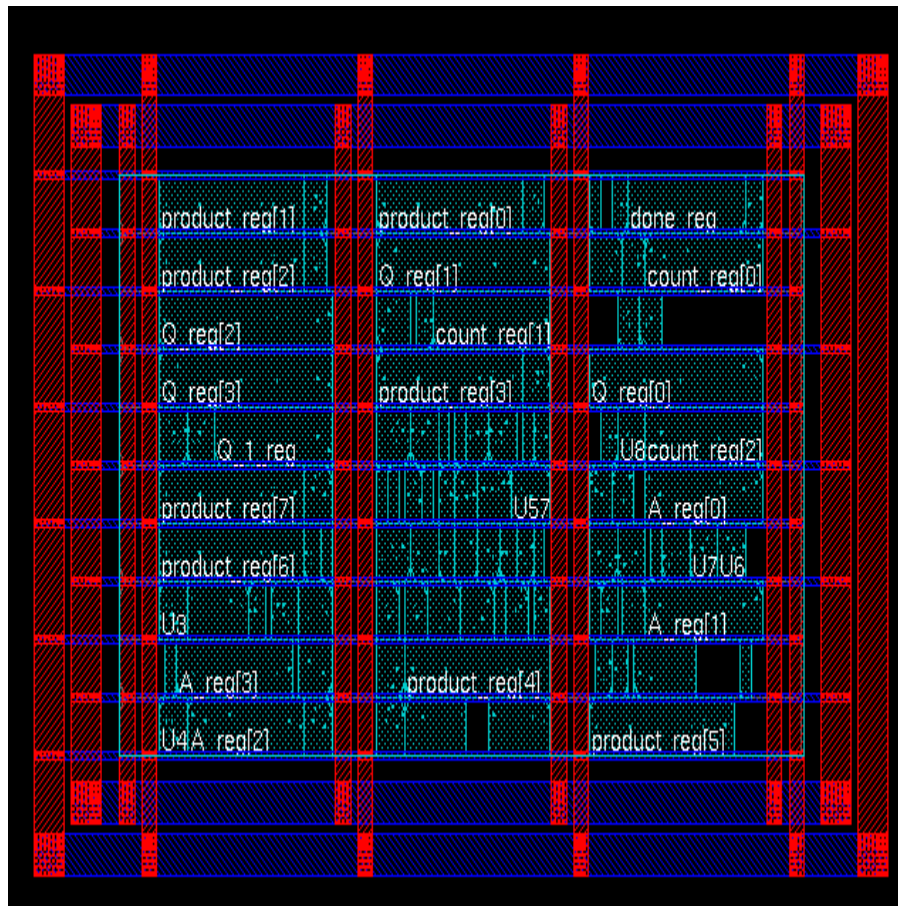
End Time: Sun Jul 13 02:05:57 2014

***** End: VERIFY CONNECTIVITY *****

Verification Complete : 0 Viols. 0 Wrngs.
(CPU Time: 0:00:00.0 MEM: 0.000M)

encounter 1>

6



Verification Complete : 0 Viols. 0 Wrngs.

*****End: VERIFY GEOMETRY*****

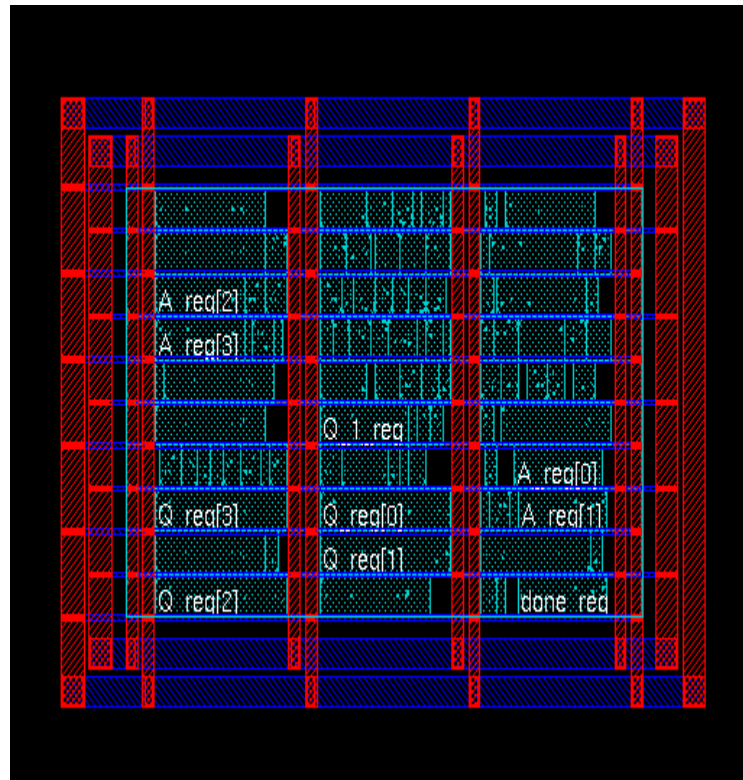
*** verify geometry (CPU: 0:00:00.1 MEM: 4.4M)

End Time: Sun Jul 13 02:09:48 2014

***** End: VERIFY CONNECTIVITY *****

Verification Complete : 0 Viols. 0 Wrngs.
(CPU Time: 0:00:00.0 MEM: 0.000M)

encounter 1> █



Verification Complete : 0 Viols. 0 Wrngs.

*****End: VERIFY GEOMETRY*****

*** verify geometry (CPU: 0:00:00.2 MEM: 5.5M)

encounter 1>

End Time: Sun Jul 13 02:13:18 2014

***** End: VERIFY CONNECTIVITY *****

Verification Complete : 0 Viols. 0 Wrngs.
(CPU Time: 0:00:00.0 MEM: 0.000M)

Specify Floorplan

Basic **Advanced**

Design Dimensions

Specify By: ☒ Size ☐ Die/IO/Core Coordinates

☒ Core Size by: ☒ Aspect Ratio: Ratio (H/W): 0.60195635

☒ Core Utilization: 0.705738

☐ Cell Utilization: 0.703386

☐ Dimension: Width: 23.2575

Height: 14.0

☐ Die Size by: Width: 263.3375

Height: 254.12

Core Margins by: ☒ Core to IO Boundary

☐ Core to Die Boundary

Core to Left: 120.08 Core to Top: 120.0

Core to Right: 120.0 Core to Bottom: 120.12

Die Size Calculation Use: ☐ Max IO Height ☒ Min IO Height

Floorplan Origin at: ☒ Lower Left Corner ☐ Center

Unit: Micron

OK Apply Cancel Help

خسته نباشید :