



دانشگاه صنعتی شریف
دانشکده مهندسی کامپیوتر

فاز دوم پروژه‌ی درس طراحی VLSI پیشرفته

طراحی و پیاده‌سازی مدار جمع‌کننده‌ی باینری در سطح ترانزیستور

استاد: دکتر شاهین حسابی

نیمسال دوم ۱۴۰۲-۱۴۰۳

۱ هدف کلی

آشنایی با نحوه‌ی طراحی و پیاده‌سازی مدارهای دیجیتال در سطح ترانزیستور و استفاده از نرم‌افزار HSPICE

۲ مقدمه

در این فاز از پروژه، مدار یک جمع‌کننده‌ی باینری در سطح ترانزیستور طراحی خواهد شد برای این منظور از نرم‌افزار HSPICE استفاده می‌شود. نرم‌افزار HSPICE برنامه‌ای برای شبیه‌سازی^۱ مدارهای الکتریکی و الکترونیکی است که قابلیت تجزیه و تحلیل‌های متنوعی از جمله گذرا^۲، DC و AC را دارد. همچنین با نرم‌افزار مذکور می‌توان پارامترهای مدار نظیر توان مصرفی و تأخیر را نیز اندازه‌گیری کرد. در ادامه مراحل انجام این فاز از پروژه به ترتیب شرح داده خواهد شد.

۳ مراحل انجام پروژه

در این بخش توضیحاتی در مورد هر مرحله‌ی پروژه‌ی ارائه می‌گردد.

توجه

تمامی مراحل این پروژه بر روی فایل‌های ارائه شده، بررسی شده‌است و از کارکرد و صحت آن اطمینان حاصل شده است. بدیهی است حل هر گونه مشکل پیش آمده در طول انجام پروژه بر عهده‌ی دانشجویان است.

مرحله‌ی اول. طراحی مدار جمع‌کننده در سطح ترانزیستور

با استفاده از HSPICE یک جمع‌کننده‌ی Ripple Carry هشت بیتی طراحی نمایید و صحت عملکرد مدار برای حالت‌های مختلف را بررسی نمایید. در گزارش پروژه نیز تصاویری از صحت عملکرد مدار و خروجی‌های آن برای حالت‌های مختلف قرار دهید. مدار بایستی با استفاده از منطق CMOS پیاده‌سازی شود. همچنین برای طراحی از کتابخانه‌ی ۴۵ نانومتر استفاده نمایید. در این فاز موارد زیر بایستی در نظر گرفته شود:

۱. تمامی گیت‌ها (مانند Nand؛ Xnor و...) باید به نحوی پیاده‌سازی شوند که تأخیر صعود^۳ و نزول^۴ برابر داشته باشند.
۲. تمامی واحدها یا بخش‌های مدار باید از اول طراحی شوند و اندازه‌ی ترانزیستورهای هر گیت نیز مطابق مورد خواسته‌شده باید تنظیم شود.
۳. تأخیرها (تأخیر صعود و نزول) و توان نشتی^۵ تمام واحدهای^۶ پایه (مانند Nand2، Xnor2) را با استفاده از HSPICE اندازه‌گیری نمایید. توان نشتی را برای تمام حالات ورودی یک واحد به‌صورت جداگانه محاسبه کنید (در مرحله‌ی بعد از این موارد استفاده خواهد شد). همچنین نحوه‌ی اندازه‌گیری توان نشتی و تأخیرهای مدار را در گزارش شرح دهید.

راهنمایی

برای آسان‌شدن طراحی می‌توان برای قسمت‌هایی از مدار که چندین بار در چند جا تکرار می‌شوند از قابلیت SUBCKT. در نرم‌افزار HSPICE استفاده کرد.

^۱Simulation

^۲Transient

^۳Rise

^۴Fall

^۵Leakage

^۶Module

مرحله‌ی دوم. مقایسه‌ی نرم‌افزارهای Design Compiler و HSPICE

در این مرحله ابتدا مشابه فاز اول با یکی از زبان‌های توصیف سخت‌افزار^۷ یک مدار جمع‌کننده‌ی Ripple Carry هشت بیتی طراحی نمایید و صحت عملکرد مدار برای حالت‌های مختلف را بررسی نمایید. (مدار طراحی شده باید قابل سنتز باشد.) مدار طراحی شده را با استفاده از Design Compiler برای یکی از حالت‌های مطرح‌شده در فاز اول به انتخاب خودتان (به عنوان مثال بهینه‌سازی مساحت، کامپایل ساده و بدون ungrouping و flatten) سنتز نمایید و توان ایستای مصرفی، توان پویای مصرفی، تأخیر مسیر بحرانی و حاصل‌ضرب توان کل در تأخیر^۸ مدار مذکور را اندازه‌گیری و در گزارش ذکر نمایید.

سیس بایستی مدار طراحی شده را با استفاده از کتابخانه‌ی جدیدی که خواهید ساخت، سنتز نمایید. برای این منظور نیاز است تغییراتی در کتابخانه‌ی مورد استفاده‌ی Design Compiler اعمال نمایید. ابتدا در فایل NanGate.lib فقط واحدهایی را نگه دارید که در مرحله‌ی قبل توسط HSPICE پیاده‌سازی کرده‌اید و گیت‌های دیگر (مانند گیت‌های پیچیده‌ی AOI) را حذف کنید. در این قسمت توان‌های ناشی که در مرحله‌ی اول به دست آورده‌اید را با اعداد پیش‌فرض کتابخانه جایگزین نمایید. سپس فایل db مربوط به کتابخانه‌ی تغییر یافته را تولید نمایید. در انتها مدار جمع‌کننده را با کتابخانه‌ی جدید، مشابه حالتی که در ابتدای این مرحله برای سنتز انتخاب کردید، سنتز کنید و توان ایستای مصرفی، توان پویای مصرفی، تأخیر مسیر بحرانی و حاصل‌ضرب توان کل در تأخیر را اندازه‌گیری کنید. پارامترهای به دست آمده در این مرحله برای این دو حالت را مقایسه کنید و دلایل تغییر یا عدم تغییر در پارامترهای مذکور را در گزارش شرح دهید.

۴ نکات تحویل پروژه

۱. مراحل انجام پروژه باید به صورت گزارش ارائه شود. گزارش باید شامل نحوه‌ی انجام شبیه‌سازی‌ها، تصاویر، نتایج به دست آمده و سایر موارد خواسته شده به صورت ذکر شده در صورت پروژه باشد.
 ۲. پروژه می‌تواند به صورت گروهی (حداکثر اعضای گروه دو نفر) انجام شود. انجام پروژه به صورت فردی (تک نفره) بلامانع است، ولی نمره‌دهی و بررسی پروژه، مشابه گروه‌های دو نفره خواهد بود.
 ۳. فایل‌ها، خروجی‌های به دست آمده و فایل گزارش (به صورت pdf) را به صورت فشرده با یکی از فرمت‌های زیر در سامانه‌ی درس‌افزار (CW) بارگذاری نمایید.
- Adv_VLSI-P2(student number1-student number2).zip**
Adv_VLSI-P2(student number1-student number2).rar
۴. به تاریخ تحویل پروژه در سامانه‌ی درس‌افزار (CW) توجه نمایید.
 ۵. با توجه به شرایط، ممکن است در صورت نیاز زمانی برای تحویل پروژه به صورت حضوری یا غیر حضوری در نظر گرفته شود که زمان آن متعاقباً در سامانه‌ی درس‌افزار (CW) اعلام می‌شود.
 ۶. می‌توانید سوالات یا ابهامات خود را به ایمیل sareh.sm.2000@gmail.com یا pch.toutounchian@gmail.com ارسال نمایید.

توجه

رعایت آداب آموزشی در انجام پروژه و تمرین‌های درس الزامی است. لطفاً آیین‌نامه مصوب دانشکده را دقیقاً مطالعه فرمایید. در صورت مشاهده‌ی هرگونه تقلب علمی، نمره‌ی آن تمرین برای هر دو طرف (کپی دهنده و کپی گیرنده) ۱۰۰- منظور خواهد شد.

موفق و سلامت باشید

^۷Hardware Description Language (HDL)

^۸Power Delay Product (PDP)