



دانشگاه صنعتی شریف
دانشکده مهندسی کامپیوتر

فاز اول پروژه‌ی درس طراحی VLSI پیشرفته

طراحی و پیاده‌سازی ASIC ضرب‌کننده‌ی Booth چهار بیتی علامت‌دار

استاد: دکتر شاهین حسابی

نیمسال دوم ۱۴۰۲-۱۴۰۳

۱ هدف کلی

آشنایی با نحوه‌ی طراحی و پیاده‌سازی ASIC مدارهای دیجیتال و استفاده از نرم‌افزارهای Design Compiler و SoC Encounter

۲ مقدمه

در این فاز از پروژه مراحل طراحی و پیاده‌سازی ASIC مدارهای دیجیتال شامل سنتز^۱، جانمایی^۲، مسیریابی^۳ به‌طور کامل انجام خواهد شد. همچنین بهینه‌سازی‌هایی^۴ بر روی مدار طراحی‌شده اعمال می‌گردد و نتایج حاصل از این بهینه‌سازی‌ها با یکدیگر مقایسه می‌شود. برای این منظور از ابزارهایی نظیر Modelsim، Design Compiler و SoC Encounter استفاده می‌شود. در ادامه مراحل انجام این فاز از پروژه به ترتیب شرح داده خواهد شد.

۳ مراحل انجام پروژه

در این بخش توضیحاتی در مورد هر مرحله‌ی پروژه‌ی ارائه می‌گردد.

توجه

تمامی مراحل این پروژه بر روی فایل‌های ارائه شده، بررسی شده‌است و از کارکرد و صحت آن اطمینان حاصل شده‌است. بدیهی است حل هر گونه مشکل پیش آمده در طول انجام پروژه بر عهده‌ی دانشجویان است.

مرحله‌ی اول. طراحی و شبیه‌سازی ضرب‌کننده‌ی Booth

با استفاده از یکی از زبان‌های توصیف سخت‌افزار^۵ Verilog یا VHDL یک ضرب‌کننده‌ی Booth طراحی نمایید که حاصل ضرب دو عدد چهار بیتی علامت‌دار را محاسبه کند. مدار طراحی‌شده باید قابل سنتز باشد. سپس برای مدار طراحی‌شده یک فایل تست نوشته و با استفاده از شبیه‌ساز^۶ Modelsim صحت عملکرد مدار برای حالت‌های مختلف را بررسی نمایید. در گزارش پروژه تصاویری از صحت عملکرد مدار و خروجی‌های آن برای حالت‌های مختلف قرار دهید.

مرحله‌ی دوم. سنتز مدار و بهینه‌سازی آن با استفاده از Design Compiler

مدار طراحی‌شده در مرحله‌ی قبل را برای حالات زیر به‌صورت جداگانه با ابزار Design Compiler و با استفاده از کتابخانه‌ی NanGate.lib در فناوری ۴۵ نانومتر سنتز کنید. موارد خواسته‌شده را با استفاده از دستور compile ساده انجام دهید.

● بدون بهینه‌سازی

● بهینه‌سازی توان مصرفی

● بهینه‌سازی سرعت کاری مدار

● بهینه‌سازی مساحت

نحوه‌ی انجام هر یک از بهینه‌سازی‌های مذکور را در گزارش ذکر کنید. همچنین برای هر حالت، مساحت، توان ایستای مصرفی، توان پویای مصرفی، تأخیر مسیر بحرانی^۷ حاصل‌ضرب توان کل در تأخیر^۸ و زمان فراغت^۹ مدار طراحی‌شده را به‌صورت یک جدول گزارش دهید. در انتها تأثیر هر یک از بهینه‌سازی‌ها بر پارامترهای فوق را مقایسه و بررسی کنید و نتیجه‌گیری خود را شرح دهید.

^۱Synthesis

^۲Placement

^۳Routing

^۴Optimization

^۵Hardware Description Language (HDL)

^۶Simulator

^۷Critical Path

^۸Power Delay Product (PDP)

^۹Slack Time

مدار طراحی شده را برای حالت ungrouping سنتز نمایید و مشابه قسمت قبل برای تمام حالات (بدون بهینه‌سازی و با بهینه‌سازی‌های مذکور) به تفکیک، تمام پارامترهای فوق را در جدولی دیگر ذکر نمایید (برای این بخش نیز از دستور compile ساده استفاده نمایید). تأثیر این حالت بر پارامترهای مدار را بررسی کنید و توضیح دهید این حالت کاری چه تغییری در سنتز و مدار سنتز شده ایجاد می‌کند. تمام این موارد را برای دستور flatten نیز انجام دهید و در انتها تفاوت آن با ungrouping را تشریح کنید.

برای یکی از بهینه‌سازی‌های مذکور (برای مثال توان مصرفی) سنتز مدار را با استفاده از دستور Compile_Ultra انجام دهید. نحوه‌ی عملکرد این نوع سنتز و تأثیر آن بر روی تمام پارامترهای مدار (ذکر شده در قسمت‌های قبل) را در گزارش شرح دهید.

یکی از روش‌های کاهش توان مصرفی روش Clock Gating است که توسط ابزار Design Compiler پشتیبانی می‌شود. تمرکز روش مذکور کاهش توان مصرفی ناشی از تغییر مقدار خطوط پالس ساعت^{۱۰} است. با استفاده از قابلیت Design Compiler این روش را بر روی طرح خود اعمال کنید و تأثیر آن بر روی تمام پارامترهای مدار (ذکر شده در قسمت‌های قبل) بررسی کنید.

راهنمایی

می‌توانید سنتز و موارد خواسته شده را با استفاده از یک فایل اسکریپت و اجرای آن نیز انجام دهید. برای اعمال روش Clock Gating نیازی به تغییر کد مدار طراحی شده توسط یکی از زبان‌های توصیف سخت‌افزار نیست فقط باید از ابزار بخواهید این روش را بر مدار اعمال نماید. این فرآیند توسط ابزار Design Compiler به صورت خودکار انجام می‌شود.

مرحله‌ی سوم. جانمایی و مسیریابی مدار طراحی شده با استفاده از SoC Encounter

در مرحله‌ی آخر بایستی Netlist مدار طراحی شده که از ابزار Design Compiler استخراج شده است را توسط ابزار SoC Encounter جانمایی و مسیریابی نمایید. این فرآیند را فقط برای خروجی یکی از حالت‌های قسمت قبل (به عنوان مثال حالت بدون بهینه‌سازی، ungrouping و flatten) انجام دهید. در این مرحله موارد زیر را مطلوب است:

۱. طراحی Floorplan و جانمایی Netlist در کوچکترین فضای ممکن بدون رخ دادن Violation

۲. انجام عملیات Place, Clock Tree Analysis (CTS), Route و Metal Filler

۳. تحلیل زمانی^{۱۱} پس از CTS و Route و بررسی صحت چینش

۴. عملیات RC-Extraction (گزارش مشخصات پارازیتی مدار در فایل .spcf)

۵. بررسی DRC و اطمینان از صحت جانمایی و مسیریابی

از تمام مراحل این قسمت تصویر تهیه نمایید و همراه با توضیحات کارهایی که در هر مرحله انجام داده‌اید. در گزارش خود درج نمایید. در نهایت خروجی مساحت و تأخیر مدار برای ابزارهای Design Compiler و SoC Encounter را مقایسه نمایید و شرح دهید نتایج حاصل چه تفاوت‌هایی دارند و به چه دلیل.

۴ نکات تحویل پروژه

۱. مراحل انجام پروژه باید به صورت گزارش ارائه شود. گزارش باید شامل نحوه‌ی انجام شبیه‌سازی‌ها، تصاویر، نتایج به دست آمده و سایر موارد خواسته شده به صورت ذکر شده در صورت پروژه باشد.

۲. پروژه می‌تواند به صورت گروهی (حداکثر اعضای گروه دو نفر) انجام شود. انجام پروژه به صورت فردی (تک نفره) بلامانع است، ولی نمره‌دهی و بررسی پروژه، مشابه گروه‌های دو نفره خواهد بود.

^{۱۰}Clock

^{۱۱}Timing Analysis

۳. فایل‌ها، خروجی‌های به‌دست‌آمده و فایل گزارش (به‌صورت pdf) را به‌صورت فشرده با یکی از فرمت‌های زیر در سامانه‌ی درس‌افزار (CW) بارگذاری نمایید.

Adv_VLSI-P1(student number1-student number2).zip

Adv_VLSI-P1(student number1-student number2).rar

۴. به تاریخ تحویل پروژه در سامانه‌ی درس‌افزار (CW) توجه نمایید.

۵. با توجه به شرایط، ممکن است در صورت نیاز زمانی برای تحویل پروژه به‌صورت حضوری یا غیرحضوری در نظر گرفته شود که زمان آن متعاقباً در سامانه‌ی درس‌افزار (CW) اعلام می‌شود.

۶. می‌توانید سوالات یا ابهامات خود را به ایمیل sareh.sm.2000@gmail.com یا pch.toutounchian@gmail.com ارسال نمایید.

توجه

رعایت آداب آموزشی در انجام پروژه و تمرین‌های درس الزامی است. لطفاً **آیین‌نامه مصوب دانشکده** را دقیقاً مطالعه فرمایید. در صورت مشاهده‌ی هرگونه تقلب علمی، نمره‌ی آن تمرین برای هر دو طرف (کپی دهنده و کپی گیرنده) ۱۰۰- منظور خواهد شد.

موفق و سلامت باشید