

پروژه‌ی درس VLSI پیشرفته

گزارش فاز دوم

امیر ارسلان یاوری (۴۰۲۲۰۳۴۹۷)

سحر جعفری (۴۰۲۲۱۲۴۴۱)





مقدمه

در ابتدا به زبان spice کد مربوط به ripple carry adder هشت بیتی را نوشتیم. سپس اجرای مورد نیاز برای ساخت مدار ripple carry adder را یک به یک با استفاده از hspice بررسی کردیم و نتایج آن را در ادامه‌ی گزارش قرار دادیم. برای گام دوم این فاز نیز کد verilog مرتبط با ripple carry adder را نوشتیم و آن را در design compiler سنتر کردیم.

تمامی کدها و فایل‌های مربوطه‌ی پروژه که ما آنها را نوشتیم در آدرس زیر قرار دارند:

<https://github.com/arsalanyavari/advanced-VLSI-project>

مرحله اول: نوشتن کد spice برای ripple carry adder

در ابتدا تمام گیت‌های مورد نیاز برای ایجاد full adder را با کد spice پیاده سازی می‌کنیم.

کد INVERTER

با استفاده از یک pmos و یک nmos مدار مربوط به inverter را پیاده‌سازی کردیم. و با استفاده از «measure» ابتدا زمان متوسط را به دست آوردیم و سپس جریان متوسط را به دست آوردیم. در انتها با استفاده از جریان متوسط، توان نشتی را به دست می‌آوریم. البته در بخش‌های بعدی شرایط و چگونگی محاسبه توان نشتی توضیح داده شده است.

برای داشتن تاخیر صعود و نزول برابر، در کل ترانزیستورها نسبت پهنای ترانزیستور pmos به nmos برابر 2:1 قرار دادیم.

کد spice مربوطه:

```
* Inverter subcircuit

.include ../45nm_MGK.pm

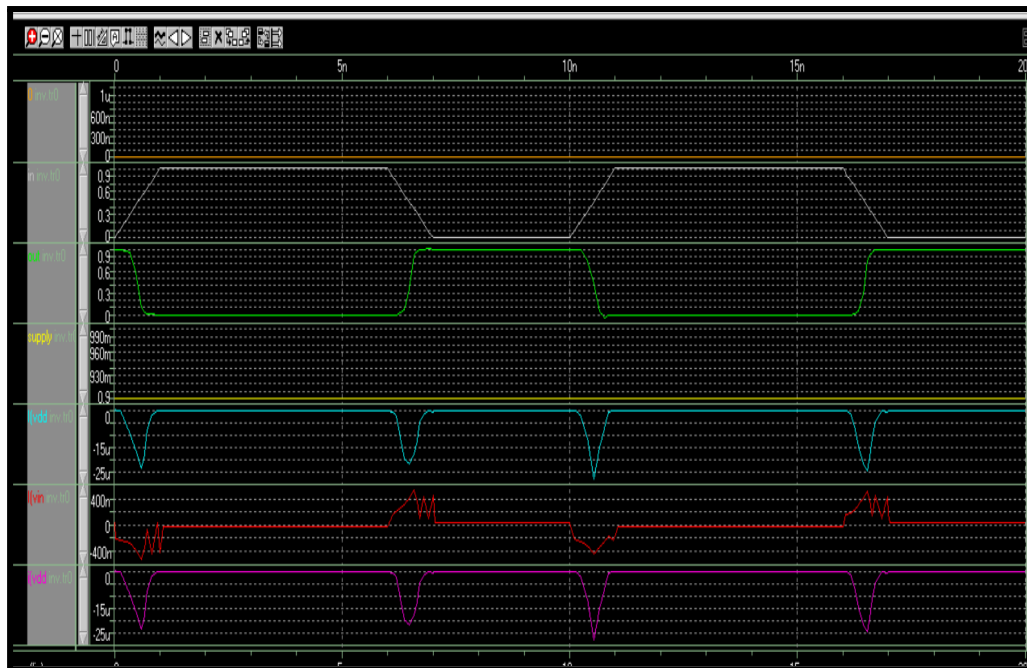
.SUBCKT INV in out supply ground
M1 out in supply supply pmos l=45n w=180n
M2 out in ground ground nmos l=45n w=90n
.ends INV

Xinv1 in out supply ground INV

* Simulation for delay and leakage power
Vdd supply ground 0.9
Vin in ground PULSE(0 0.9 0 1n 1n 5n 10n)
* make the NMOS transistor off for computing leakage power
* Vin in ground 0

.tran 0.1n 20n
.measure tran tpdr TRIG v(in) VAL=0.45 RISE=1 TARG v(out) VAL=0.45 RISE=1
.measure tran tpdf TRIG v(in) VAL=0.45 FALL=1 TARG v(out) VAL=0.45 FALL=1
.measure tran tdelay PARAM='(tpdr+tpdf)/2'
.measure trise
+ TRIG v(out) VAL='0.2*0.9' RISE=1
+ TARG v(out) VAL='0.8*0.9' RISE=1
.measure tfall
+ TRIG v(out) VAL='0.8*0.9' FALL=1
+ TARG v(out) VAL='0.2*0.9' FALL=1
.measure tran iavg AVG(I(Vdd))
.measure tran pleak PARAM='iavg*0.9*-1'

.end
```



```
* inverter subcircuit
***** transient analysis          tnom= 25.000 temp= 25.000
*****
tpdr= 6.0046E-09  targ= 6.5046E-09  trig= 5.0000E-10
tpdf= -5.9952E-09  targ= 5.0477E-10  trig= 6.5000E-09
tdelay= 4.6901E-12
trise= 1.5003E-10  targ= 6.5672E-09  trig= 6.4172E-09
tfall= 1.6309E-10  targ= 5.7425E-10  trig= 4.1116E-10
iavg= -1.6674E-06  from= 0.0000E+00  to= 2.0000E-08
pleak= 1.5007E-06
```

کد NAND

مشابه توضیحات قبل (توضیح گیت INV)، بهنای nmos و pmos به نسبت 2:1 انتخاب شده تا تاخیر rise و fall برابر داشته باشیم. این مورد در نتیجه‌ی بدست آمده از شکل مدار نیز مشخص است که به درستی انتخاب شده است.

کد spice مربوطه:

```
* NAND gate subcircuit

.include ../45nm_MGK.pm

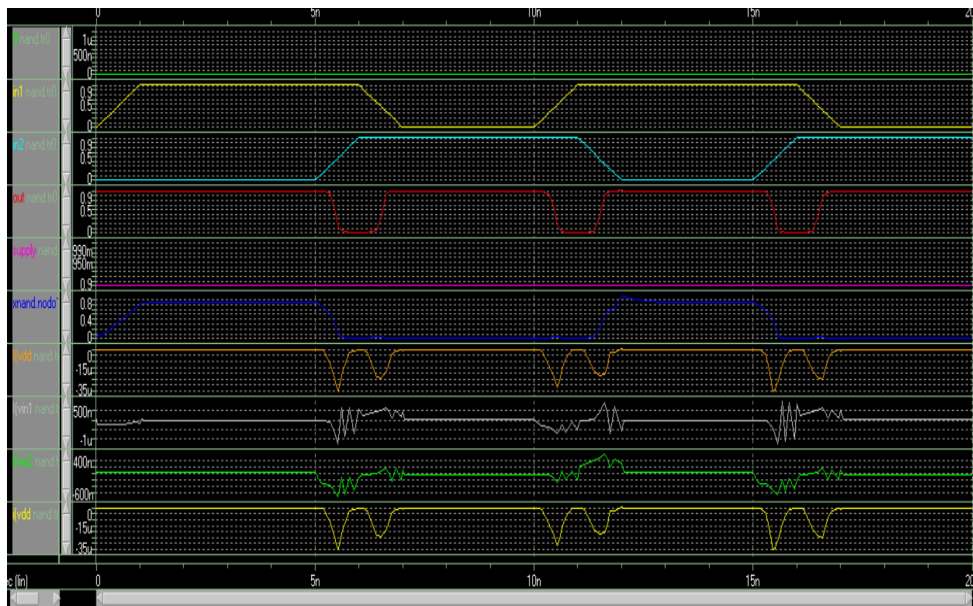
.SUBCKT NAND2 in1 in2 out supply ground
MP1 out in1 supply supply pmos l=45n w=180n
MP2 out in2 supply supply pmos l=45n w=180n
MN1 out in1 nodo1 ground nmos l=45n w=180n
MN2 nodo1 in2 ground ground nmos l=45n w=180n
.ends NAND2

Xnand in1 in2 out supply ground NAND2

* Simulation for delay and leakage power
Vdd supply ground 0.9
Vin1 in1 ground PULSE(0 0.9 0 1n 1n 5n 10n)
Vin2 in2 ground PULSE(0 0.9 5n 1n 1n 5n 10n)

* Vin1 in1 ground 0
* Vin2 in2 ground 0

.tran 0.1n 20n
.measure tran tpdr TRIG v(in1) VAL=0.45 RISE=1 TARG v(out) VAL=0.45 RISE=1
.measure tran tpdf TRIG v(in1) VAL=0.45 FALL=1 TARG v(out) VAL=0.45 FALL=1
.measure tran tdelay PARAM='(tpdr+tpdf)/2'
.measure trise
+ TRIG v(out) VAL='0.2*0.9' RISE=1
+ TARG v(out) VAL='0.8*0.9' RISE=1
.measure tfall
+ TRIG v(out) VAL='0.8*0.9' FALL=1
+ TARG v(out) VAL='0.2*0.9' FALL=1
.measure tran iavg AVG(I(Vdd))
.measure tran pleak PARAM='iavg*0.9*-1'
.end
```



```
* nand gate subcircuit
***** transient analysis          tnom= 25.000 temp= 25.000
*****
tpdr= 6.0355E-09  targ= 6.5355E-09  trig= 5.0000E-10
tpdf= -1.0425E-09  targ= 5.4575E-09  trig= 6.5000E-09
tdelay= 2.4965E-09
trise= 1.6121E-10  targ= 6.6029E-09  trig= 6.4417E-09
tfall= 1.2180E-10  targ= 5.5109E-09  trig= 5.3891E-09
iavg= -2.9871E-06  from= 0.0000E+00  to= 2.0000E-08
pleak= 2.6884E-06
```

در مابقی گیت‌ها نیز نسبت‌های مناسب انتخاب شده‌اند که تاخیر rise و fall برابر باشد که صحت این موضوع هم در نتایج بدست آمده قابل مشاهده است. از توضیحات تکراری در ادامه‌ی گزارش پرهیز شده است.

در گیت‌های پایه، تاخیرات صعود و نزول با توجه به نتایج بدست آمده یکسان است اما در مابقی گیت‌ها به دلیل اینکه از ترکیبات گیت‌های پایه ساخته شده‌اند برابر نخواهد بود.

```

* NOR gate subcircuit

.include ../45nm_MGK.pm

.SUBCKT NOR2 in1 in2 out supply ground
MP1 nodo1 in1 supply supply pmos l=45n w=360n
MP2 out in2 nodo1 supply pmos l=45n w=360n
MN1 out in1 ground ground nmos l=45n w=90n
MN2 out in2 ground ground nmos l=45n w=90n
.ends NOR2

Xnor in1 in2 out supply ground NOR2

* Simulation for delay and leakage power
Vdd supply ground 0.9
Vin1 in1 ground PULSE(0.9 0 5n 0n 0n 5n 10n)
Vin2 in2 ground PULSE(0 0.9 3n 0n 0n 3n 10n)

* Vin1 in1 ground 0
* Vin2 in2 ground 0

.tran 0.1n 20n
.measure tran tpd1 TRIG v(in1) VAL=0.45 RISE=1 TARG v(out) VAL=0.45 RISE=1
.measure tran tpd2 TRIG v(in2) VAL=0.45 FALL=1 TARG v(out) VAL=0.45 FALL=1
.measure tran tdelay PARAM='(tpd1+tpd2)/2'
.measure trise
+ TRIG v(out) VAL='0.2*0.9' RISE=1
+ TARG v(out) VAL='0.8*0.9' RISE=1
.measure tfall
+ TRIG v(out) VAL='0.8*0.9' FALL=1
+ TARG v(out) VAL='0.2*0.9' FALL=1
.measure tran iavg AVG(I(Vdd))
.measure tran pleak PARAM='iavg*0.9*-1'
.end

```




```

* nor gate subcircuit
***** transient analysis                      tnom= 25.000 temp= 25.000
*****
tpdr= -4.0051E-09  targ= 6.1449E-09  trig= 1.0150E-08
tpdf= 5.1117E-09  targ= 1.0162E-08  trig= 5.0500E-09
tdelay= 5.5330E-10
trise= 2.2052E-11  targ= 6.1563E-09  trig= 6.1342E-09
tfall= 2.3059E-11  targ= 1.0173E-08  trig= 1.0150E-08
iavg= -2.8170E-07  from= 0.0000E+00  to= 2.0000E-08
pleak= 2.5353E-07

```

OR گیت

```

* OR gate subcircuit

.include ../45nm_MGK.pm
.include ../../assets/spice_code/nor.sp
.include ../../assets/spice_code/inv.sp

.SUBCKT OR2 in1 in2 out supply ground
Xnor1 in1 in2 nodo1 supply ground NOR2
Xinv1 nodo1 out supply ground INV
.ends OR2

Xor in1 in2 out supply ground OR2

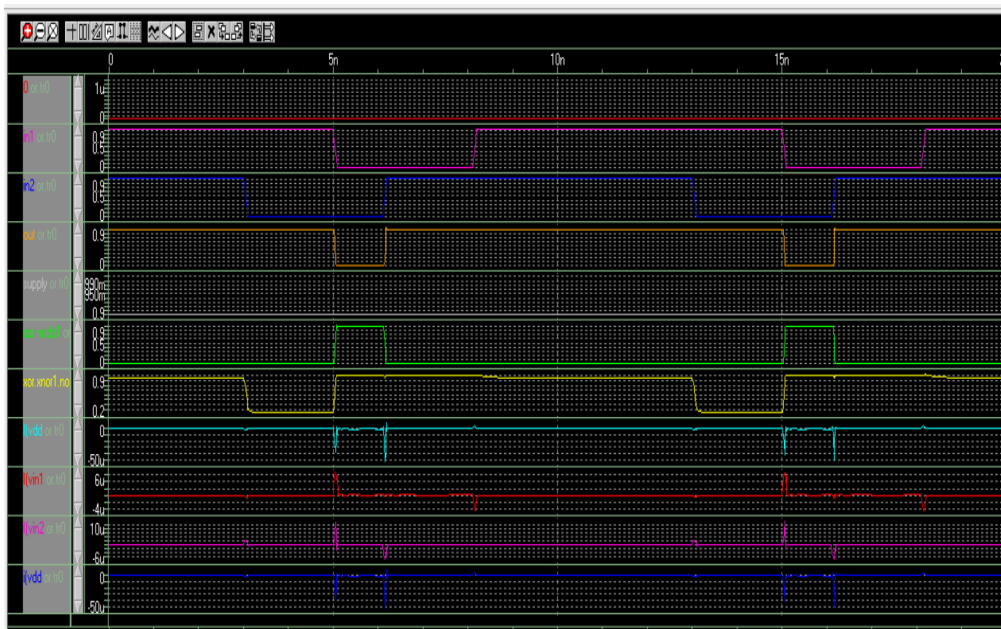
* Simulation for delay and leakage power
Vdd supply ground 0.9
Vin1 in1 ground PULSE(0.9 0 5n 0n 0n 3n 10n)
Vin2 in2 ground PULSE(0.9 0 3n 0n 0n 3n 10n)

* Vin1 in1 ground 0
* Vin2 in2 ground 0

.tran 0.1n 20n
.measure tran tpdr TRIG v(in1) VAL=0.45 RISE=1 TARG v(out) VAL=0.45 RISE=1
.measure tran tpdf TRIG v(in1) VAL=0.45 FALL=1 TARG v(out) VAL=0.45 FALL=1
.measure tran tdelay PARAM='(tpdr+tpdf)/2'
.measure trise
+ TRIG v(out) VAL='0.2*0.9' RISE=1
+ TARG v(out) VAL='0.8*0.9' RISE=1
.measure tfall
+ TRIG v(out) VAL='0.8*0.9' FALL=1
+ TARG v(out) VAL='0.2*0.9' FALL=1
.measure tran iavg AVG(I(Vdd))
.measure tran pleak PARAM='iavg*0.9*-1'
.end

```

مطابق کد بالا از inv و nor برای ساخت or استفاده شده است.



```
*****
* or gate subcircuit
***** transient analysis          tnom= 25.000 temp= 25.000
*****

tpdr= -1.9845E-09  targ= 6.1655E-09  trig= 8.1500E-09
tpdf= 2.0323E-12  targ= 5.0520E-09  trig= 5.0500E-09
tdelay= -9.9123E-10
trise= 1.1234E-11  targ= 6.1704E-09  trig= 6.1591E-09
tfall= 2.0691E-11  targ= 5.0606E-09  trig= 5.0399E-09
iavg= -3.7936E-07  from= 0.0000E+00  to= 2.0000E-08
pleak= 3.4142E-07
```

```

* AND gate subcircuit

.include ../45nm_MGK.pm
.include ../../assets/spice_code/nand.sp
.include ../../assets/spice_code/inv.sp

.SUBCKT AND2 in1 in2 out supply ground
Xnand1 in1 in2 nodo1 supply ground NAND2
Xinv1 nodo1 out supply ground INV
.ends AND2

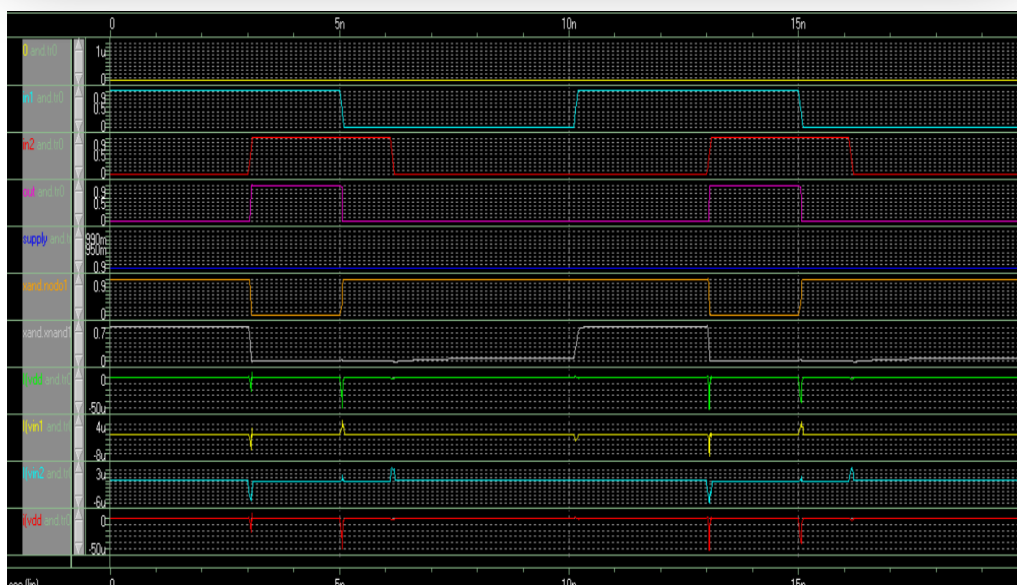
Xand in1 in2 out supply ground AND2

* Simulation for delay and leakage power
Vdd supply ground 0.9
Vin1 in1 ground PULSE(0.9 0 5n 0n 0n 5n 10n)
Vin2 in2 ground PULSE(0 0.9 3n 0n 0n 3n 10n)

* Vin1 in1 ground 0
* Vin2 in2 ground 0

.tran 0.1n 20n
.measure tran tpdr TRIG v(in1) VAL=0.45 RISE=1 TARG v(out) VAL=0.45 RISE=1
.measure tran tpdf TRIG v(in1) VAL=0.45 FALL=1 TARG v(out) VAL=0.45 FALL=1
.measure tran tdelay PARAM='(tpdr+tpdf)/2'
.measure trise
+ TRIG v(out) VAL='0.2*0.9' RISE=1
+ TARG v(out) VAL='0.8*0.9' RISE=1
.measure tfall
+ TRIG v(out) VAL='0.8*0.9' FALL=1
+ TARG v(out) VAL='0.2*0.9' FALL=1
.measure tran iavg AVG(I(Vdd))
.measure tran pleak PARAM='iavg*0.9*-1'
.end

```



```

*****
* and gate subcircuit
***** transient analysis tnom= 25.000 temp= 25.000
*****
tpdr= -7.0935E-09 targ= 3.0565E-09 trig= 1.0150E-08
tpdf= 7.6511E-12 targ= 5.0577E-09 trig= 5.0500E-09
tdelay= -3.5429E-09
trise= 2.1724E-11 targ= 3.0655E-09 trig= 3.0438E-09
tfall= 8.8248E-12 targ= 5.0617E-09 trig= 5.0529E-09
iavg= -4.1830E-07 from= 0.0000E+00 to= 2.0000E-08
pleak= 3.7647E-07

```

XOR 16

```

* XOR gate subcircuit

.include ../45nm_MGK.pm
.include ../../assets/spice_code/inv.sp

.SUBCKT XOR2 in1 in2 out supply ground
Xinv1 in1 in1_n supply ground INV
Xinv2 in2 in2_n supply ground INV
MP1 nodo1 in1_n supply supply pmos l=45n w=360n
MP2 out in2 nodo1 supply pmos l=45n w=360n
MP3 nodo2 in1 supply supply pmos l=45n w=360n
MP4 out in2_n nodo2 supply pmos l=45n w=360n
MN1 out in2_n nodo3 ground nmos l=45n w=180n
MN2 nodo3 in1_n ground ground nmos l=45n w=180n
MN3 out in2 nodo4 ground nmos l=45n w=180n
MN4 nodo4 in1 ground ground nmos l=45n w=180n
.ends XOR2

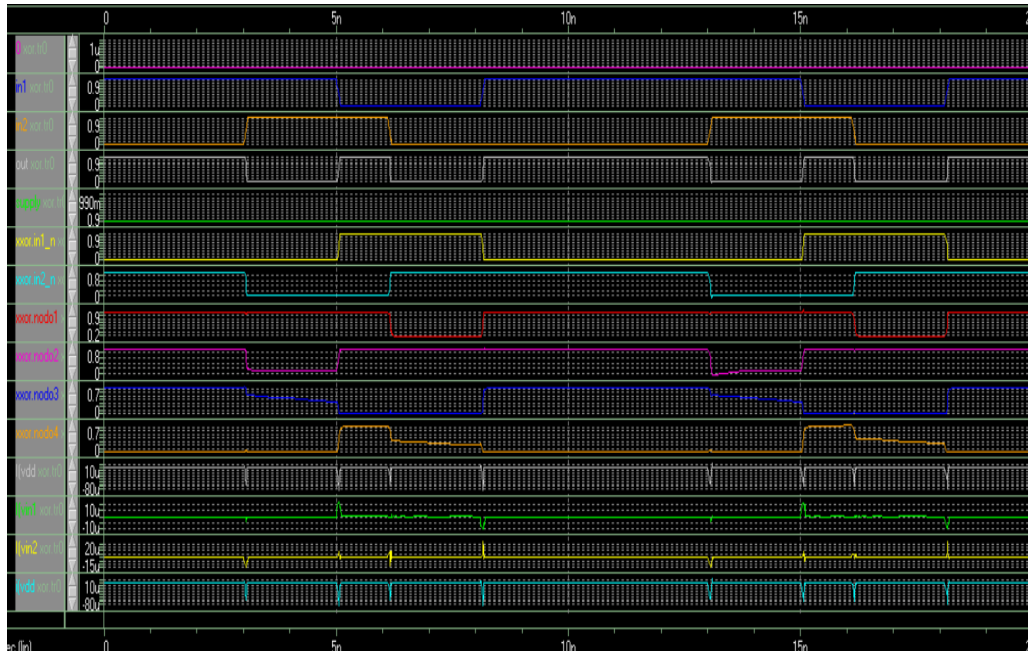
Xxor in1 in2 out supply ground XOR2

* Simulation for delay and leakage power
Vdd supply ground 0.9
* Vin1 in1 ground PULSE(0.9 0 5n 0n 0n 3n 10n)
* Vin2 in2 ground PULSE(0 0.9 3n 0n 0n 3n 10n)

Vin1 in1 ground 0
Vin2 in2 ground 0

.tran 0.1n 20n
.measure tran tpdr TRIG v(in1) VAL=0.45 RISE=1 TARG v(out) VAL=0.45 RISE=1
.measure tran tpdf TRIG v(in1) VAL=0.45 FALL=1 TARG v(out) VAL=0.45 FALL=1
.measure tran tdelay PARAM='(tpdr+tpdf)/2'
.measure trise
+ TRIG v(out) VAL='0.2*0.9' RISE=1
+ TARG v(out) VAL='0.8*0.9' RISE=1
.measure tfall
+ TRIG v(out) VAL='0.8*0.9' FALL=1
+ TARG v(out) VAL='0.2*0.9' FALL=1
.measure tran iavg AVG(I(Vdd))
.measure tran pleak PARAM='iavg*0.9*-1'
.end

```



```

* xor gate subcircuit
***** transient analysis          tnom= 25.000 temp= 25.000
*****
tpdr= -3.0987E-09  targ= 5.0513E-09  trig= 8.1500E-09
tpdf= -1.9939E-09  targ= 3.0561E-09  trig= 5.0500E-09
tdelay= -2.5463E-09
trise= 2.3778E-11  targ= 5.0637E-09  trig= 5.0399E-09
tfall= 1.5371E-11  targ= 3.0641E-09  trig= 3.0487E-09
iavg= -1.2011E-06  from= 0.0000E+00  to= 2.0000E-08
pleak= 1.0810E-06

```

```

* Full Adder subcircuit

.include ../45nm_MGK.pm
.include ../../assets/spice_code/xor.sp
.include ../../assets/spice_code/and.sp
.include ../../assets/spice_code/or.sp
.include ../../assets/spice_code/inv.sp
.include ../../assets/spice_code/nand.sp
.include ../../assets/spice_code/nor.sp

.SUBCKT FA cin in1 in2 cout soma supply ground
Xxor1 in1 in2 in1xorin2 supply ground XOR2
Xxor2 in1xorin2 cin soma supply ground XOR2
Xand1 in1xorin2 cin in1xorin2andcin supply ground AND2
Xand2 in1 in2 in1andin2 supply ground AND2
Xor1 in1xorin2andcin in1andin2 cout supply ground OR2
.ends FA

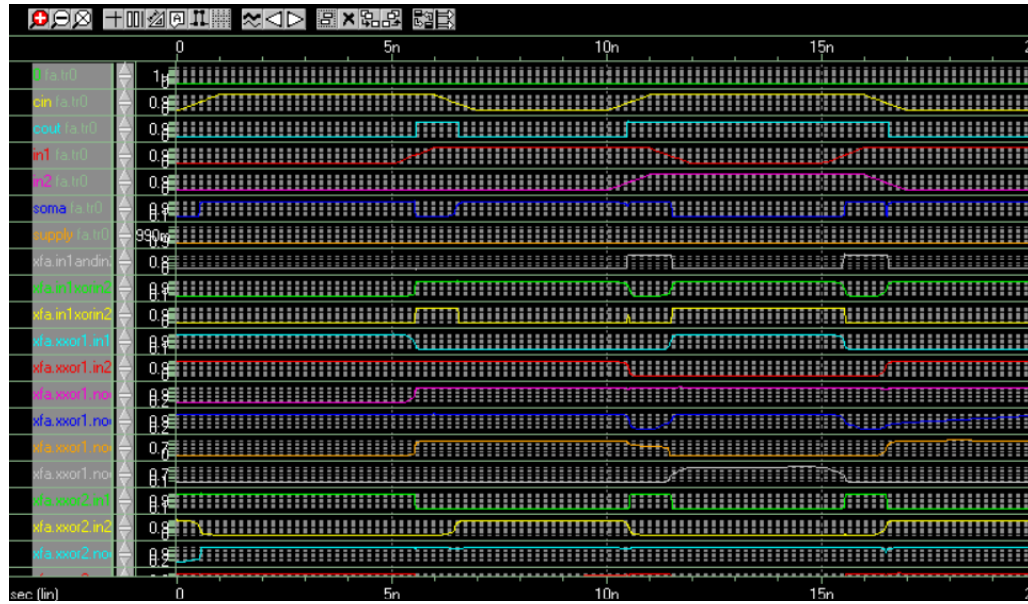
Xfa cin in1 in2 cout soma supply ground FA

* Simulation for delay and leakage power
Vdd supply ground 0.9
* Vcin cin ground PULSE(0 0.9 0 1n 1n 5n 10n)
* Vin1 in1 ground PULSE(0 0.9 5n 1n 1n 5n 10n)
* Vin2 in2 ground PULSE(0 0.9 10n 1n 1n 5n 10n)

Vcin cin ground 0
Vin1 in1 ground 0
Vin2 in2 ground 0

.tran 0.1n 20n
.measure tran tpdr TRIG v(in1) VAL=0.45 RISE=1 TARG v(soma) VAL=0.45 RISE=1
.measure tran tpdf TRIG v(in1) VAL=0.45 FALL=1 TARG v(soma) VAL=0.45 FALL=1
.measure tran tdelay PARAM='(tpdr+tpdf)/2'
.measure trise
+ TRIG v(out) VAL='0.2*0.9' RISE=1
+ TARG v(out) VAL='0.8*0.9' RISE=1
.measure tfall
+ TRIG v(out) VAL='0.8*0.9' FALL=1
+ TARG v(out) VAL='0.2*0.9' FALL=1
.measure tran iavg AVG(I(Vdd))
.measure tran pleak PARAM='iavg*0.9*-1'
.end

```



```
* full adder subcircuit
***** transient analysis          tnom= 25.000 temp= 25.000
*****

tpdr= -4.9593E-09  targ= 5.4072E-10  trig= 5.5000E-09
tpdf= -5.9455E-09  targ= 5.5545E-09  trig= 1.1500E-08
tdelay= -5.4524E-09
iavg= -1.4433E-05  from= 0.0000E+00  to= 2.0000E-08
pleak= -1.2989E-05
```

```

* Top-level Ripple Carry Adder

.include 45nm_MGK.pm
.include ../assets/spice_code/inv.sp
.include ../assets/spice_code/nand.sp
.include ../assets/spice_code/nor.sp
.include ../assets/spice_code/xor.sp
.include ../assets/spice_code/and.sp
.include ../assets/spice_code/or.sp
.include ../assets/spice_code/fa.sp

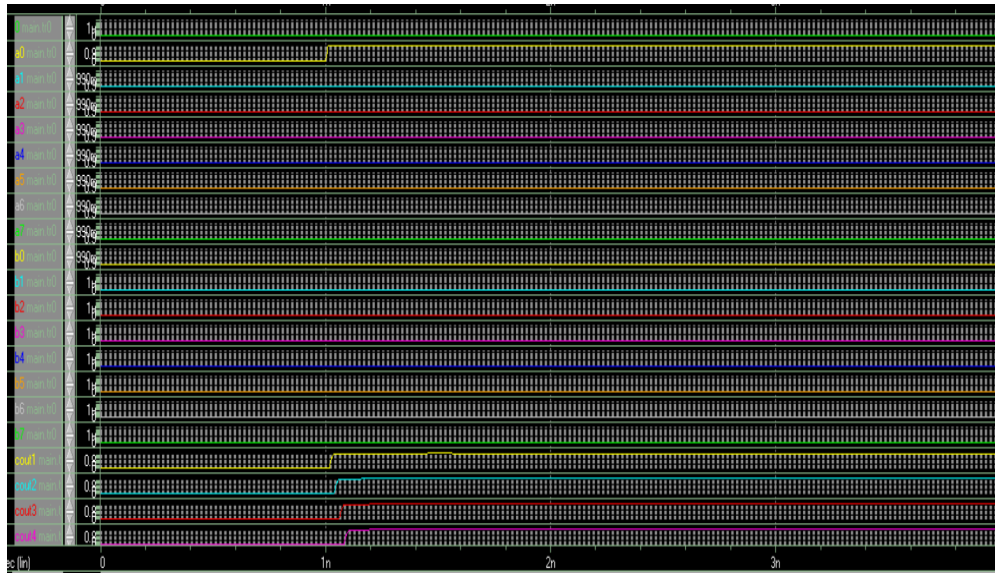
Vvdd supply gnd 0.9V
Xfulladder1 0 a0 b0 cout1 sum1 supply ground FA
Xfulladder2 cout1 a1 b1 cout2 sum2 supply ground FA
Xfulladder3 cout2 a2 b2 cout3 sum3 supply ground FA
Xfulladder4 cout3 a3 b3 cout4 sum4 supply ground FA
Xfulladder5 cout4 a4 b4 cout5 sum5 supply ground FA
Xfulladder6 cout5 a5 b5 cout6 sum6 supply ground FA
Xfulladder7 cout6 a6 b6 cout7 sum7 supply ground FA
Xfulladder8 cout7 a7 b7 cout8 sum8 supply ground FA

* Simulation settings
Va0 a0 ground pwl(0n 0 1n 0 1.01n 0.9)
Va1 a1 ground 0.9
Va2 a2 ground 0.9
Va3 a3 ground 0.9
Va4 a4 ground 0.9
Va5 a5 ground 0.9
Va6 a6 ground 0.9
Va7 a7 ground 0.9

Vb0 b0 ground 0.9
Vb1 b1 ground 0.0
Vb2 b2 ground 0.0
Vb3 b3 ground 0.0
Vb4 b4 ground 0.0
Vb5 b5 ground 0.0
Vb6 b6 ground 0.0
Vb7 b7 ground 0.0

.measure tran critico trig v(a0) val=0.45 rise=1 targ v(cout8) val=0.45
rise=1
.tran 2p 4n
.end

```

نحوه محاسبه توان نشتی

```
.measure tran iavg AVG(I(Vdd))
.measure tran pleak PARAM='iavg*0.9*-1'
```

با استفاده از دستور `measure`. مقدار جریان متوسط را به دست می‌آوریم و سپس در مقدار ولتاژ منبع تغذیه ضرب می‌کنیم در نتیجه مقدار توان نشتی را خواهیم داشت. برای این منظور مقدار ولتاژ سیگنال ورودی را را برابر با صفر قرار دادیم تا ترانزیستور NMOS خاموش شود و بتوانیم مقدار توان نشتی را به درستی اندازه‌گیری نماییم. برای نمونه کد استفاده شده برای inverter قرار داده شده است.

```
* Inverter subcircuit
.include ../45nm_MGK.pm

.SUBCKT INV in out supply ground
M1 out in supply supply pmos l=45n w=180n
M2 out in ground ground nmos l=45n w=90n
.ends INV

Xinv1 in out supply ground INV

* Simulation for delay and leakage power
Vdd supply ground 0.9
* Vin in ground PULSE(0 0.9 0 1n 1n 5n 10n)
Vin in ground 0

.tran 0.1n 20n
.measure tran tpdR TRIG v(in) VAL=0.45 RISE=1 TARG v(out) VAL=0.45 RISE=1
.measure tran tpdF TRIG v(in) VAL=0.45 FALL=1 TARG v(out) VAL=0.45 FALL=1
.measure tran tdelay PARAM='(tpdr+tpdf)/2'
.measure tran iavg AVG(I(Vdd))
.measure tran pleak PARAM='iavg*0.9*-1'

.end
```

```
* inverter subcircuit
***** transient analysis          tnom= 25.000 temp= 25.000
*****
tpdr= failed                      trig= not found
tpdf= failed                      trig= not found
tdelay= failed                   measure parameter failed
iavg= -5.0091E-08 from= 0.0000E+00 to= 2.0000E-08
pleak= 4.5082E-08
```

منبع مورد استفاده:

<https://www.researchgate.net/post/How-to-measure-leakage-power-of-a-digital-circuit-using-HSPICE>

نتایج ناشی بدست آمده برای تمامی گیت‌ها:

gate	Leakage power
and	1.2851E-07
or	2.0994E-07
nand	7.3990E-08
nor	1.5519E-07
inverter	4.5082E-08
Full adder	1.1823E-06
xor	3.5786E-07

نحوه محاسبه تاخیر

```
.measure trise
+ TRIG v(out) VAL='0.2*0.9' RISE=1
+ TARG v(out) VAL='0.8*0.9' RISE=1
.measure tfall
+ TRIG v(out) VAL='0.8*0.9' FALL=1
+ TARG v(out) VAL='0.2*0.9' FALL=1
```

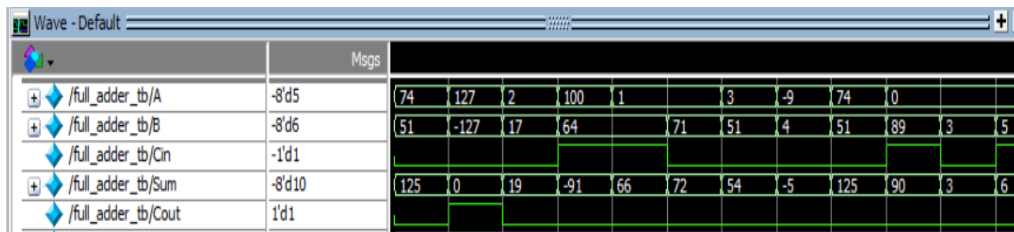
زمان rise time و fall time محاسبه شده است.

gate	Rise time	Fall time
nand	1.6121E-10	1.2180E-10
nor	2.2052E-11	2.3059E-11
inverter	1.5003E-10	1.6309E-10

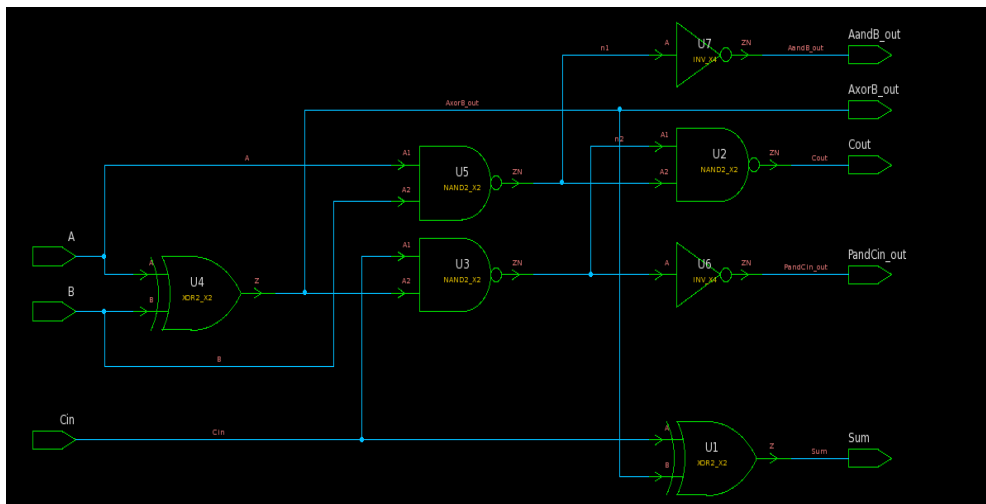
کد ورپلاگ RCA

```
1 module full_adder
2   #(parameter INPUT_SIZE = 8)
3   (
4     A,
5     B,
6     Cin,
7     Sum,
8     Cout,
9     AxorB_out,
10    AandB_out,
11    PandCin_out,
12    Cin_out
13  );
14  input [INPUT_SIZE - 1 : 0] A;
15  input [INPUT_SIZE - 1 : 0] B;
16  input Cin;
17
18  output [INPUT_SIZE - 1 : 0] Sum;
19  output Cout;
20
21  output [INPUT_SIZE - 1 : 0] AxorB_out;
22  output [INPUT_SIZE - 1 : 0] AandB_out;
23  output [INPUT_SIZE - 1 : 0] PandCin_out;
24
25  output [INPUT_SIZE - 1 : 0] Cin_out;
26
27  wire [INPUT_SIZE - 1 : 0] C;
28
29  genvar i; // generates a variable
30
31  generate
32    for (i = 0; i < INPUT_SIZE; i = i + 1)
33      begin: ripple_adder_gen
34        one_bit_adder ADDER (
35          .A(A[i]),
36          .B(B[i]),
37          .Cin(i == 0 ? Cin : C[i-1]),
38          .Sum(Sum[i]),
39          .Cout(C[i]),
40          .AxorB_out(AxorB_out[i]),
41          .AandB_out(AandB_out[i]),
42          .PandCin_out(PandCin_out[i])
43        );
44      end
45  endgenerate
46
47  assign Cout = C[7];
48  assign Cin_out = C;
49
50
51 endmodule
```

نتیجه شبیه سازی RCA به شرح زیر می باشد.



نتیجه سنتز با کتابخانه آماده (کد بدون optimization)



53.199999	مساحت
811.0738 nW	توان ایستای مصرفی
3.2085 uW	توان پویای مصرفی
0.62	تاخیر
0.62	تأخیر مسیر بحرانی
$0.62 * (3.2085 \mu + 811.0738 \text{ n})$	حاصل ضرب توان کل در تاخیر
uninit	زمان فراغت

نتیجه سنتز با کتابخانه تغییر یافته بر اساس کد spice

تغییر NANGATE LIBRARY

شامل ماژول‌های NAND, NOR, AND, OR, XOR, INVERTER

```
assets > Modified_Library > modified_typical.lib
12  You are not permitted to use the marks without the prior written consent
13  * * of Nangate or such third party that may own the Marks. *
14  * * *
15  * * This file has been provided pursuant to a License Agreement containing *
16  * * restrictions on its use. This file contains valuable trade secrets and *
17  * * proprietary information of Nangate Inc., and is protected by U.S. and *
18  * * international laws and/or treaties. *
19  * * *
20  * * The copyright notice(s) in this file does not indicate actual or intended *
21  * * publication of this file. *
22  * * *
23  * * NGLibraryCreator Development_version build 200810101607 *
24  * * *
25  * *****
26  *
27  * Spice engine : Nanspice build v2008.10-HR40-2008-09-24 0810090230
28  * Liberty export type : conditional
29  *
30  * Characterization Corner : typical
31  * Process : TypTyp
32  * Temperature : 25C
33  * Voltage : 1.1V
34  *
35  * *****/
36
37 > library (NangateOpenCellLibrary_PDKv1_2_v2008_10) { ...
326
327
328 /*****
329 Module : AND2_X1
330 Cell Description : Combinational cell (AND2_X1) with drive strength X1
331 *****/
332
333 > cell (AND2_X1) { ...
1981
1982 }
1983
```

```
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 17030, Cell 'NOR2_X2', pin 'ZN', The 'values' attribute has a '-0.017914' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 17793, Cell 'NOR2_X2', pin 'ZN', The 'values' attribute has a '-0.018873' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 18687, Cell 'NOR2_X4', pin 'ZN', The 'values' attribute has a '-0.019211' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 18687, Cell 'NOR2_X4', pin 'ZN', The 'values' attribute has a '-0.078990' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 18687, Cell 'NOR2_X4', pin 'ZN', The 'values' attribute has a '-0.050321' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 18687, Cell 'NOR2_X4', pin 'ZN', The 'values' attribute has a '-0.022316' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 19450, Cell 'NOR2_X4', pin 'ZN', The 'values' attribute has a '-0.025896' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 19450, Cell 'NOR2_X4', pin 'ZN', The 'values' attribute has a '-0.002436' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 26022, Cell 'XOR2_X1', pin 'Z', The 'values' attribute has a '-0.024777' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 26022, Cell 'XOR2_X1', pin 'Z', The 'values' attribute has a '-0.011137' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 27552, Cell 'XOR2_X1', pin 'Z', The 'values' attribute has a '-0.008998' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 29251, Cell 'XOR2_X2', pin 'Z', The 'values' attribute has a '-0.051941' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 29251, Cell 'XOR2_X2', pin 'Z', The 'values' attribute has a '-0.029991' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 29251, Cell 'XOR2_X2', pin 'Z', The 'values' attribute has a '-0.003742' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 30781, Cell 'XOR2_X2', pin 'Z', The 'values' attribute has a '-0.039096' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Line 30781, Cell 'XOR2_X2', pin 'Z', The 'values' attribute has a '-0.016785' value,
which is less than '0.000000' the minimum recommended value of this attribute. (LBDB-272)
Warning: Overwriting an old technology library '/home/icic/Desktop/NangateOpenCellLibrary_PDKv1_2_v2008_10.db' file with a new one. (UIL-2)
1
design_vision>
```

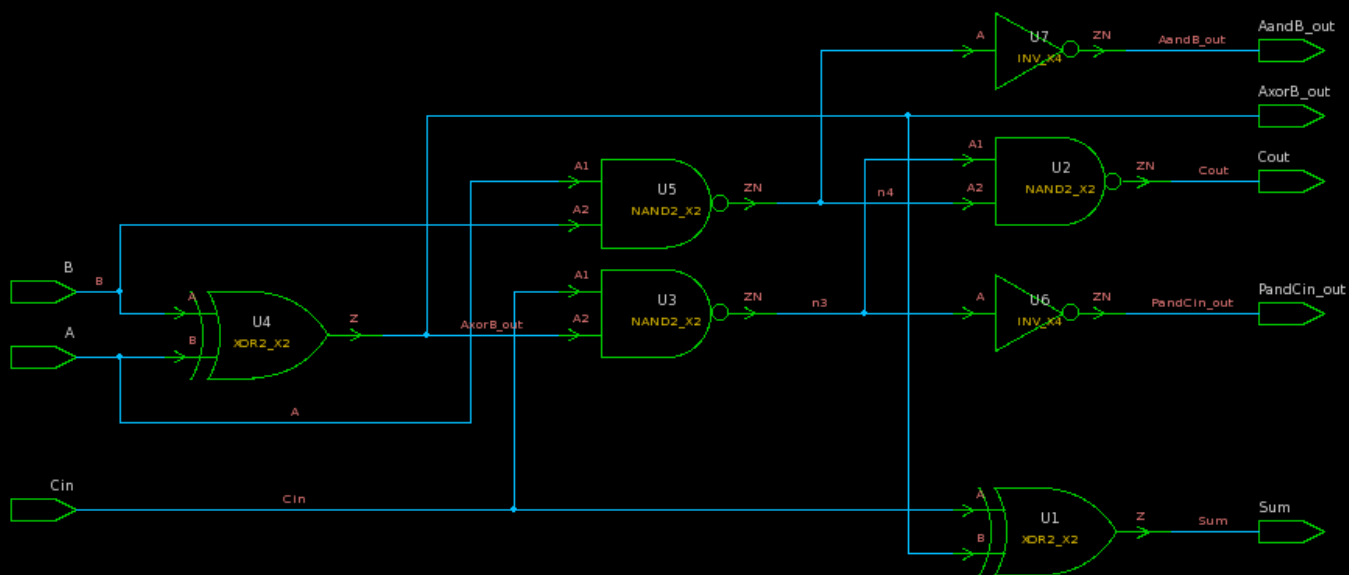
نتیجه سنتز با کتابخانه تغییر یافته (کد بدون optimization)

```
-----
0:00:00      53.2      0.00      0.0      0.0

Beginning Area-Recovery Phase  (cleanup)
-----

  ELAPSED          WORST NEG  TOTAL NEG  DESIGN
  TIME          AREA      SLACK      SLACK  RULE COST      ENDPOINT
-----
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
0:00:00      53.2      0.00      0.0      0.0
Loading db file '/home/icic/Desktop/libs/typical_m/typical_m.db'

Optimization Complete
-----
Warning: In design 'full_adder', output port 'Cout' is connected directly to output port 'Cin_out[7]'. (LINT-31)
Information: Annotated 'cell' delays are assumed to include load delay. (UID-282)
Information: Writing timing information to file '/home/icic/Desktop/outputs2/typical_no_opt/delay.sdf'. (WT-3)
Writing verilog file '/home/icic/Desktop/outputs2/typical_no_opt/netlist.v'.
Warning: Verilog 'assign' or 'tran' statements are written out. (VO-4)
design_vision>
Current design is 'full_adder'.
```

53.199999	مساحت
8.2228 aW	توان ایستای مصرفی
3.2085 uW	توان پویای مصرفی
0.62	تاخیر
0.62	تأخیر مسیر بحرانی
$0.62 \times (3.2085 \mu + 8.2228 \text{ a})$	حاصل ضرب توان کل در تاخیر
uninit	زمان فراغت

در این حالت گیت‌های مورد استفاده در ساخت مدار با حالتی که کتابخانه را تغییر نداده بودیم تفاوتی نکرده اند. (در شکل مشخص است). بنابراین تنها توان ایستای مصرفی ما تغییر کرده است به دلیل اینکه توان نشستی به دست آمده با استفاده از hspice را برای این گیت‌ها جایگزین کردیم.

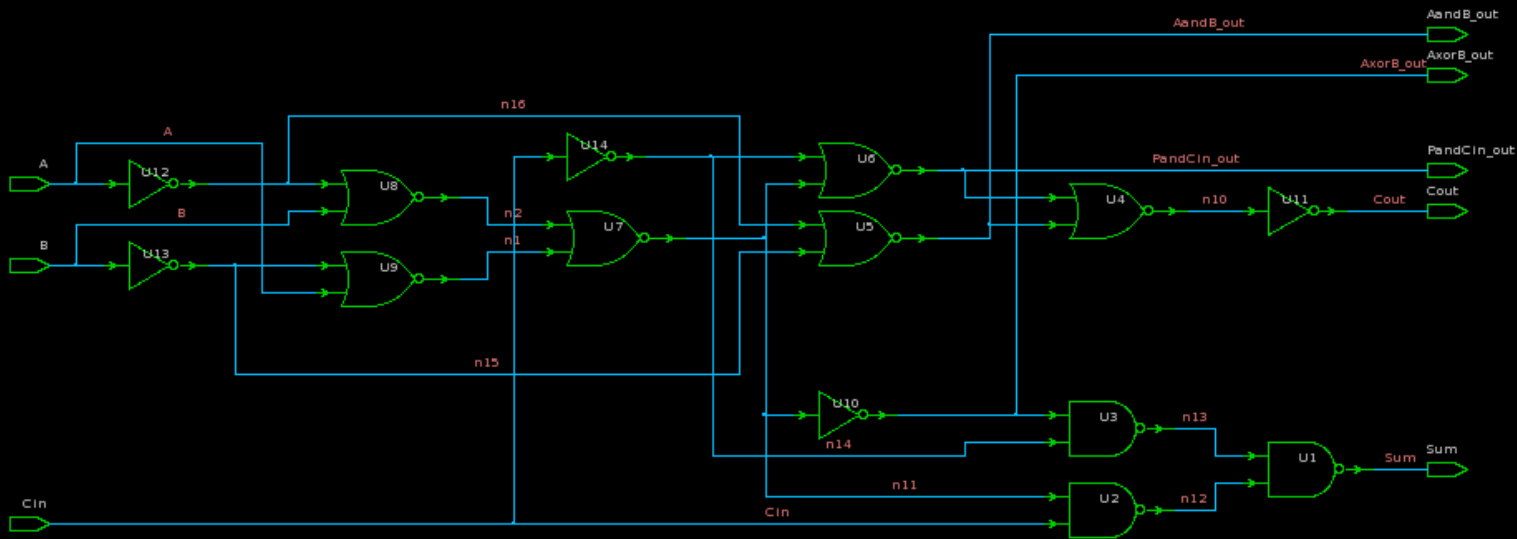
مساحت: ثابت

توان پویا: ثابت

توان ایستا: کاهش

کتابخانه تغییر یافته بدون xor

شامل NAND, NOR, INVERTER



78.735999	مساحت
11.0282 aW	توان ایستای مصرفی
3.9366 uW	توان پویای مصرفی
0.69	تاخیر
0.69	تأخیر مسیر بحرانی
$0.69 \cdot (3.9366 \text{ u} + 11.0282 \text{ a})$	حاصل ضرب توان کل در تاخیر
uninit	زمان فراغت

دلیل این تفاوت این است که کتابخانه تغییر یافته ما دیگر XOR ندارد به همین خاطر XOR با استفاده از NAND, NOR, INVERTER توسط design compiler ساخته می شود. در نتیجه تعداد کل سطح مدار ما از 16 تا به 34 سطح می رسد بنابراین مساحت، توان ایستای مصرفی و توان پویای مصرفی تغییر می کند.

توان پویا: افزایش

مساحت: افزایش

با تشکر و خسته نباشید :