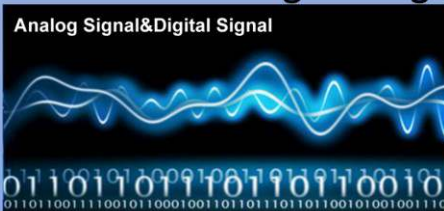
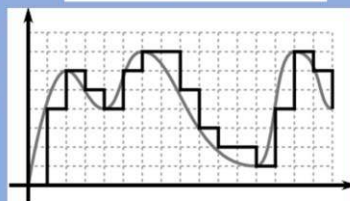
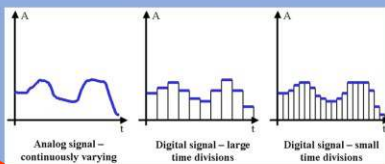


Conversione analogico-digitale...
living in a digital world!



Come si trasforma un segnale
da analogico a digitale?
Che errori possono
aggiungersi?



- ✓ Discretizzazione nei tempi
- ✓ Discretizzazione nelle ampiezze

LEZIONE 5B:

Acquisizione dei segnali: Amplificatore sample and hold e convertitori analogico-digitali

Misure e acquisizione dati biomedici

Sarah Tonello, PhD

*Dip. Ingegneria dell'Informazione
Università degli Studi di Padova*

Outline

➤ **Amplificatore sample-and-hold (SHA)**

→ perchè serve

→ architettura e specifiche

➤ **Convertitori analogico-digitali (ADC)**

→ principi generali

→ principali architetture

Generalità sulla conversione A/D



Nei circuiti che eseguono le due fasi di campionamento e quantizzazione
I DUE PARAMETRI DI MAGGIOR INTERESSE sono:

**Sample-and-Hold amplifier
(SHA)**

➤ **cadenza** di campionamento

(legata alla velocità di funzionamento dell' SHA e al contenuto in frequenza del segnale)

→ **Frequenza di campionamento [samples/s]**

**Analog to Digital Converter
(ADC)**

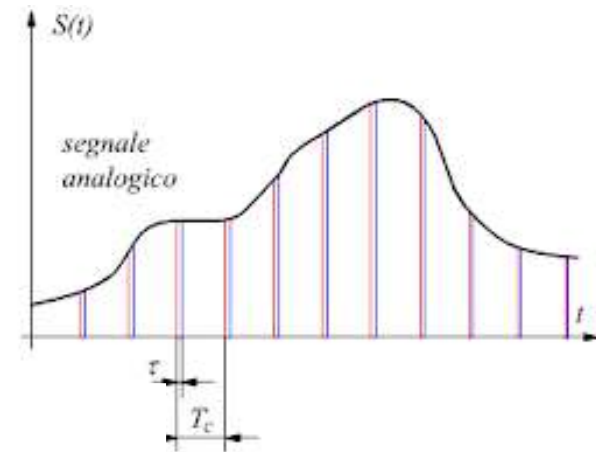
➤ il **numero di bit (b)** utilizzato per codificare i valori quantizzati (legato al numero di livelli di tensione riconoscibili)

→ **Risoluzione [#livelli $V=2^b$]**

**Correlati
inversamente**

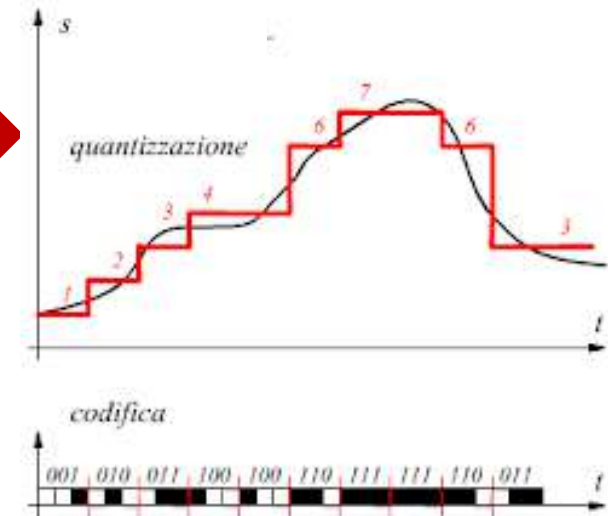


Generalità sulla conversione A/D: relazione f_{\max} e N_{bit}



REQUISITO FONDAMENTALE
 per far sì che la conversione da valore continuo a quantizzato avvenga in modo accurato
 è che **durante l'intervallo di conversione la variazione dell'ingresso sia minore della metà dell'intervallo tra due livelli di quantizzazione successivi**

$$|\Delta x_c(t)| \cong \frac{dx_c(t)}{dt} T_{ADC} < \frac{\Delta}{2}$$



Esempio con senoide:

$$x_c(t) = X_{FS} \sin(2\pi f_0 t + \phi)$$

Normalizzando per campo di ingresso $CI=2X_{FS}$

$$\frac{|\Delta x_c|}{2X_{FS}} = \frac{2\pi f_0 X_{FS} \cos(2\pi f_0 t + \phi)}{2X_{FS}} T_{ADC} < \frac{\Delta}{2}$$

Noto che:

- 1) $\cos(2\pi f_0 t + \phi) < 1$
- 2) $\Delta = \frac{2}{2^b} = 2^{-(b-1)}$



$$\pi f_0 T_{ADC} < \frac{2^{-(b-1)}}{2}$$

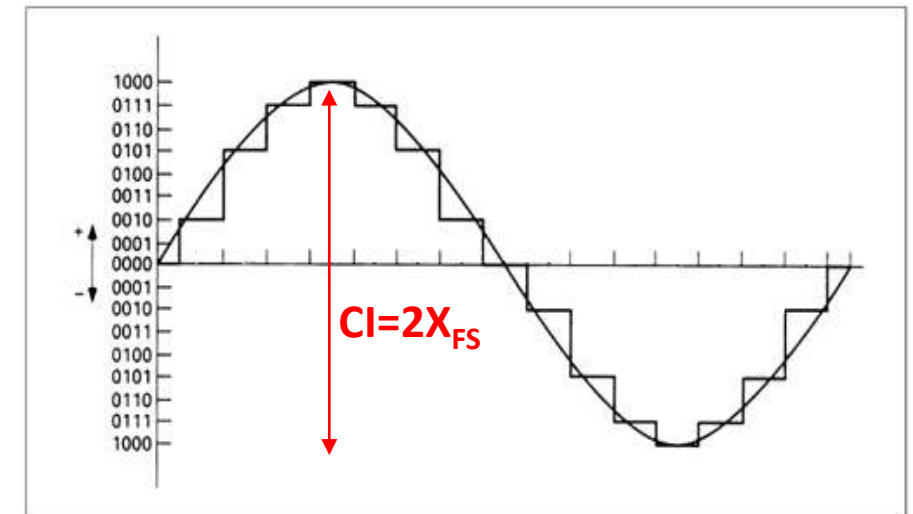
**Massima
frequenza
segnale**

f_0

$$f_0 < \frac{1}{\pi T_{ADC} 2^b}$$

**Numero dei
livelli di
quantizzazione**

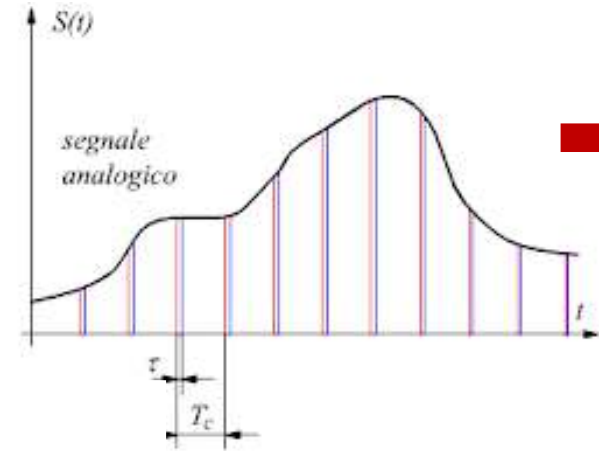
Massima cadenza teorica di campionamento del SHA



**In cosa si traduce questa
disuguaglianza in termini
pratici?**

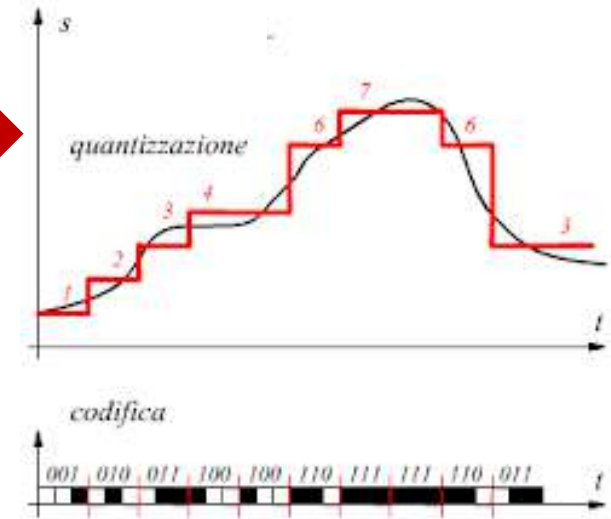


Generalità sulla conversione A/D: relazione f_{\max} e N_{bit}



REQUISITO FONDAMENTALE
per far sì che la conversione da valore continuo a quantizzato avvenga in modo accurato
è che **durante l'intervallo di conversione la variazione dell'ingresso sia minore della metà dell'intervallo tra due livelli di quantizzazione successivi**

$$|\Delta x_c(t)| \cong \frac{dx_c(t)}{dt} T_{ADC} < \frac{\Delta}{2}$$



Massima
frequenza
segnale

f_0

$$f_0 < \frac{1}{\pi T_{ADC}} \frac{1}{2^b}$$

Numero dei
livelli di
quantizzazione

$$f_{0, \text{MAX}} = \frac{F_S}{2} \frac{1}{\pi 2^b}$$

- 1) $1/T_{ADC}$ corrisponde alla **massima cadenza a cui l'ADC può funzionare**, e in prima approssimazione anche alla frequenza massima di campionamento raggiungibile F_S
 $\rightarrow 1/T_{ADC} = F_{\text{MAX}} = F_S$

- 2) per il teorema di Nyquist il massimo delle frequenze di interesse sarà pari a $F_S/2$

la massima frequenza consentita per il segnale di ingresso sarebbe di molto inferiore ad $F_S/2$ e **diminuisce in modo esponenziale al crescere del numero di bit**

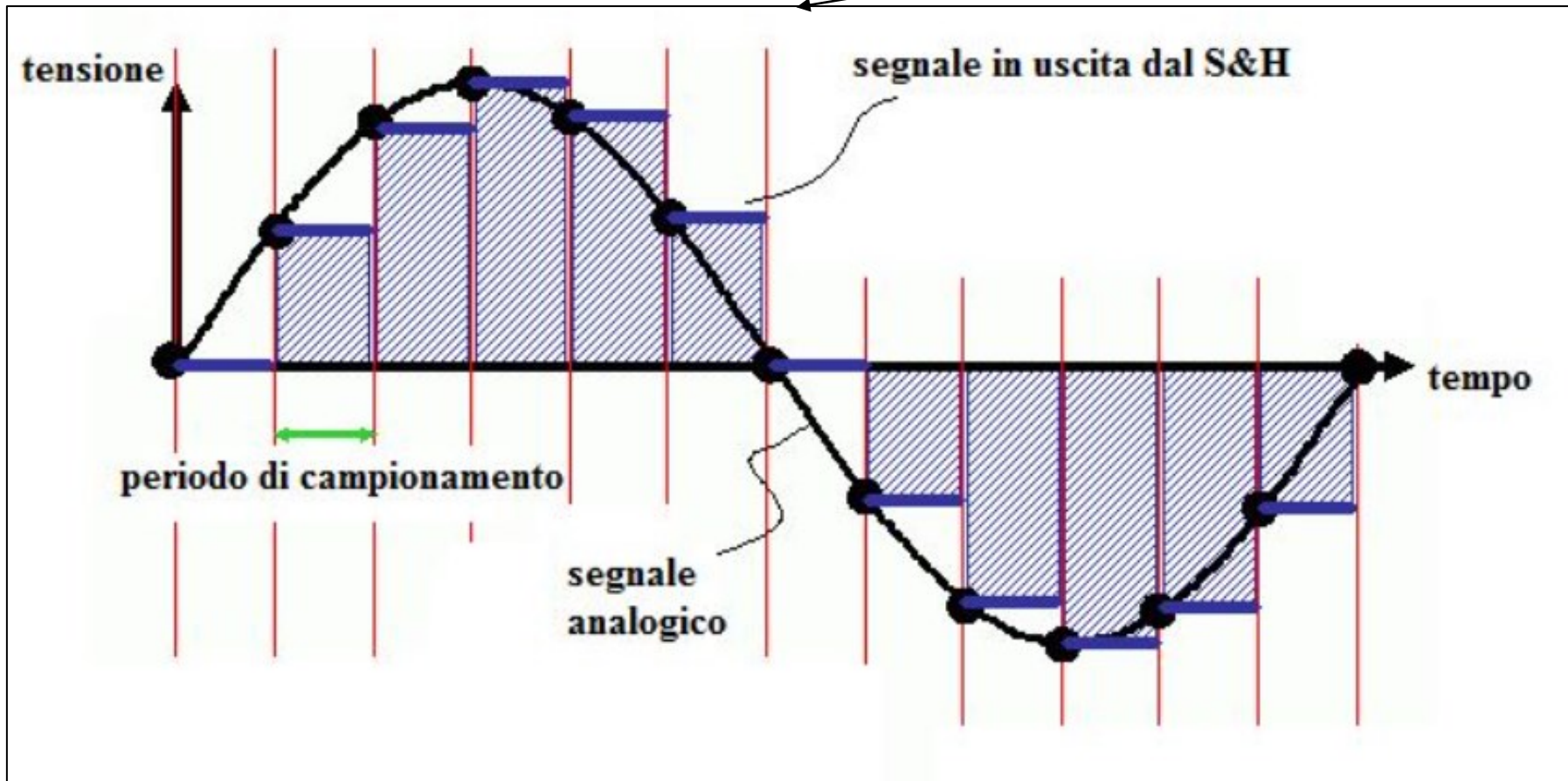
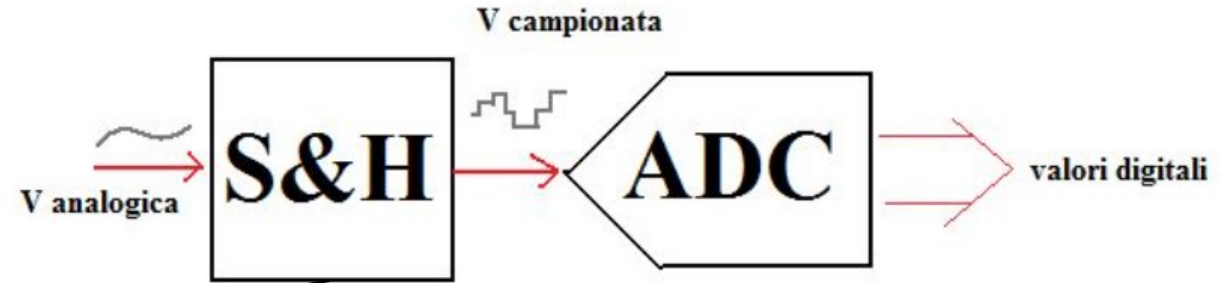
SOLUZIONE per non dover sottostare a questa limitazione in termini di frequenze:
mantenitore o Sample and Hold (SHA)

Sample and Hold Amplifier (SHA)

- SHA richiesto quando non è possibile verificare la relazione

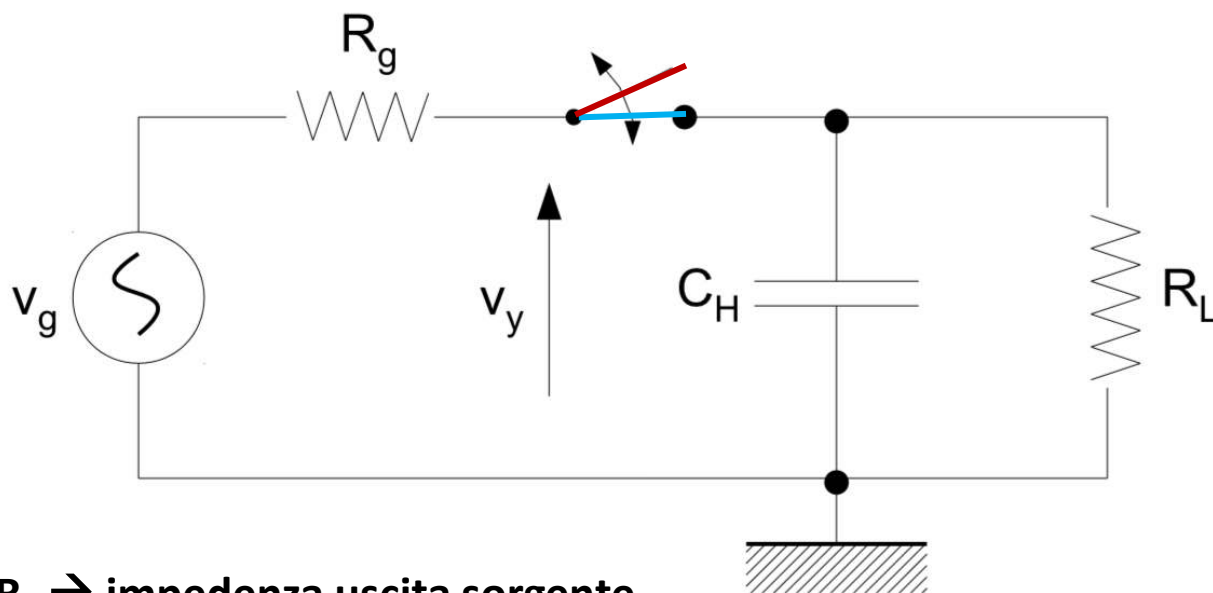
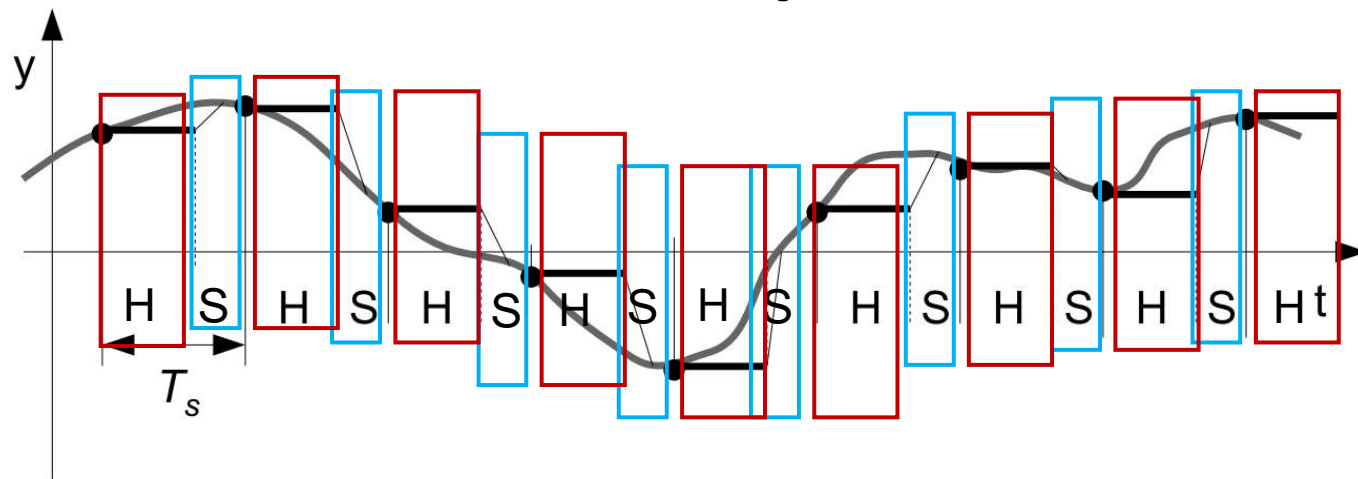
$$f_0 < \frac{1}{\pi T_{ADC}} 2^b$$

perchè il segnale che si vuole convertire in digitale ha un contenuto in frequenza troppo alto rispetto alla velocità dell'ADC

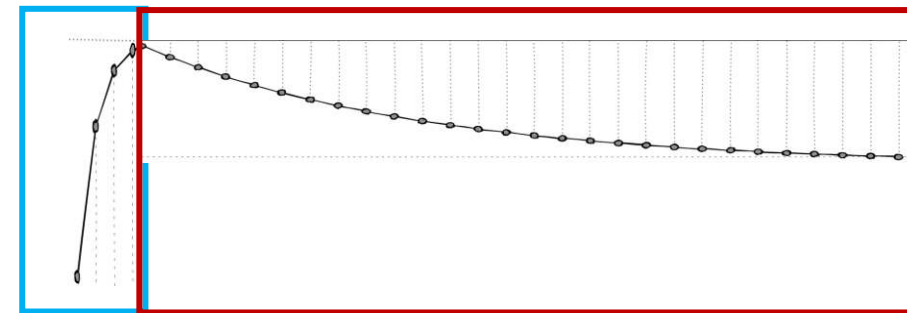


- il S&H "congela" la tensione da convertire per tutta la durata del periodo di campionamento, in modo tale che l'ADC abbia il tempo di effettuare una conversione corretta.
- la frequenza di campionamento del S&H coincide con la frequenza di campionamento dell'ADC

Principio di funzionamento di un SHA



$R_g \rightarrow$ impedenza uscita sorgente
 $R_L \rightarrow$ impedenza ingresso dell'ADC
 $V_g \rightarrow$ segnale da campionare



SAMPLE

$$v_c = V_1 \left(1 - e^{-t/\tau} \right)$$

$\tau = R_g C_H$

HOLD

$$v_c = V_1 e^{-t/\tau}$$

$\tau = R_L C_H$

A LIVELLO CIRCUITALE

FASE DI SAMPLE (interruttore chiuso) \rightarrow carica/scarica RAPIDA di un condensatore (con costante di tempo molto piccola) fino a acquisire il valore di V_{in} .

Tempo di transizione e incertezze legate a R_g e C_H

FASE DI HOLD (interruttore aperto) \rightarrow scarica MOLTO LENTA di un condensatore (con costante di tempo molto GRANDE) fino all'inizio della successiva fase di sampling.

Tempo di scarica non infinito ma legato a R_L e C_H

Principio di funzionamento di un SHA: considerazioni pratiche

IDEALMENTE

- 1) valore ingresso al tempo $S \rightarrow H$ riprodotto in uscita **senza incertezze e con tempi di transizione nulli.**
- 2) **valore campionato mantenuto in uscita il per un tempo "infinito".**

IN PRATICA ...

Tutto ciò ottenuto con un certo grado di approssimazione, legato alle incertezze dei componenti R_g e R_L e al verificarsi di SPECIFICI REQUISITI:

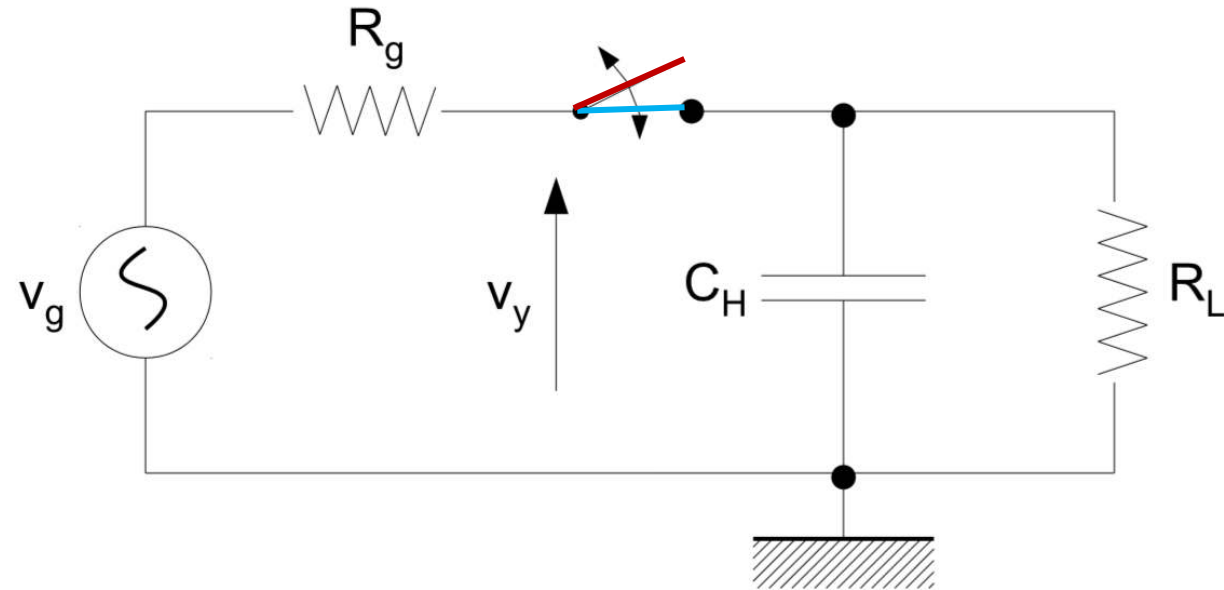
FASE DI SAMPLE

- ❑ Per ottenere una **carica veloce di C_H** al valore $Q_H = C_H * V_{imp1}$, la costante di tempo $R_g C_H$ dovrà essere ridotta

→ R_g **sufficientemente piccola** → non sempre garantito

Quindi ciò si traduce in una condizione su C_H

→ **C_H molto piccola** (anche per evitare frequenze di taglio troppo basse)



FASE DI HOLD

- ❑ Per mantenere costante il valore della tensione ai capi del condensatore, necessario realizzare **elevate costanti di tempo di scarica $R_L C_H$** , massimizzando il prodotto $R_L C_H$ richiedendo quindi **C_H sufficientemente grande**

Come si rispettano entrambe le richieste?

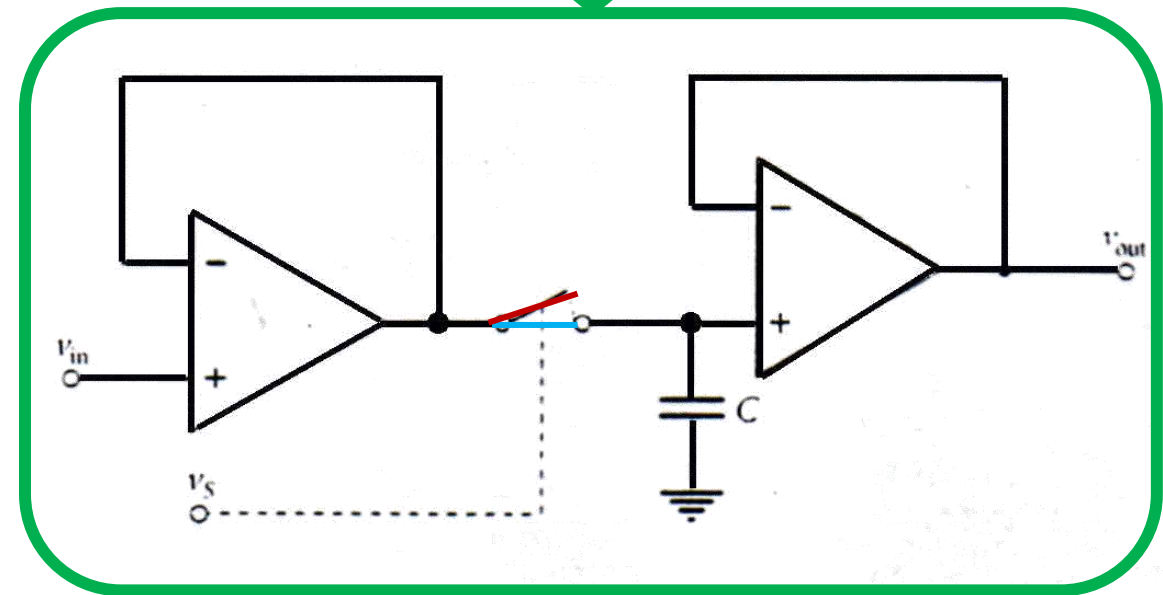
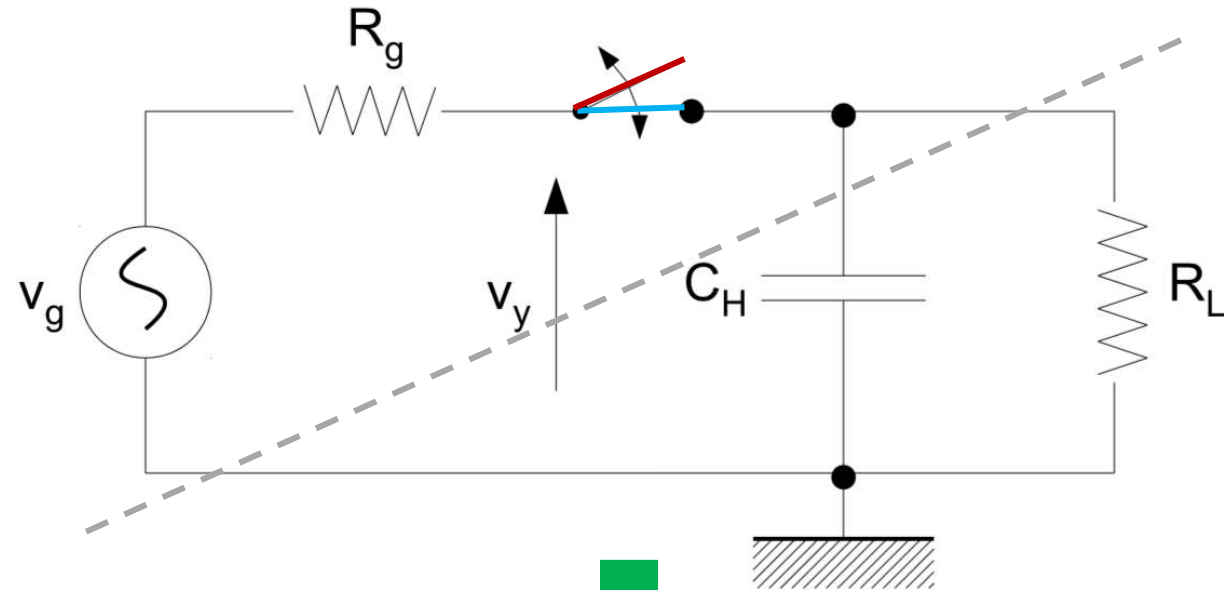
Circuito di un SHA

Come si rispettano entrambe le richieste su C_H ?

l'interruttore e la capacità di memoria del SHA vengono disaccoppiate sia dall'ingresso, sia dall'uscita mediante **DUE INSEGUITORI DI TENSIONE**.

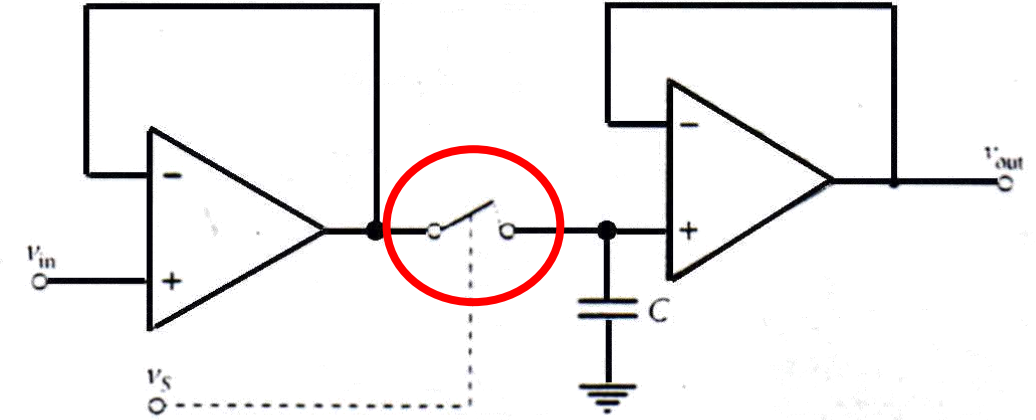
L'AMPLIFICATORE DI INGRESSO → permette di **ridurre la resistenza di sorgente R_g** vista dal condensatore quando l'interruttore è chiuso, rendendo **più breve il tempo di carica** (anche con un valore di C_H non piccolissimo)

L'AMPLIFICATORE DI USCITA → permette di **aumentare la resistenza di carico R_L** vista dal SHA, **allungando il tempo di scarica** (anche con un valore di C_H non molto grande)



Prestazioni di un SHA

- Le caratteristiche di maggiore interesse che definiscono le prestazioni dei SHA sono quelle relative alle tempistiche di transizione tra fase di sample e di hold sia in termini di valore assoluto che in termini di incertezze



I PRINCIPALI PARAMETRI SONO:

- **TEMPO DI APERTURA (aperture time T_{APnom}):** intervallo *tra istante comando di hold e istante di effettiva apertura dell'interruttore*. Variabile tra dispositivi e anche tra operazioni di campionamento successive.
- **JITTER DI APERTURA (aperture jitter T_J):** *fluttuazione tra i tempi* di apertura tra un campionamento e l'altro, nello stesso dispositivo.
- **EFFETTIVO TEMPO DI APERTURA (T_{APEff}):** *ricavato dai due precedenti che meglio descrive le performance del SHA tenendo conto dell'effetto sull'incertezza sull'ampiezza del campione.*

$$T_{APEff} = T_{APnom} + \Delta T_{AP}$$

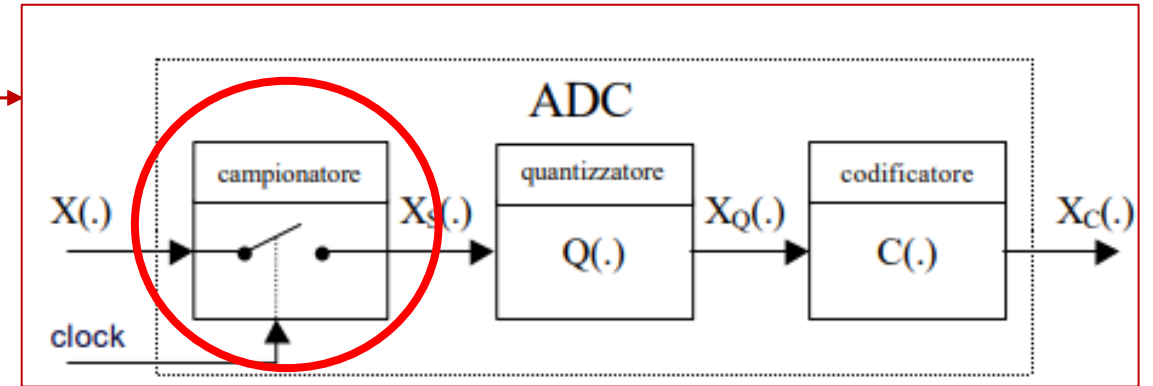
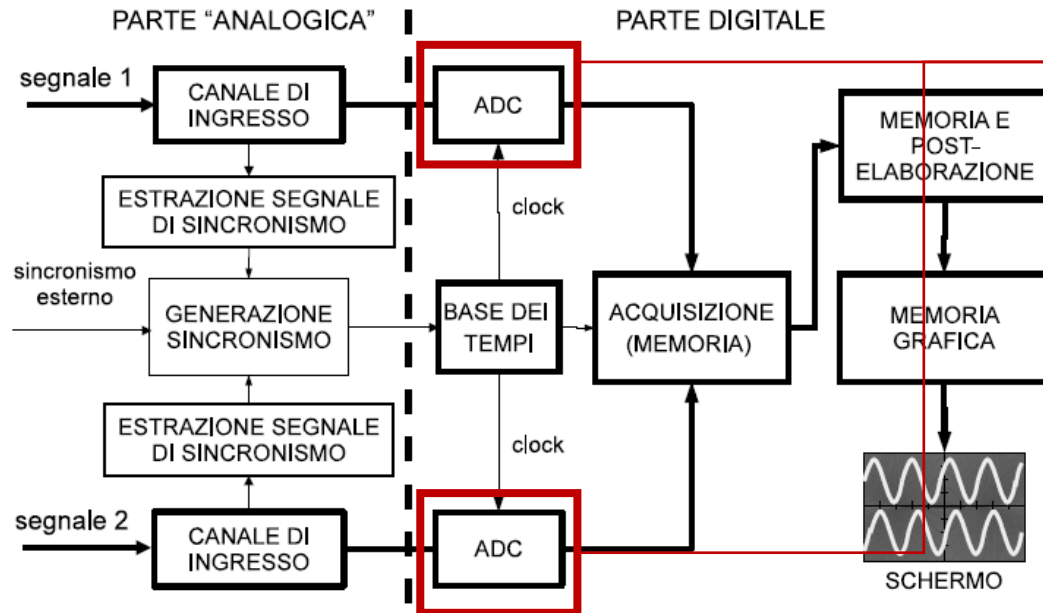
(tiene conto sia delle caratteristiche nominali dello specifico componente, che della sua accuratezza)

Esempio con senoide: Effetto del jitter sull'incertezza di acquisizione

$$x(t) = A_0 \sin(2\pi f_0 t) \quad T_J = 20 \text{ ns} \quad f_S = 100 \text{ kHz}$$
$$f_0 = 40 \text{ kHz} \quad T_J/T_S = 0.002$$

$$|\Delta x| = \max \left| \frac{dx}{dt} \right| \cdot T_J = 2\pi f_0 A_0 \cdot T_J \quad \text{da cui: } \frac{|\Delta x|}{A_0} = 2\pi f_0 \cdot T_J \quad \rightarrow \quad \text{Incertezza pari allo 0.5\% di } A_0$$

Caratteristiche SHA in pratica: esempi da datasheet



N.B. Primo componente che incontra il segnale condizionato
→ **Fondamentale per ottimizzare le caratteristiche metrologiche**

Modo track and sample

Offset, Non linearità, Tempo di assestamento, Guadagno, Ampiezza di banda, Velocità di deviazione

Tempo di apertura, Offset da sample a hold, Tempo di assestamento, Tempo effettivo di ritardo dell'apertura, Jitter (incertezza di apertura)

Modo hold

Droop (abbassamento), Assorbimento dielettrico

	Acquisition Time	Droop Rate or Current	Aperture Uncertainty (ps, rms)	Error (Voltage or Charge)	Offset vs. Temp.	Nonlinearity	Technology
HTS-0010	14 ns (0.1%)	100 $\mu\text{V}/\mu\text{s}$	5	5 mV	125 $\mu\text{V}/^\circ\text{C}$	0.1%	Hybrid
HTS-0025	25 ns (0.1%)	200 $\mu\text{V}/\mu\text{s}$	20	5 mV	100 $\mu\text{V}/^\circ\text{C}$	0.1%	Hybrid
HTC-0300A	150 ns (0.1%)	5 $\mu\text{V}/\mu\text{s}$	100	5 mV	100 $\mu\text{V}/^\circ\text{C}$	0.01%	Hybrid
HTC-0500	700 ns (0.1%)	0.5 $\mu\text{V}/\mu\text{s}$	60	5 mV	100 $\mu\text{V}/^\circ\text{C}$	0.01%	Hybrid
AD346	1 μs (0.01%)	0.1 mV/ms	400	10 mV	—	—	Hybrid
AD389	1.5 μs (0.01%)	0.1 $\mu\text{V}/\mu\text{s}$	400	2 mV	—	0.001%	Hybrid
AD585	3 μs (0.01%)	1 mV/ms	500	0.3 pC	—	—	Monolithic
AD583	4 μs (0.1%)	5 pA	5,000	10 pC	—	—	Monolithic
ADSHC-85	4.5 μs (0.01%)	0.2 mV/ms	500	1 mV	25 $\mu\text{V}/^\circ\text{C}$	0.01%	Hybrid
SHA1144	6 μs (0.003%)	1 $\mu\text{V}/\mu\text{s}$	500	1 mV	30 $\mu\text{V}/^\circ\text{C}$	0.001%	Module
AD582	6 μs (0.1%)	100 pA	15,000	5 pC	—	0.01%	Monolithic

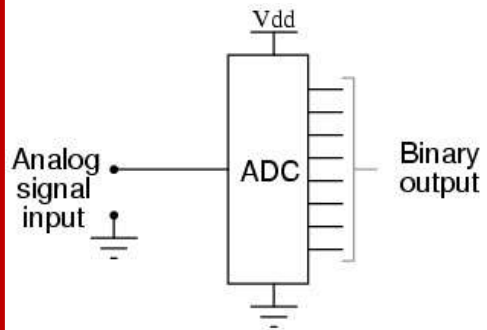
Tabella 1. Caratteristiche di alcuni SHA disponibili sul mercato.

Outline

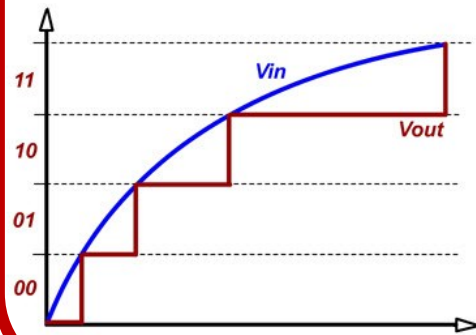
- Amplificatore sample-and-hold (SHA)
 - perchè serve
 - architettura e specifiche
- Convertitori analogico-digitali (ADC)
 - principi generali
 - principali architetture

Convertitori analogico-digitale: classificazione

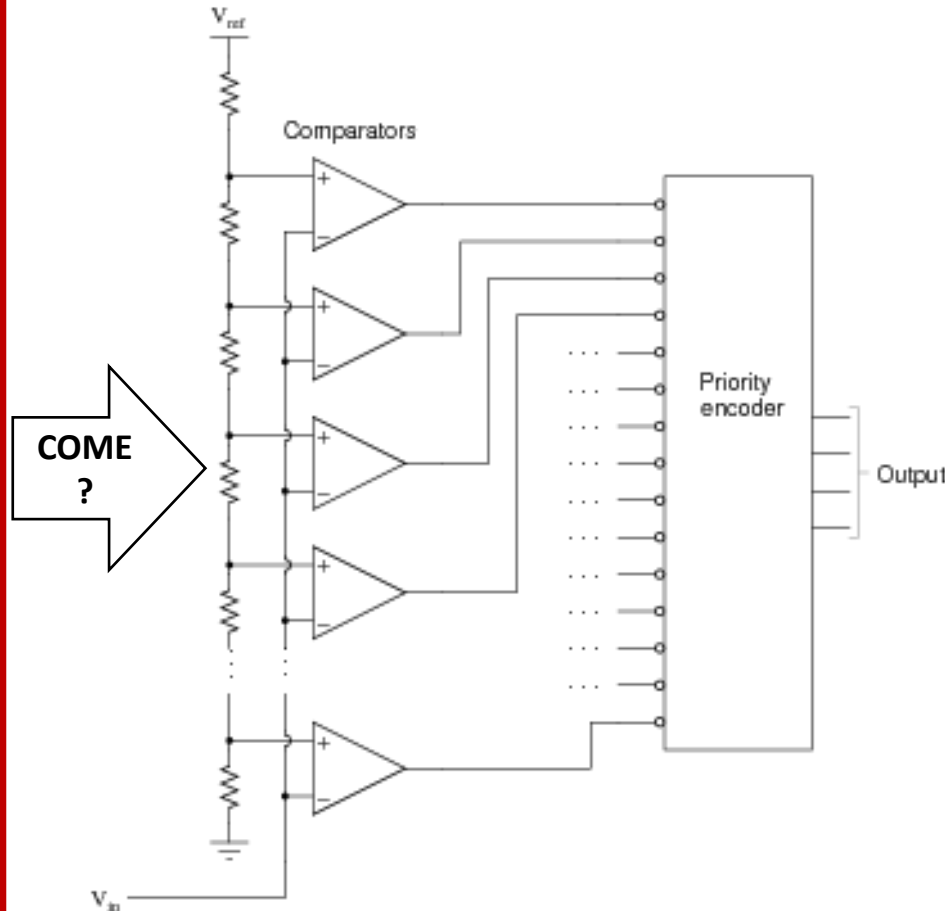
PRINCIPIO COMUNE



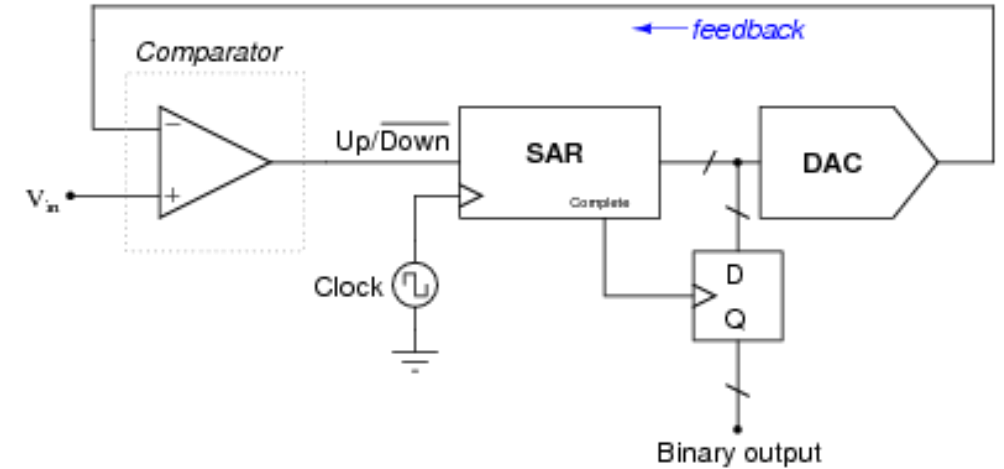
Trasformano il **segnale analogico** in uscita dal SHA in un **segnale digitale**, in cui ogni campione è rappresentato da una **parola binaria di b bit**



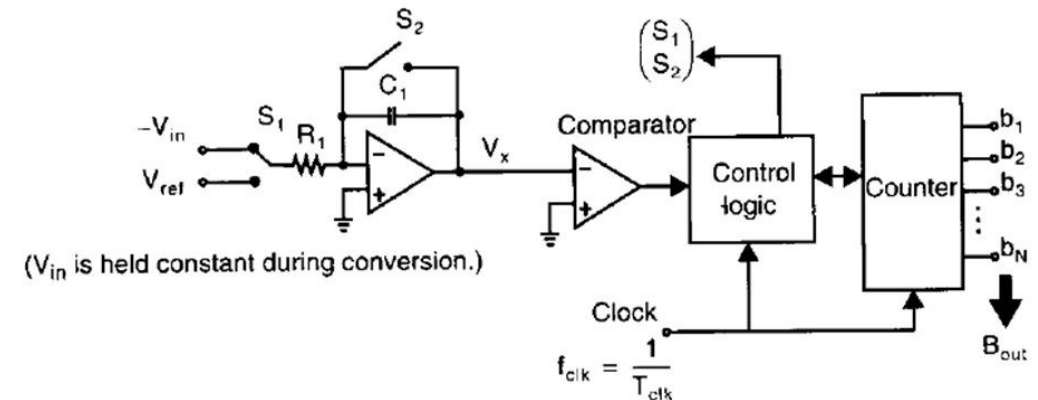
➤ **paralleli, o flash converter**



➤ **ad approssimazioni successive**



➤ **ad integrazione**



Convertitore analogico-digitale: dettagli circuitali in comune

OBIETTIVO 1: confronto tra la **grandezza di ingresso** ed una **grandezza di riferimento** omogenea e nota

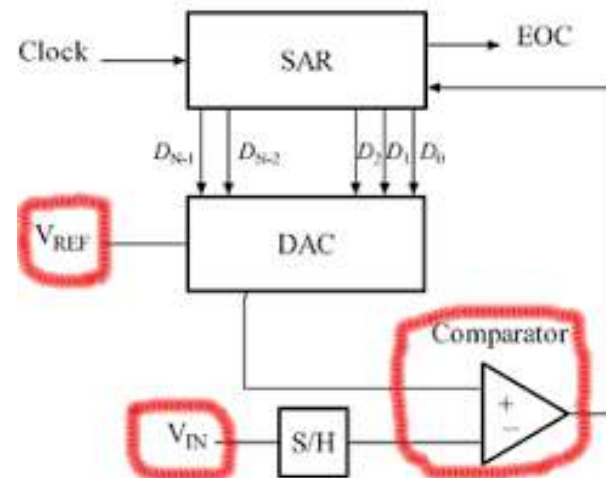
ELEMENTI INDISPENSABILI:

- ❖ **riferimento di tensione**: dispositivo elettronico che produce una tensione costante, fissa e indipendente dal carico applicato, dalle variazioni dell'alimentazione, da cambiamenti di temperatura e costante nel tempo.
FONDAMENTALE!!!

- ❖ **circuiti con funzione di comparatori**: ingresso da un lato la tensione da convertire e dall'altro una tensione di riferimento V_{ref} .

RISULTATO: numero binario in cui ciascuna cifra è il risultato del confronto.

N.B. non è sempre facile individuare le quantizzazione e la codifica come fasi separate.



OBIETTIVO 2: gestione e corretta **temporizzazione** del funzionamento di un ADC

ELEMENTI INDISPENSABILI:

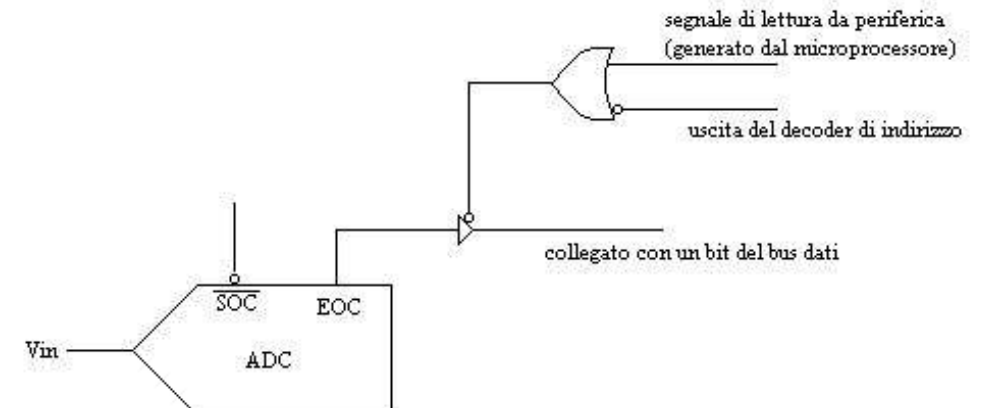
- ❖ **amplificatore sample and hold (SHA)** a monte dell'ADC per garantire stabilità della tensione analogica di ingresso per un tempo sufficiente
- ❖ **segnali di controllo** per assicurare la sequenza corretta delle operazioni di conversione:

istante di inizio della conversione

(Start Of Conversion, SOC)

indicazione del termine della conversione

(End of Conversion, EOC)



ADC parallelo (o flash converter)

- **struttura** che associa in modo più semplice elementi circuitali al modello concettuale costituito da quantizzatore e codificatore.

COME LAVORA?

confronto simultaneo dell'ingresso analogico con tutte le $B-1$ tensioni soglia di riferimento della caratteristica di quantizzazione.

ELEMENTI CIRCUITALI

- $2^b - 1$ comparatori
- un partitore composto da 2^b impedenze, tutte uguali tra loro nel caso di caratteristica di quantizzazione uniforme eccetto, al più, i due elementi terminali.
- la tensione di riferimento $\pm V_{FS}$ = fondo scala del convertitore stesso

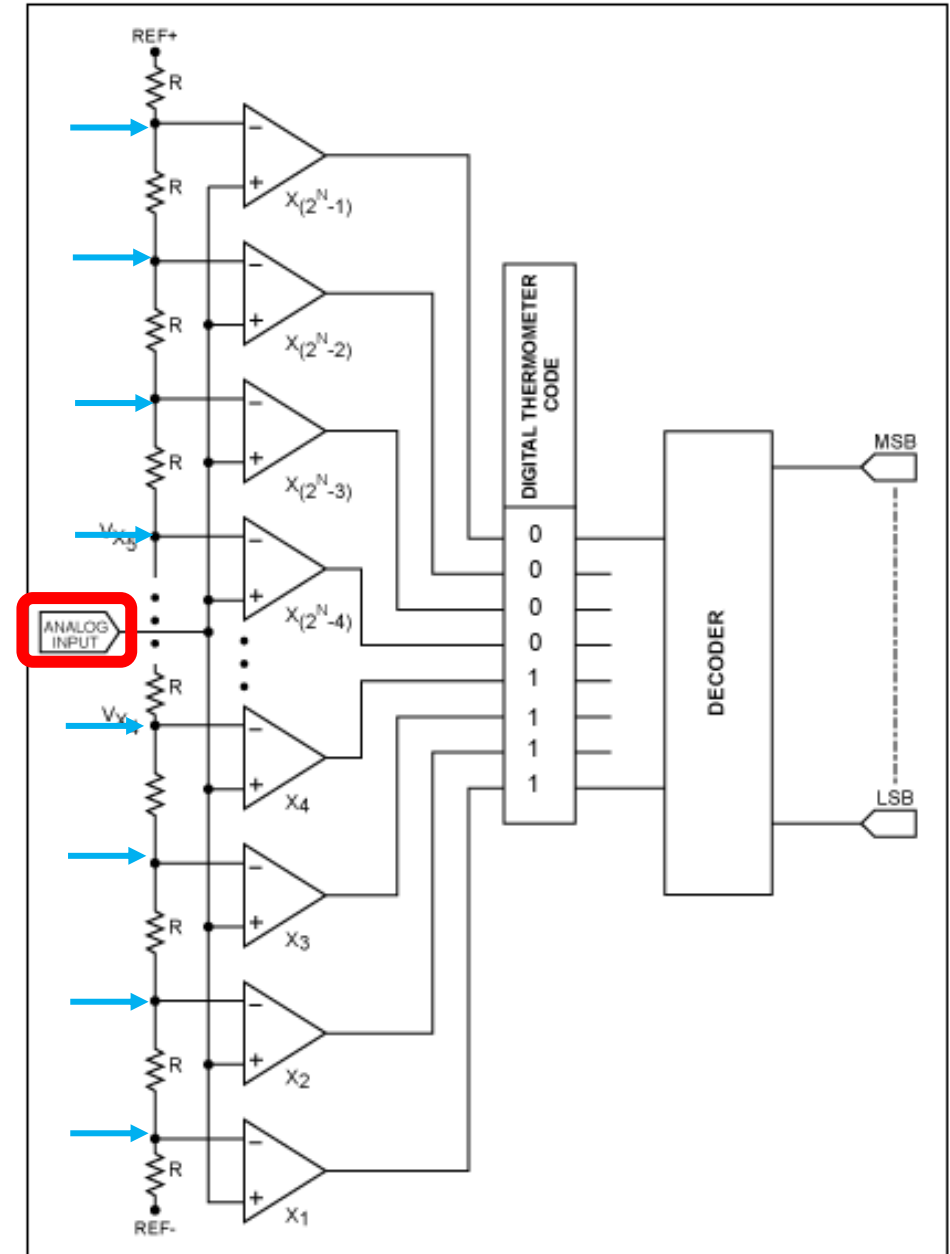
CHE PERFORMANCES HA?

→ velocità di conversione particolarmente elevata, limitata solamente dal tempo di propagazione del segnale

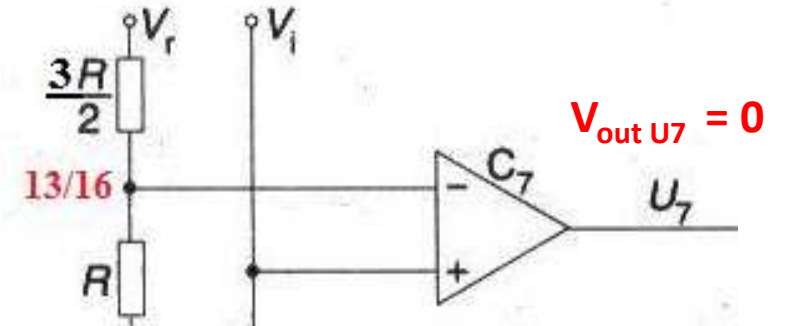
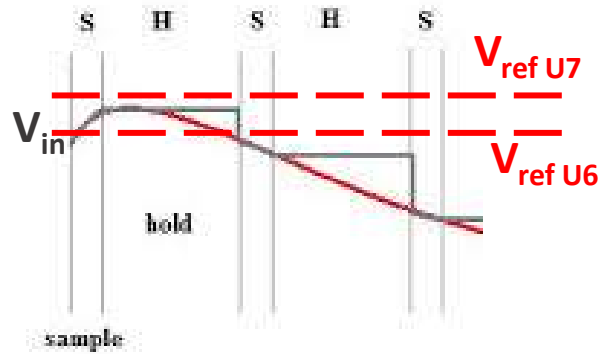
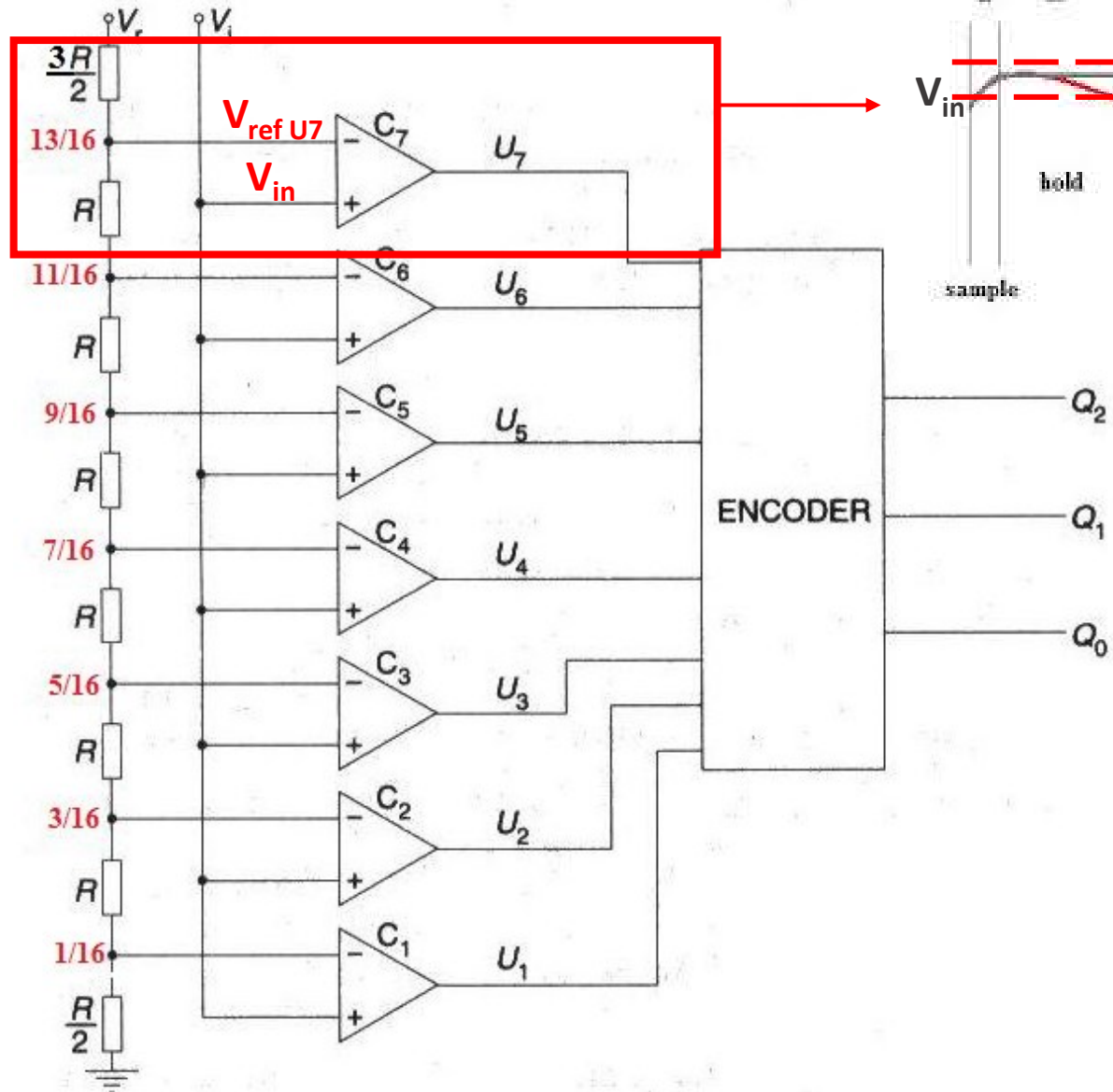
Velocità: G_{sample}/s ; **Risoluzioni:** circa 10 bit.

LIMITAZIONI

- Numero elevato di comparatori, crescita esponenziale rispetto ai bit
- Difficoltà di realizzazione del partitore di tensione al crescere del numero di soglie, con crescita incertezza



ADC paralelo (o flash converter): esempio

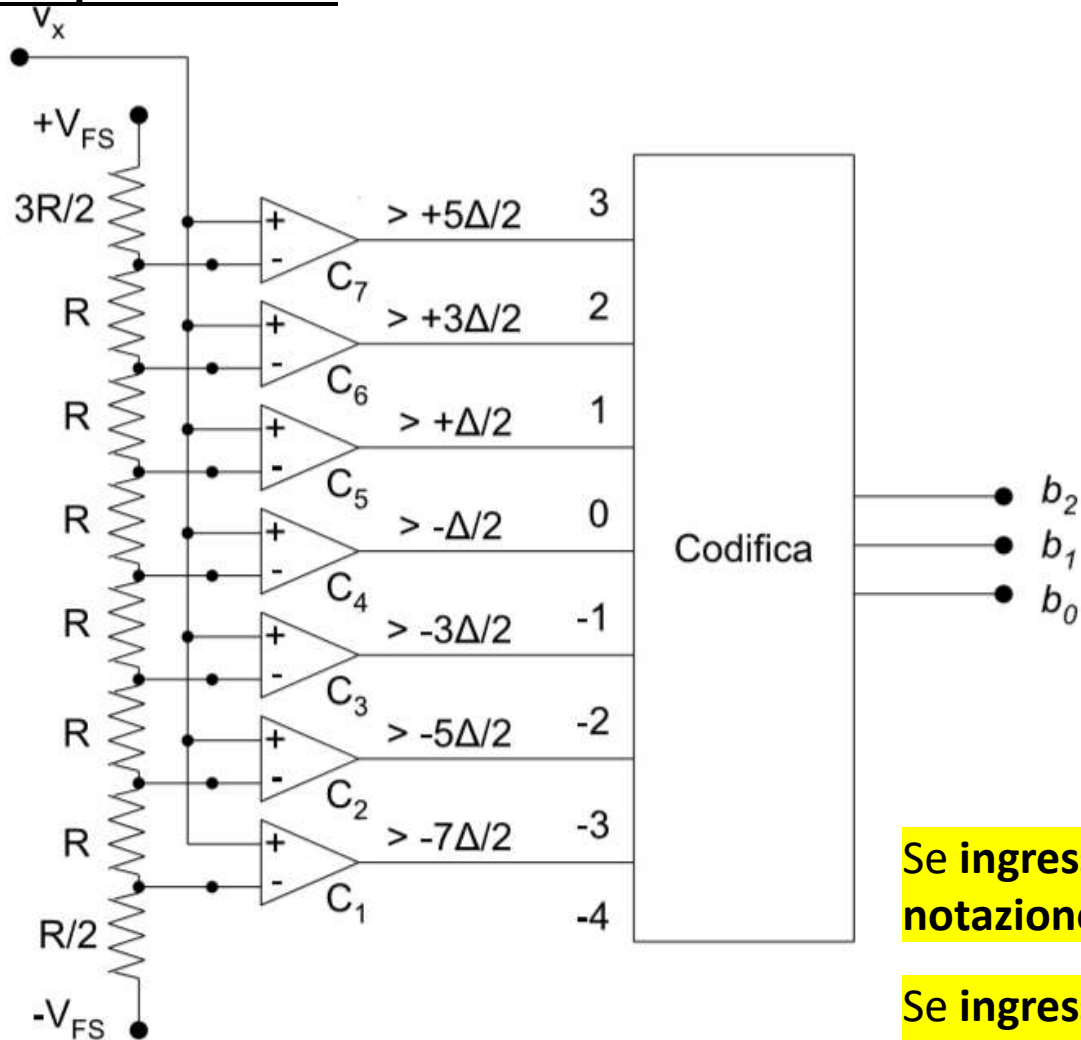


$$V_{out U6} = V_{out U5} = V_{out U4} = V_{out U3} = V_{out U2} = V_{out U1} = 1$$

U7	U6	U5	U4	U3	U2	U1	Numero binario in uscita
0	0	0	0	0	0	0	0 0 0
0	0	0	0	0	0	1	0 0 1
0	0	0	0	0	1	1	0 1 0
0	0	0	0	1	1	1	0 1 1
0	0	0	1	1	1	1	1 0 0
0	0	1	1	1	1	1	1 0 1
0	1	1	1	1	1	1	1 1 0
1	1	1	1	1	1	1	1 1 1

ADC parallelo (o flash converter): esempio

ADC parallelo a $b = 3$ bit che utilizza una quantizzazione ad arrotondamento e codifica in complemento a 2



- **sette comparatori** riferiti a sette diversi livelli di soglia, ottenuti mediante un partitore resistivo dalla tensione di riferimento, simmetrica e di valore $\pm V_{FS}$ con passo $\Delta = 2V_{FS} / 2^3 = V_{FS} / 4$.
- La tensione analogica da convertire, è applicata **in parallelo** ad uno dei due ingressi di tutti i comparatori; all'altro ingresso invece ciascun comparatore ha **uno tra i sette livelli** di soglia T_k .
- Le **uscite dei comparatori** forniscono un codice "a termometro" della tensione v_x :
 - se $v_x > T_k \rightarrow$ valore logico 1;
 - se $v_x < T_k \rightarrow$ valore logico 0.
- **7 uscite binarie convertite**, tramite blocco di codifica (rete logica combinatoria), in una parola binaria di 3 bit, che costituisce il valore numerico in uscita dall'ADC.

Se ingresso < minimo livello di soglia \rightarrow l'uscita del codificatore, utilizzando la notazione in complemento a 2 vale '100'.

Se ingresso $\Delta/2 < v_x < 3\Delta/2$, allora uscita dei comparatori da C1 a C5 è a 1, mentre quella dei comparatori C6 e C7 è a 0, e l'uscita del codificatore, utilizzando la notazione in complemento a 2 vale '001'.

ADC ad approssimazioni successive

COME LAVORA?

successivi confronti tra V_x e V_{xq} generata all'uscita del DAC, proporzionale alla tensione di riferimento V_R secondo il codice di uscita x_q ; si ha cioè:

$$V_{xq} = \frac{x_q}{2^b} V_R = x_q \Delta \quad \text{dove} \quad \Delta = V_R / 2^b$$

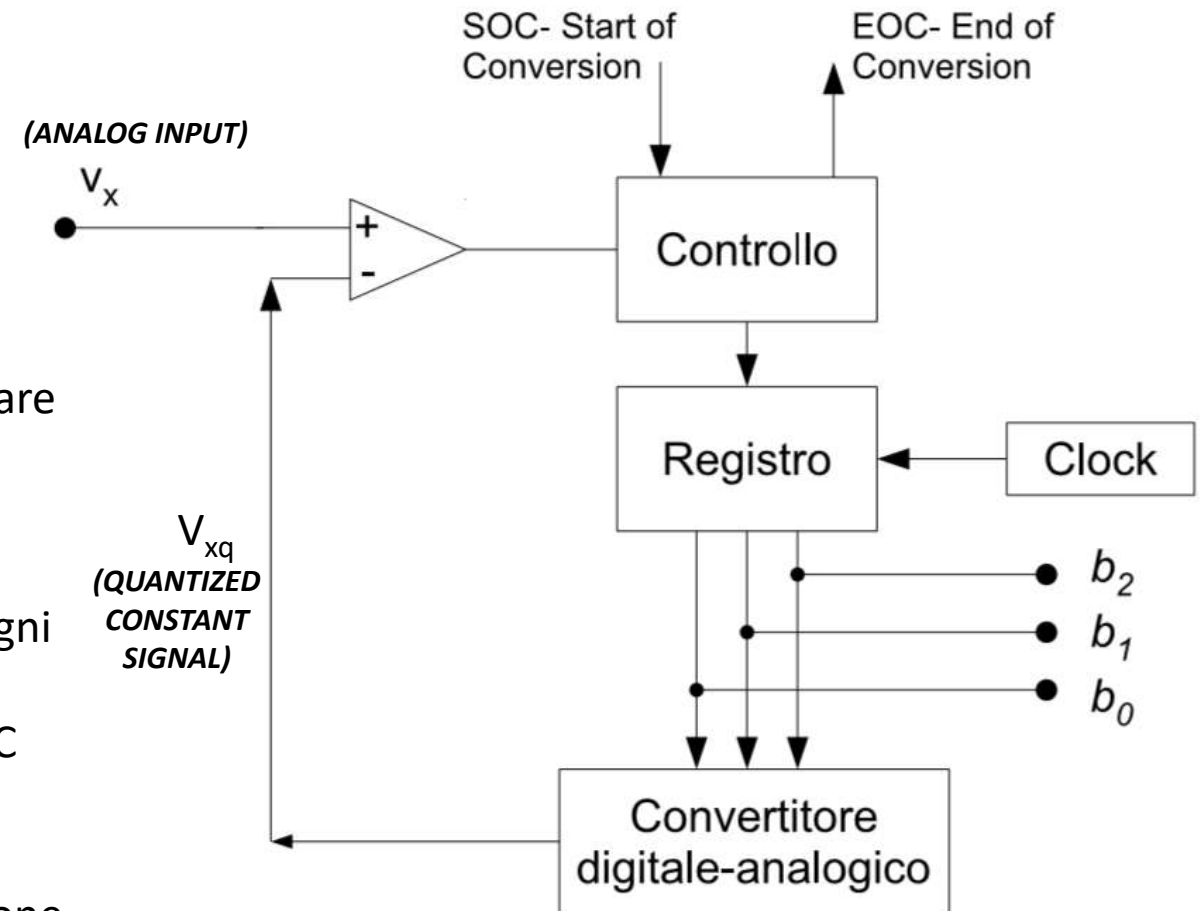
Sulla base del confronto tra V_x e V_{xq} , una adeguata logica di controllo varia automaticamente il valore di x_q fino ad arrivare al corretto **valore finale**.

ELEMENTI CIRCUITALI

- **un unico comparatore** che determina sequenzialmente ogni singolo bit della parola binaria di uscita;
- **un blocco di controllo** che riceva segnale SOC e invii EOC
 - **un registro** che riceva e invii i comandi di controllo
 - **un convertitore digitale-analogico** gestito dal registro
- **Un clock** per temporizzare i successivi passi della conversione

CHE PERFORMANCES HA?

- Sia buone risoluzioni (**fino a 16 bit**) che velocità di conversione relativamente elevate (**fino ai MHz**).
- **accuratezza** dipende da rumore componenti interni, stabilità delle tensioni di rif, accuratezza del DAC.



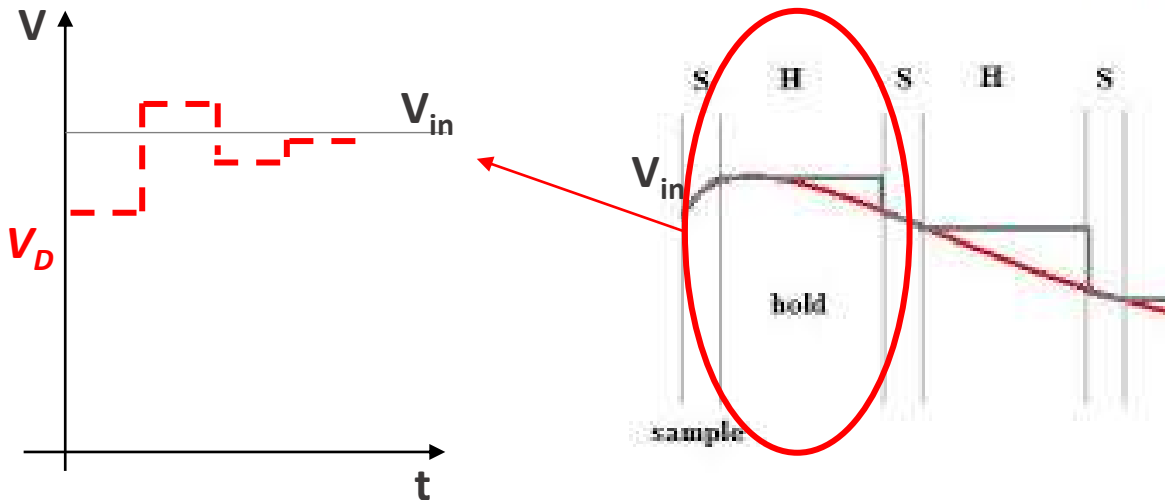
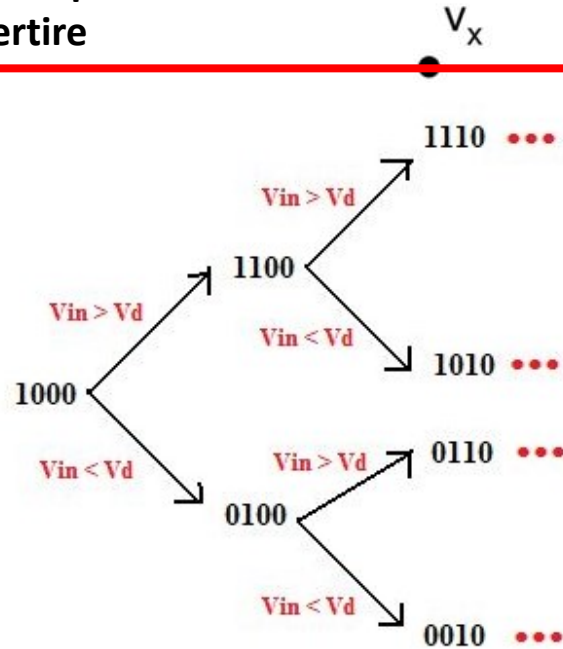
ADC ad approssimazioni successive

Registro ad approssimazioni successive (**S.A.R. = Successive Approximation Register**), che produce parole binarie equivalenti ai possibili livelli di quantizzazione in base al numero di bit, **partendo dalla metà del fondo scala e procedendo in base ai risultati dei successivi confronti con la tensione da convertire**

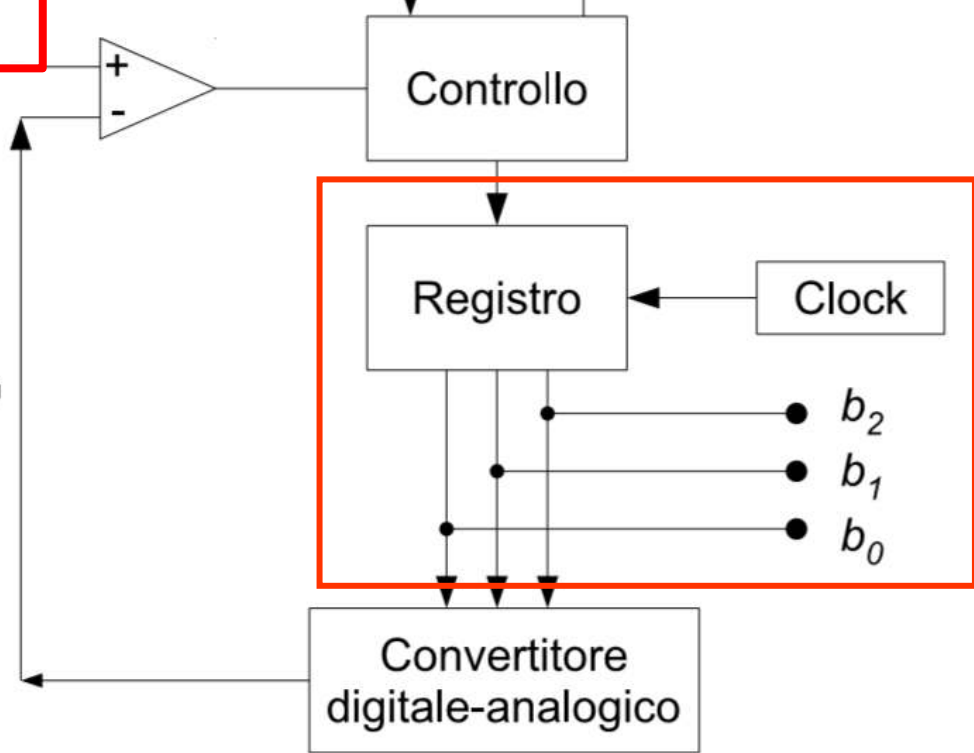
(es 4 bit)

V_{max}	----	1111
$15/16V_{max}$	----	1110
$14/16V_{max}$	----	1101
...
$2/16V_{max}$	----	0010
$1/16V_{max}$	----	0001
0	----	0000

*Generate
secondo
algoritmo*



SOC- Start of Conversion
EOC- End of Conversion



BIPOLARE:

$-V_{max}$ (SAR tutti bit a 0) $< V_D < V_{max}$ (SAR tutti i bit a 1)

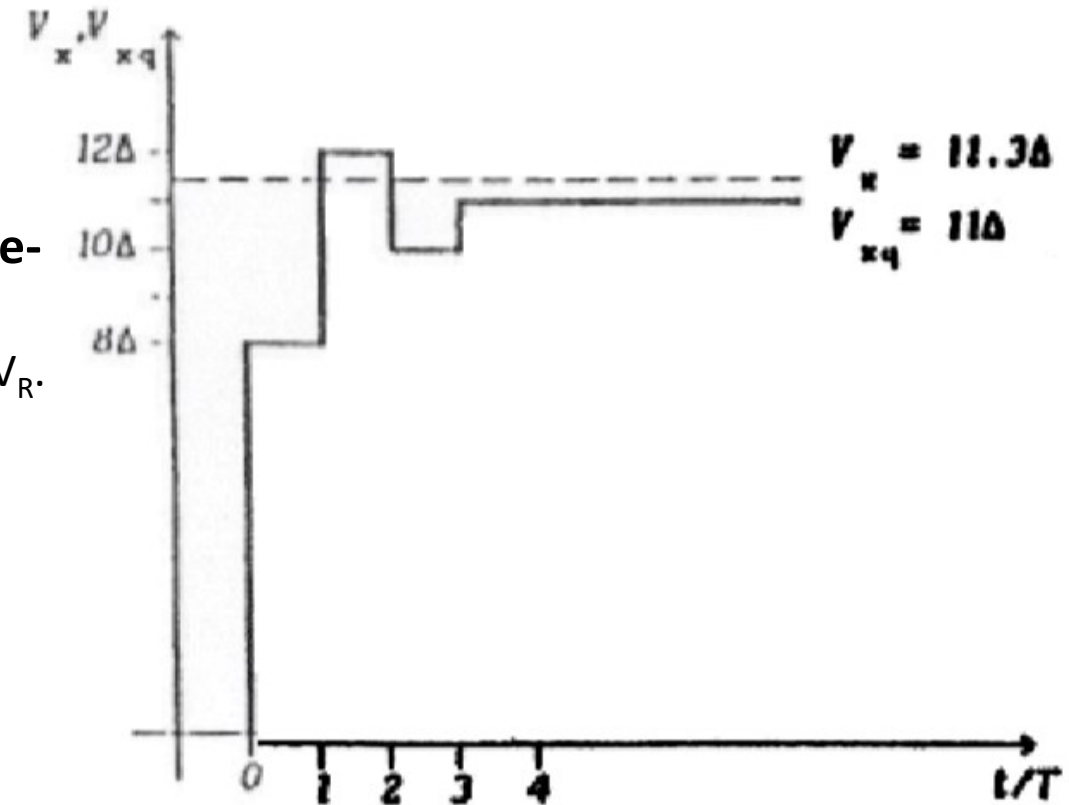
UNIPOLARE:

0 (SAR tutti bit a 0) $< V_D < V_{max}$ (SAR tutti i bit a 1)

ADC ad approssimazioni successive

STEP CONVERSIONE

- 1) **Invio del comando di inizio conversione (SOC):** causa l'inizializzazione della logica interna dell'ADC; tutti i bit del registro $\rightarrow 0$, MSB $\rightarrow 1$.
- 2) **Invio del valore contenuto nel registro al convertitore digitale-analogico:** in queste condizioni la tensione analogica V_{xq} fornita dal DAC è pari a metà della tensione di fondo scala; si ha cioè $V_{xq} = 1/2 V_R$.
- 3) **Confronto della tensione in uscita dal DAC con la tensione ingresso V_x ,** mediante il comparatore.
Se risulta $V_x > V_{xq}$, il blocco di controllo conferma ad 1 il MSB memorizzato sul registro e porta a 1 il bit di peso immediatamente inferiore, ossia quello corrispondente a un quarto del fondo scala; (avremo $V_{xq} = 3/4 V_R$)
Se invece si ha $V_x < V_{xq}$, il blocco di controllo pone MSB a 0 e pone a 1 il bit di peso immediatamente inferiore; (avremo $V_{xq} = 1/4 V_R$)
- 4) **Invio del comando di fine conversione (EOC):** quando tutti i bit del registro sono stati verificati, inviato all'unità di controllo esterna.
- 5) **Salvato nel registro il valore numerico** che rappresenta il rapporto, quantizzato su b bit, tra il segnale di ingresso e la tensione di riferimento V_R .



Esempio di evoluzione dei valori di x_q e di V_{xq} per $b=4$, e $V_x = 11.3\Delta$. Si noti che il valore finale di V_{xq} è pari a 11Δ , ossia al valore quantizzato della tensione analogica di ingresso.

ADC ad approssimazioni successive

STEP CONVERSIONE

- 1) **Invio del comando di inizio conversione (SOC):** causa l'inizializzazione della logica interna dell'ADC; tutti i bit del registro $\rightarrow 0$, MSB $\rightarrow 1$.
- 2) **Invio del valore contenuto nel registro al convertitore digitale-analogico (DAC):** il DAC è programmato per generare una tensione di riferimento V_{xq} corrispondente al valore digitale presente nel registro.

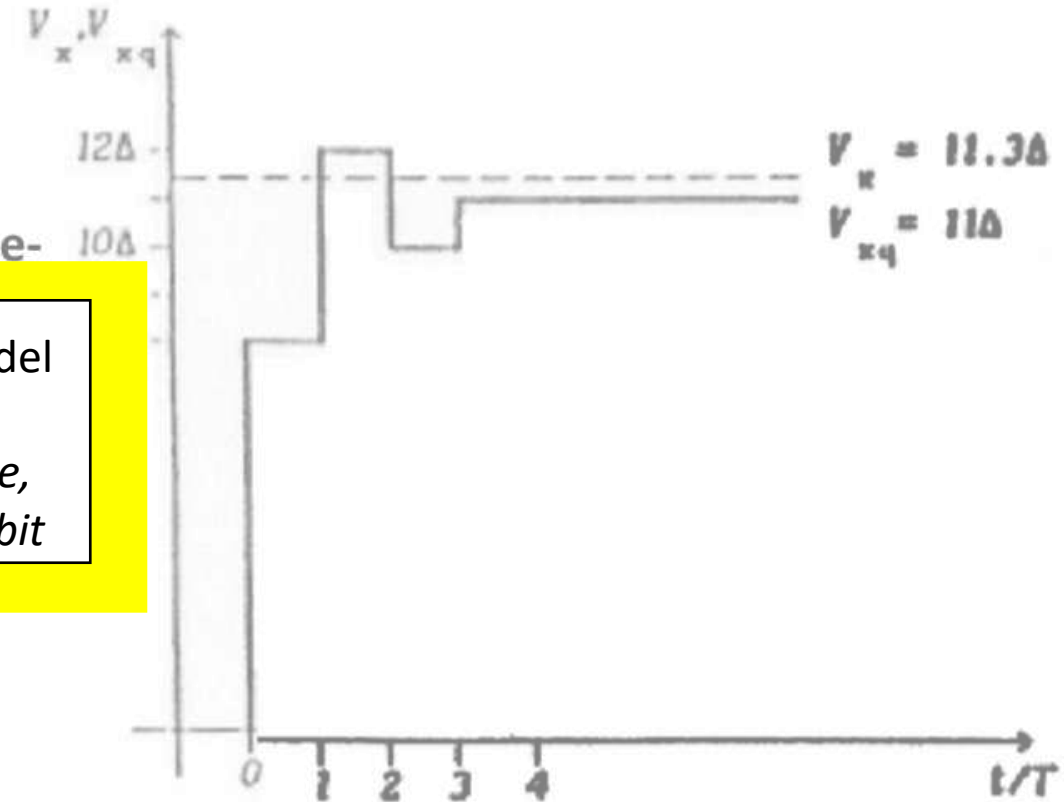
- 3) **Confronto:** il comparatore confronta il segnale di ingresso V_x con la tensione di riferimento V_{xq} .
Se risulta $V_x > V_{xq}$, il bit di peso immediatamente inferiore, ossia quello corrispondente a un quarto del fondo scala; **(avremo $V_{xq} = 3/4 V_R$)**
Se invece si ha $V_x < V_{xq}$, il blocco di controllo pone MSB a 0 e pone a 1 il bit di peso immediatamente inferiore; **(avremo $V_{xq} = 1/4 V_R$)**

$$T_{ADC} = bT$$

(nell'ordine dei μs)

- Indipendente dall'ampiezza del segnale
- Dipendente dalla risoluzione, proporzionale al numero di bit

- 4) **Invio del comando di fine conversione (EOC):** quando tutti i bit del registro sono stati verificati, inviato all'unità di controllo esterna.
- 5) **Salvato nel registro il valore numerico** che rappresenta il rapporto, quantizzato su b bit, tra il segnale di ingresso e la tensione di riferimento V_R .

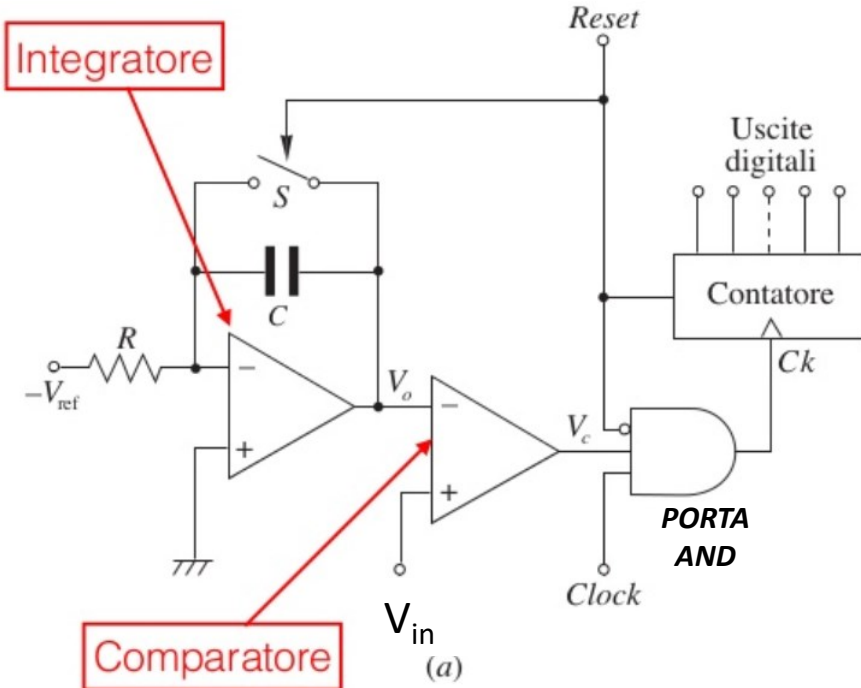


Esempio di evoluzione dei valori di x_q e di V_{xq} per $b=4$, e $V_x = 11.3\Delta$. Si noti che il valore finale di V_{xq} è pari a 11Δ , ossia al valore quantizzato della tensione analogica di ingresso.

ADC ad integrazione

- Realizzano una **conversione ad alta risoluzione** con una **buona reiezione al rumore**.
- Ideali per **digitalizzare segnali a bassa banda**, se si vuole **prediligere accuratezza alla velocità**
- **Principali applicazioni:** multimetri digitali e misuratori da pannello

A SINGOLA RAMPA

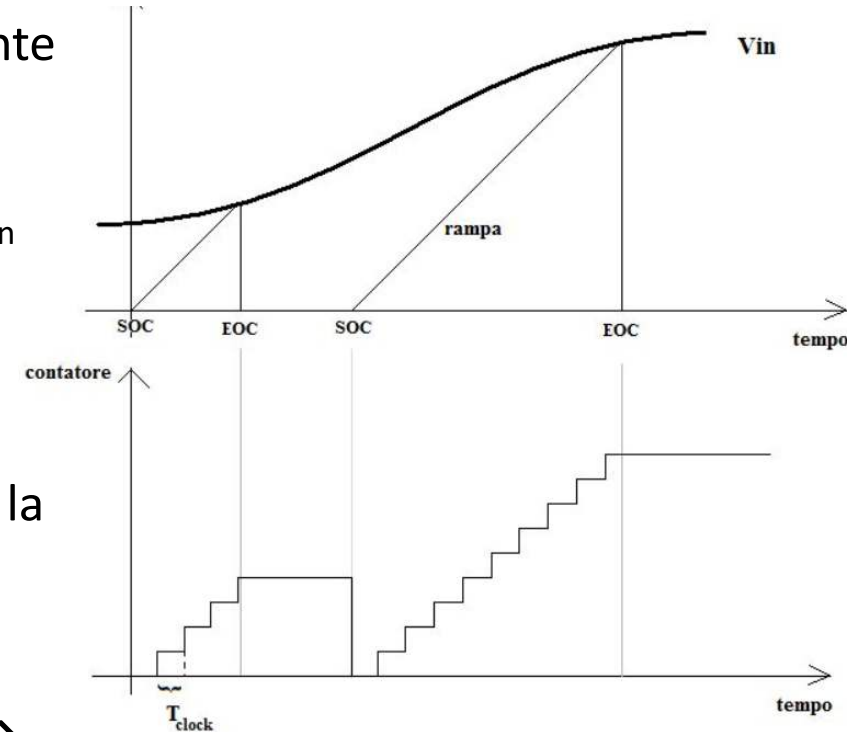


Integratore: produce una rampa lineare V_o con pendenza dipendente da C, R e V_{ref}

Comparatore: confronta valore V_{in} in da S/H con V_o , e genera uscita alta se $V_{in} > V_o$ e bassa se $V_{in} < V_o$

Finchè $V_{in} > V_o \rightarrow$ i 3 segnali in ingresso alla porta **AND** sono alti, la porta avrà un'uscita alta e farà procedere il conteggio.

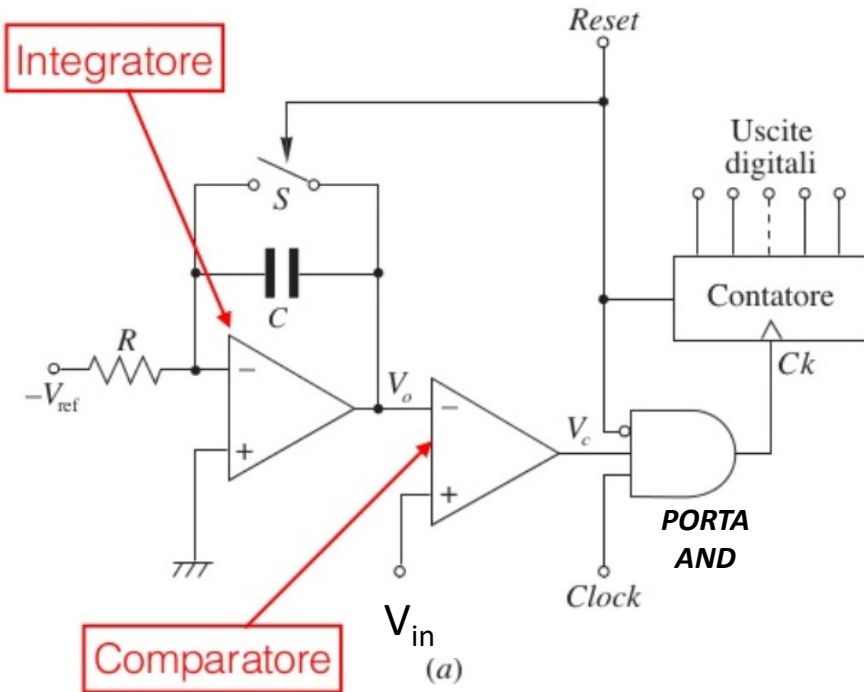
Quando V_o raggiunge V_{in} (o in caso di reset esterno) \rightarrow uno dei 3 segnali in ingresso alla porta **AND** sarà basso, la porta avrà un'uscita bassa e quindi il contatore verrà fermato e il **valore contenuto equivale a quello della conversione**.



ADC ad integrazione

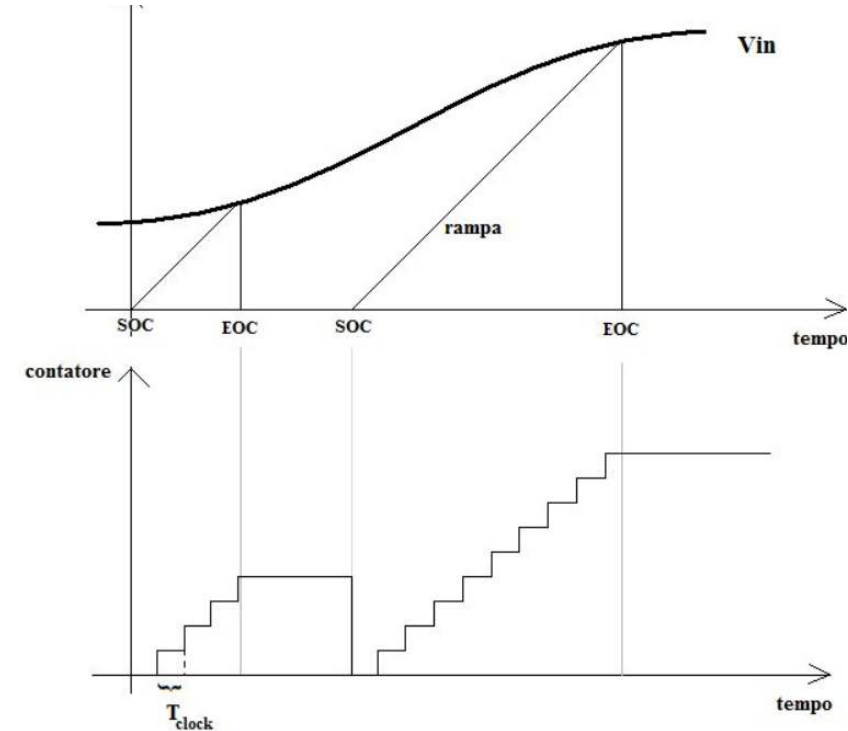
- Realizzano una **conversione ad alta risoluzione** con una **buona reiezione al rumore**.
- Ideali per **digitalizzare segnali a bassa banda**, se si vuole **prediligere accuratezza alla velocità**
- **Principali applicazioni:** multimetri digitali e misuratori da pannello

A SINGOLA RAMPA



LIMITAZIONI

- necessità di calibrare esattamente il periodo di clock in base al tempo di salita della rampa
- Tempo di conversione dipende da ampiezza del segnale da convertire
- Sensibile alle incertezze di R e C dell'integratore → risulta in applicazioni pratiche replicando questo stesso principio ma con una doppia rampa a pendenza positiva e negativa per compensare le incertezze.



Convertitore analogico-digitale: caratteristiche

ADC IN PARALLELO:

- **elevata cadenza** di campionamento, a svantaggio del numero di bit;
- larga diffusione negli oscilloscopi digitali e strumenti con **bande di frequenza ampie**.

ADC AD APPROSSIMAZIONI SUCCESSIVE:

- tempi di conversione dell'ordine dei μs (legato a $\# \text{bit}$ e F_{clock}).
- uso generale in sistemi di **acquisizione fino alle medie frequenze** (qualche MHz)

ADC AD INTEGRAZIONE:

- risoluzione e accuratezza molto buone
 - richiedono un tempo di conversione $> \text{ms}$
- largo impiego nei multimetri digitali o strumenti con **basse frequenze**
- **elevati fattori di reiezione al rumore**, sia larga banda che sinusoidi

→ a conversione istantanea

Sensibili al valore istantaneo della tensione, non in grado di discriminare il segnale utile da un eventuale rumore sovrapposto

→ Non a conversione istantanea

convertono valore medio durante la durata della conversione, operazione di filtraggio passa basso nei confronti di eventuali componenti di rumore sovrapposte al segnale.

Take home messages

AMPLIFICATORE SAMPLE-AND-HOLD (SHA)

→ PERCHÈ SERVE → ARCHITETTURA E SPECIFICHE

- Elemento fondamentale per consentire le successive operazioni di campionamento sono gli **amplificatori sample and hold**. Il loro ruolo è di «congelare» il valore del segnale negli istanti di campionamento (sample) e mantenerlo costante (hold) per un tempo sufficiente per far lavorare l'ADC che esegue la quantizzazione.
- A livello circuitale per garantire il rispetto dei requisiti di carica rapida e scarica lenta richiesti per ottenere un campionamento accurato vengono utilizzati degli **inseguitori di tensione** che permettono di diminuire la resistenza vista dal condensatore in fase di carica e di aumentare quella invece vista in fase di scarica.
- I principali parametri che descrivono le performances dei SHA si riferiscono alle tempistiche di apertura dell'interruttore sia in termini assoluti (**tempo di apertura nominale**) che in termini di incertezza (**tempo di jitter**). La loro somma permette di avere un'idea completa del **tempo effettivo di apertura**.

CONVERTITORI ANALOGICO-DIGITALI (ADC)

→ PRINCIPI GENERALI → PRINCIPALI ARCHITETTURE

- Gli **ADC** più diffusi sono quelli **paralleli**, o flash converter, ad **approssimazioni successive** e a **integrazione**.
- Gli elementi comuni a tutte le 3 tipologie di ADC sono: 1) l'eseguire un confronto tra la **grandezza di ingresso** ed **una grandezza di riferimento** omogenea e nota, restituendo in uscita un valore quantizzato in termini di parola binaria; 2) incorporare elementi circuitali essenziali per la corretta **temporizzazione** di tutte le operazioni.
- Gli ADC paralleli sono caratterizzati da elevata cadenza di campionamento, a svantaggio del numero di bit; trovano larga diffusione negli oscilloscopi digitali e strumenti con bande di frequenza ampie.
- Gli ADC ad approssimazione successiva rappresentano un ottimo compromesso tra semplicità circuitale e velocità di conversione, pur raggiungendo al massimo tempi di conversione dell'ordine dei μs ; vengono quindi utilizzati in sistemi di **acquisizione fino alle medie frequenze** (qualche MHz)
- Gli ADC a integrazione, essendo gli unici a conversione non istantanea, garantiscono rispetto agli altri due la possibilità di effettuare reiezione del rumore, assicurando risoluzione e accuratezza molto buone: richiedono però un tempo di conversione nell'ordine dei ms, e quindi trovano largo impiego nei multimetri digitali o in strumenti con basse frequenze