

Спецификация Asynchronous FIFO (afifo).

Оглавление

Принятые сокращения	1
1. Введение	2
1.1. Назначение	2
1.2. Основные функции	2
1.3. Параметры конфигурации	2
2. Функциональное описание	3
2.1. Структурная схема	3
2.2. Описание работы	3
3. Описание портов ввода-вывода	6
3.1. Описание сигналов синхронизации	6
3.2. Описание сигналов сброса	6
3.3. Описание шинных интерфейсов	7
4. Версия документа	8

Принятые сокращения

HS – Handshake Interface Specification.

FIFO – организация памяти по принципу первый зашел, первый вышел.

1. Введение

1.1. Назначение

Asynchronous FIFO – блок FIFO с асинхронным доступом для чтения и записи данных. Порты чтения и записи данных используют интерфейс HS.

1.2. Основные функции

- Асинхронная запись и чтение данных.
- Контроль состояния – full/empty.
- Отображение счетчиков свободного/заполненного пространства.

1.3. Параметры конфигурации

Таблица 1. RTL параметры.

Имя	Допустимые значения	Описание
ADDR_WIDTH	>1	Ширина адресной шины

2. Функциональное описание

2.1. Структурная схема

На рисунке 1 приведена структурная схема afifo. В его состав входит:

- Bin_ptr – бинарный счетчик адреса чтения/записи;
- Ptr_sub – вычисляет разницу значений указателей адреса чтения/записи;
- 2-flop sync – синхронизатор адреса чтения/записи;
- B2g – конвертор бинарного кода в код Грея;
- G2b – конвертор кода Грея в бинарный код;
- Mux – мультиплексор адреса чтения/записи.

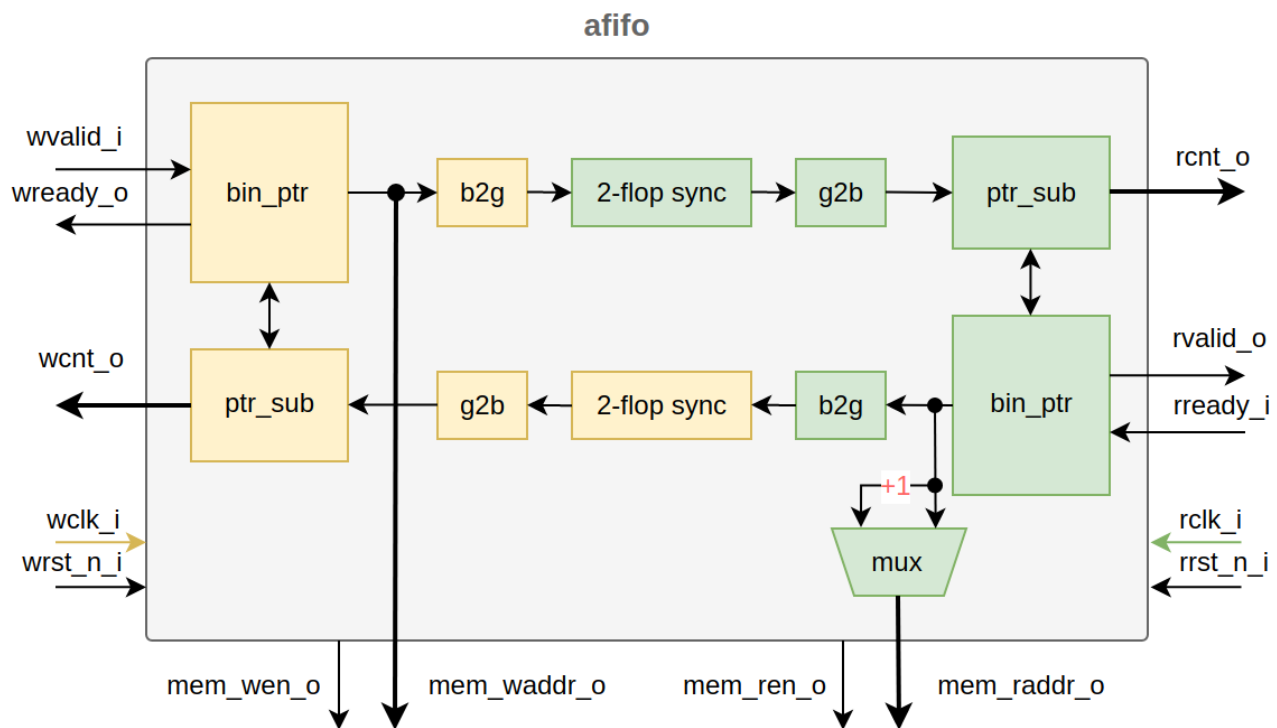


Рисунок 1. Структурная схема

2.2. Описание работы

На рисунке 1 представлена структурная схема afifo. Для синхронизации указателей чтения/записи использован подход конвертации этих указателей из бинарного кода в код Грея. Указатели адреса для чтения и записи синхронизируются аналогичным способом.

Bin_ptr является инкрементным счетчиком. Значение с его выхода передается на память как указатель адреса чтения/записи, а также после конвертации в код Грея (блоком b2g) передается на пересинхронизацию в блок 2-flop sync. Блок g2b выполняет обратную конвертацию в бинарный код. Блок ptr_sub на основании разницы между указателями

адресов чтения/записи определяет количество свободного или занятого пространства.

Количество свободного пространства транслируется на выход `wcnt_o`, а также используется для формирования сигнала `wready_o`. Если `wcnt_o > 0`, то `wready_o` устанавливается в «1», иначе `wready_o = 0` (состояние FIFO full).

Количество занятого пространства транслируется на выход `rcnt_o`, а также используется для формирования сигнала `rvalid_o`. Если `rcnt_o > 0`, то `rvalid_o` устанавливается в «1», иначе `rvalid_o = 0` (состояние FIFO empty).

Хранение данных осуществляется во внешнем двухпортовом блоке памяти. На рисунке 2 приведена схема подключения `afifo` с блоком 2P-RAM.

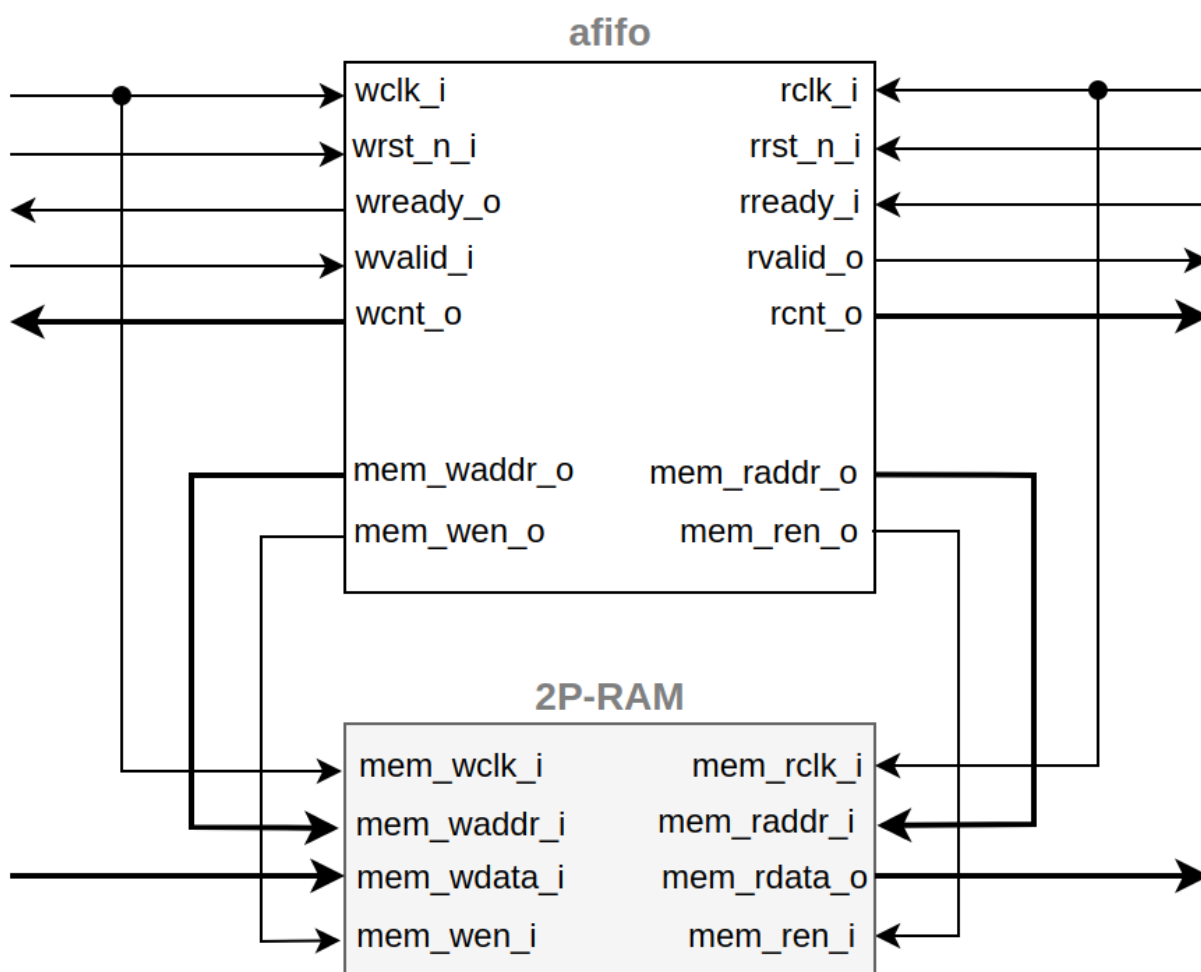


Рисунок 2. Подключение блока памяти

Временная диаграмма работы внешней памяти приведена на рисунке 3.

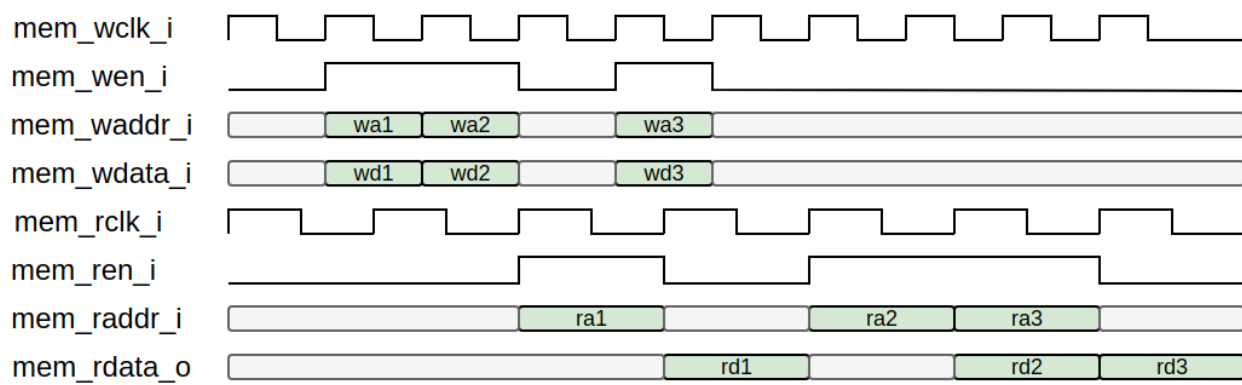


Рисунок 3. Временная диаграмма 2P-RAM

3. Описание портов ввода-вывода

AFIFO имеет следующий список портов ввода-вывода:

Таблица 2. Порты ввода-вывода

Название	Разрядность	Тип	Описание
FIFO write интерфейс			
wclk_i	1	in	тактовый сигнал
wrst_n_i	1	in	Ассинхронный сброс, активный уровень - 0
wready_o	1	out	ready - handshake
wvalid_i	1	in	valid - handshake
wcnt_o	ADDR_WIDTH+1	out	Количество свободного места
FIFO read интерфейс			
rclk_i	1	in	тактовый сигнал
rrst_n_i	1	in	Ассинхронный сброс, активный уровень - 0
rready_i	1	in	ready - handshake
rvalid_o	1	out	valid - handshake
rcnt_o	ADDR_WIDTH+1	out	Количество занятого места
Интерфейс памяти			
mem_waddr_o	ADDR_WIDTH	out	Адрес записи
mem_wen_o	1	out	Разрешение записи
mem_raddr_o	ADDR_WIDTH	out	Адрес чтения
mem_ren_o	1	out	Разрешение чтения

3.1. Описание сигналов синхронизации

В AFIFO используются следующие тактовые сигналы:

- rclk_i – сигнал синхронизации, тактирующий работу read интерфейса.
- wclk_i – сигнал синхронизации, тактирующий работу write интерфейса.

3.2. Описание сигналов сброса

В AFIFO используются следующие сигналы аппаратного сброса:

- rrst_n_i – асинхронный сброс, активный уровень сигнала приводит интерфейсную часть FIFO read в исходное состояние, активный уровень сигнала – низкий;
- wrst_n_i – асинхронный сброс, активный уровень сигнала приводит интерфейсную часть FIFO write в исходное состояние, активный уровень сигнала – низкий.

В блоке используются асинхронные сигналы сброса, при этом снятие сигнала сброса должна производиться синхронно соответствующему тактовому домену. Активация сброса должна производиться одновременно со стороны чтения и записи данных. Минимальная длительность сброса должна захватывать один такт медленного порта. На рисунке 4 приведена диаграмма установки и снятия сигналов сброса. Сигналы `wvalid_i/rready_i` должны находиться в неактивном состоянии в время сброса и на такте снятия сигнала сброса.

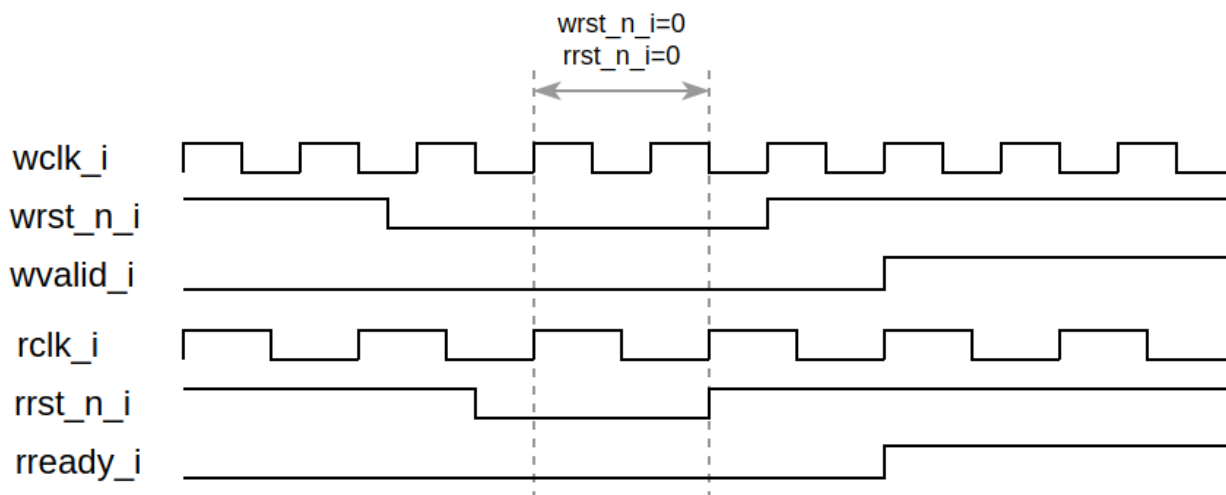


Рисунок 4. Установка и снятие сигналов сброса

3.3. Описание шинных интерфейсов

4. Версия документа

Таблица 3. Лист регистрации изменений

Версия	Дата	Внесенные изменения	Автор
0.0.1	25.10.2023	Первая версия документа	Бородин А. А.