



**Universidade de Brasília**

# **Prática de Eletrônica Digital I**

*Apostila do laboratório - 2016.2*

## **PROFESSORES**

HENRIQUE MARRA TAIRA MENEGAZ  
LEONARDO AGUAYO  
LOURDES MATTOS BRASIL  
MARCUS VINÍCIUS CHAFFIM COSTA  
MARIANA COSTA BERNARDES MATIAS



# Conteúdo

<b>I</b>	<b>Apresentação e Regras Gerais</b>	<b>3</b>
<b>1</b>	<b>Uso do Laboratório e Normas de Documentação</b>	<b>5</b>
1.1	Considerações Gerais . . . . .	5
1.2	Normas para Elaboração de Pré-relatórios . . . . .	5
1.3	Normas para Elaboração de Relatórios . . . . .	6
<b>II</b>	<b>Experimentos</b>	<b>9</b>
<b>1</b>	<b>Portas Lógicas</b>	<b>11</b>
1.1	Objetivos . . . . .	11
1.2	Álgebra de Boole e Circuitos de Chaveamento . . . . .	11
1.3	Usando VHDL . . . . .	14
1.4	O Ambiente de Simulação . . . . .	16
1.5	Atividades em Laboratório . . . . .	18
1.6	Relatório . . . . .	18
<b>2</b>	<b>Circuitos Lógicos Combinacionais</b>	<b>21</b>
2.1	Objetivos . . . . .	21
2.2	Introdução . . . . .	21
2.3	Projeto de Circuitos Combinacionais . . . . .	22
2.1	Pré-Relatório - Experimento 1 . . . . .	25



# **Parte I**

## **Apresentação e Regras Gerais**



# USO DO LABORATÓRIO E NORMAS DE DOCUMENTAÇÃO

---

## 1.1 Considerações Gerais

O laboratório é um complemento essencial das aulas teóricas. Assim, os experimentos estarão sincronizados, na medida do possível, com os tópicos vistos previamente em sala de aula.

A critério do professor, os experimentos serão realizados individualmente ou por uma dupla. No caso da opção por dupla, esta permanecerá a mesma durante todo o semestre. Caso haja desistência ou trancamento da disciplina por um aluno da dupla, haverá uma reordenação de dupla (caso dois alunos se encontrem na mesma situação), ou o aluno continuará a realizar os experimentos só. **Não será permitida a formação de trios.**

Para a realização dos experimentos, os alunos deverão apresentar um pré-relatório correspondente à prática que será realizada. O aluno (ou dupla) que não apresentar o pré-relatório - ou apresentá-lo incompleto - não poderá realizar o experimento, obtendo consequentemente nota zero na prática em questão.

No início de uma aula típica, os alunos entregarão ao professor dois documentos: (I) o pré-relatório correspondente ao experimento do dia e (II) o relatório do experimento anterior. Tipicamente, o prazo de entrega do relatório é de **uma semana** a partir da data da realização do experimento.

**Atenção:** não será admitido plágio de qualquer espécie. Caso detectado, será punido com nota zero.

## 1.2 Normas para Elaboração de Pré-relatórios

O tempo de aula em laboratório é um tempo que não deve ser desperdiçado. É a chance que o aluno tem de enfrentar dificuldades inesperadas, aprimorar as habilida-

des de depuração e uso do raciocínio lógico para resolver problemas na presença do professor.

É de grande importância, portanto, o planejamento prévio e a utilização de uma documentação adequada. O pré-relatório é um documento direcionado para a **execução** do experimento. Em geral, no pré-relatório o aluno deverá realizar simulações dos circuitos presentes no experimento e responder questões referentes à prática a ser realizada.

O documento do pré-relatório é de formato livre. Entretanto, deve conter:

1. **Cabeçalho** com identificação completa do documento, contendo:
  - Nome e código da disciplina;
  - Número e título do experimento;
  - Turma de laboratório;
  - Nome, assinatura e matrícula do autor;
  - Local e data.
2. **Respostas** às perguntas do roteiro, devidamente identificadas;
3. **Tabelas e diagramas** devidamente identificados, incluindo as tabelas de conexão;
4. **Diagramas esquemáticos** dos circuitos simulados, seguindo as mesmas normas dos especificados para o relatório.

### 1.3 Normas para Elaboração de Relatórios

As normas a seguir são válidas para relatórios, sejam eles escritos à mão ou em formato digital.

#### 1.3.1 Estrutura do Relatório

O relatório é do aluno ou da **dupla que realizou o experimento**. As páginas devem ser numeradas e todas as figuras, gráficos e tabelas devem ter título e numeração.

**Exemplo:** “Figura 2.1 - Diagrama lógico do circuito somador”. O relatório deve ter a seguinte estrutura:

1. **Capa**, contendo:
  - Nome e código da disciplina;
  - Número e título do experimento;
  - Turma de laboratório;
  - Nome, assinatura e matrícula dos autores;
  - Local e data.
2. **Sumário**, apresentando as partes constituintes do relatório com as respectivas paginações.



3. **Introdução**, indicando a delimitação do tema, apresentando a justificativa descrevendo o propósito do relatório.
4. **Parte Experimental**, descrevendo os passos realizados, dificuldades e soluções para os problemas encontrados. Aqui, deve-se apresentar uma descrição dos resultados encontrados em forma de figuras, gráficos e tabelas.
5. **Discussão** sobre os resultados encontrados, comentando **detalhadamente** as medições realizadas e dando a devida interpretação destas, informando se os objetivos da experimento foram alcançados. Esta é uma das partes mais importantes do relatório: aqui, há oportunidade para expressar os conhecimentos adquiridos na prática e fazer a interrelação com os fundamentos teóricos.
6. **Conclusões**, mostrando os êxitos e eventuais problemas encontrados na realização do experimento, indicando as limitações, apresentando recomendações e/ou sugestões.
7. **Referencias Bibliográficas**, relacionadas e citadas de acordo com as normas da ABNT.
8. **Diagramas Esquemáticos**. **Todos** os diagramas devem ser inseridos **ao final do relatório em páginas separadas do texto**, indicando a identificação do circuito, autor, revisor, versão e datas relevantes.

Para o tamanho dos diagramas, há apenas **duas** opções: dois diagramas por página (orientação retrato, para circuitos mais simples) ou um único diagrama por página (orientação paisagem, para circuitos mais complexos).

Os diagramas devem conter a pinagem e identificação de **todos** os componentes, como mostrado na Figura 1.1.

Cabe aqui listar alguns princípios orientadores para desenhar diagramas esquemáticos:

- As diferentes funções desempenhadas pelo circuito devem se localizar em regiões distintas. Use este princípio sempre, mesmo que ao custo de deixar algumas áreas em branco para separar visualmente os grupos funcionais. Se necessário, divida o seu projeto em mais de um esquemático. Use uma seta (por exemplo  $\Rightarrow$ ) para indicar sinais que vão de um diagrama a outro.
- Use um ponto para indicar conexões entre fios.
- Sempre que possível, alinhe os componentes na horizontal ou vertical.

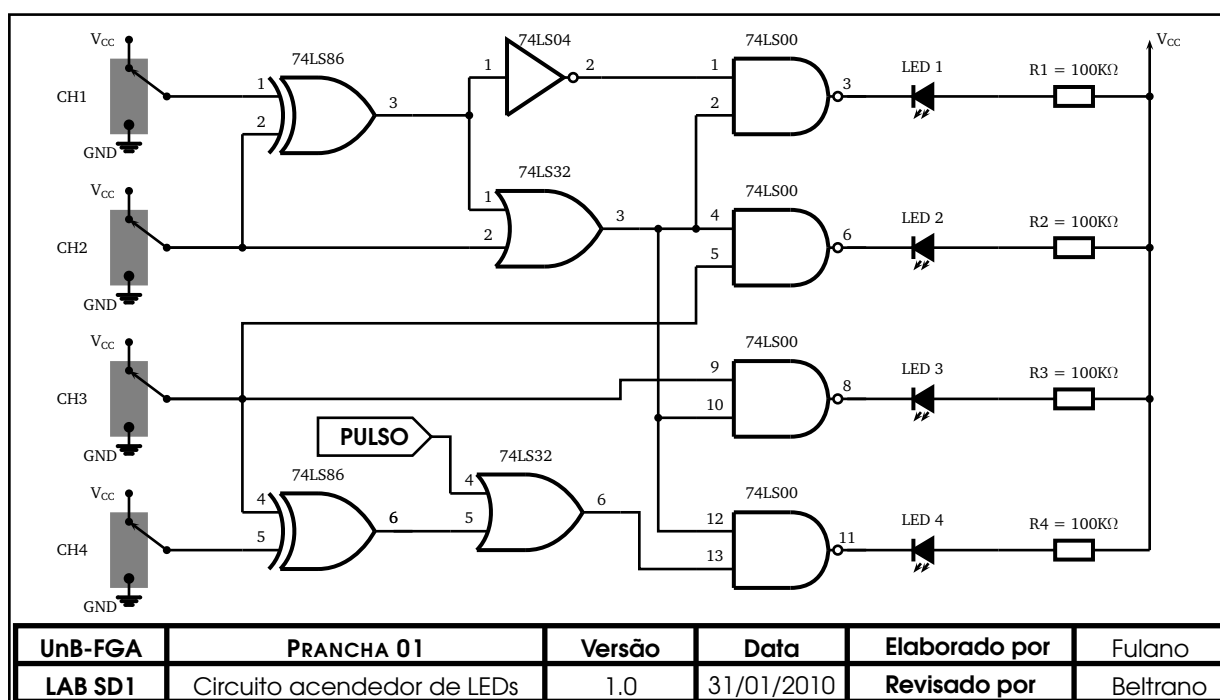


Figura 1.1: Exemplo de diagrama esquemático.

# **Parte II**

## **Experimentos**



# PORTAS LÓGICAS

---

## 1.1 Objetivos

Apresentar ao aluno as portas lógicas básicas e o ambiente de simulação do laboratório.

## 1.2 Álgebra de Boole e Circuitos de Chaveamento

Em 1847, o matemático, filósofo e lógico britânico George Boole publicou seu livro “*The Mathematical Analysis of Logic*”, onde apresentou uma maneira de quantificar proposições lógicas que são classificadas em duas classes: verdadeiro (**V**) ou falso (**F**). Ele mostrou que sentenças lógicas (por exemplo, ‘todo X é Y’) podem ser representadas por equações algébricas, e por consequência, a manipulação das proposições lógicas podem ser feitas pela manipulação de equações algébricas - daí o nome de álgebra booleana.

Algum tempo depois, em 1904, O matemático americano Edward Vermilye Huntington formalizou matematicamente a álgebra booleana do ponto de vista axiomático e apresentou os seguintes postulados, aqui já apresentados considerando que há apenas dois valores possíveis, 0 e 1, para as variáveis **X**, **Y**, **Z**:

**P1.**  $X + 0 = X$

**P5.**  $X + \bar{X} = 1$

**P2.**  $X \cdot 1 = X$

**P6.**  $X \cdot \bar{X} = 0$

**P3.**  $X + Y = Y + X$

**P7.**  $X + (Y \cdot Z) = (X + Y) \cdot (X + Z)$

**P4.**  $X \cdot Y = Y \cdot X$

**P8.**  $X \cdot (Y + Z) = (X \cdot Y) + (X \cdot Z).$

Nos postulados de Huntington, a operação  $+$  é chamada de **OU**, a operação  $\cdot$  de **E** e a operação **NÃO** (ou complemento) é representada por uma barra:  $\bar{0} = 1$  e  $\bar{1} = 0$ .

As operações têm relação direta com os conectivos lógicos do cálculo proposicional encontrados em lógica:  $\vee$ ,  $\wedge$  e  $\neg$ .

Além estes postulados, para analisar circuitos lógicos também são úteis as seguintes expressões:

$$\text{P9. } X + X = X$$

$$\text{P11. } \overline{X + Y} = \overline{X} \cdot \overline{Y}$$

$$\text{P10. } X \cdot X = X$$

$$\text{P12. } \overline{X \cdot Y} = \overline{X} + \overline{Y}$$

As três operações são os blocos básicos da eletrônica digital: circuitos complexos são criados a partir da combinação destas três operações, de modo a prover uma certa relação entre entradas e saídas. Esta relação entrada-saída é chamada de **função booleana**, e pode ser representada por uma **tabela-verdade**. No contexto desta disciplina, a função booleana é implementada por um circuito eletrônico. Não entraremos nos detalhes do seu funcionamento interno, mas no Apêndice 2 apresentamos alguns circuitos comuns.

Os três blocos básicos mencionados também são funções booleanas elementares, com as seguintes tabelas-verdade e símbolos gráficos:

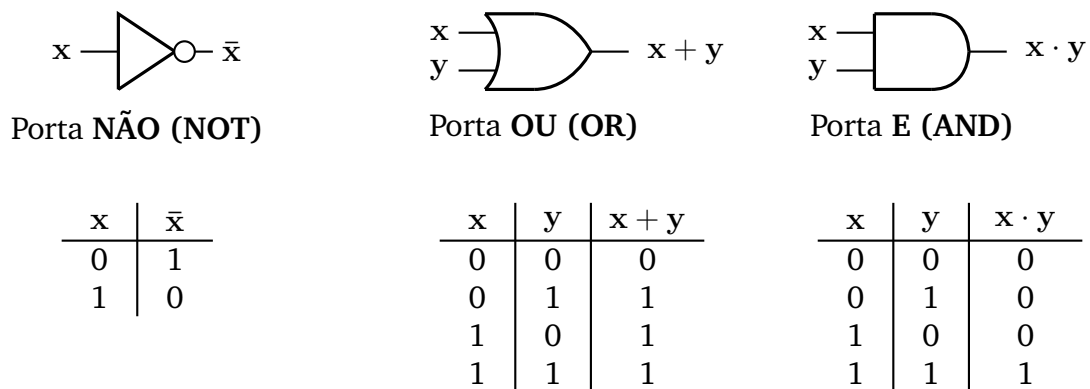


Figura 1.1: Funções booleanas elementares e seus símbolos.

Em 1938, o matemático, engenheiro elétrico e criptografista americano Claude Elwood Shannon mostrou em sua dissertação de mestrado que a álgebra booleana pode ser utilizada para descrever o comportamento de circuitos elétricos operados com chaves (ou relés) - daí o nome ‘circuitos de chaveamento’. Este trabalho explicitou o vínculo entre os fundamentos matemáticos presentes na álgebra booleana e circuitos elétricos, permitindo a criação de sistemas digitais complexos sobre uma base teórica sólida.

Resumindo, do ponto de vista matemático funções booleanas mapeiam variáveis de entrada definidas no conjunto  $\{0, 1\}$  em saídas também definidas no conjunto  $\{0, 1\}$ . Circuitos complexos têm múltiplas entradas e múltiplas saídas, e cada saída é caracterizada por uma função booleana específica das entradas.

A maneira de representar a relação entre entradas e saídas pode ser feita de uma segunda maneira, além da tabela-verdade. Podemos imaginar as entradas mudando dinamicamente no tempo na forma de **sinais de entrada**, de modo a produzir um **signal de saída**. Para caracterizar o circuito, os valores lógicos dos sinais de entrada devem contemplar todas as possibilidades descritas na tabela-verdade.

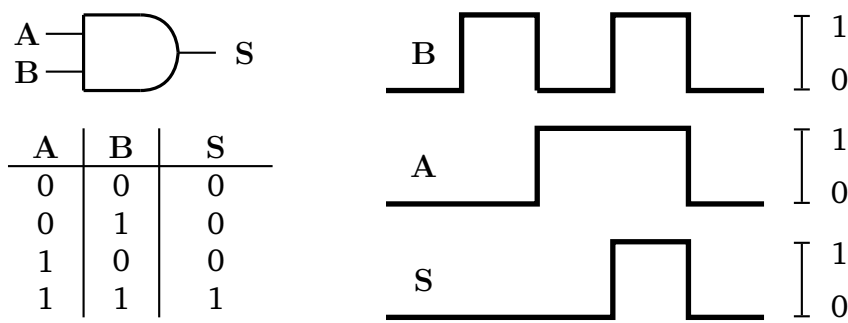


Figura 1.2: Usando formas de onda para caracterizar circuitos lógicos.

A Figura 1.2 mostra como podemos usar sinais para caracterizar o circuito. A entrada B oscila no tempo entre os níveis lógicos 0 e 1, gerando uma forma de onda quadrada. Simultaneamente, a entrada A também o faz, mas não com o mesmo formato: note que o período desta forma de onda é o dobro do período da outra entrada<sup>1</sup>.

Cabe aqui apresentar uma maneira de se implementar portas lógicas em circuitos integrados usada extensivamente no século passado durante as décadas de 70 e 80. A Figura 1.3 mostra a identificação dos terminais do CI 74LS32 que contém quatro portas OR de duas entradas. Observe nesta figura que os pinos 14 (VCC) e 7 (GND) devem ser ligados à fonte de alimentação nos terminais positivo e negativo, respectivamente. As entradas e saídas são especificadas com valores de tensão de aproximadamente 5 V para nível lógico 1 e de 0 V para nível lógico 0, em consonância com os valores de tensão para VCC e GND.

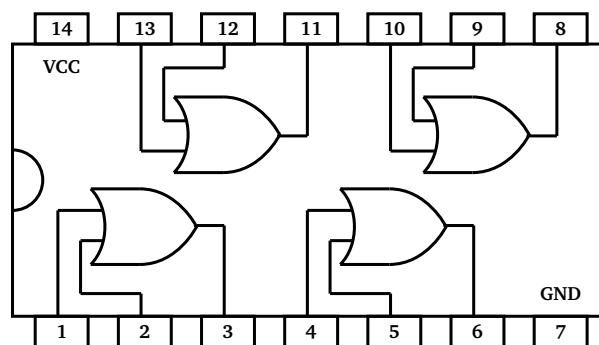
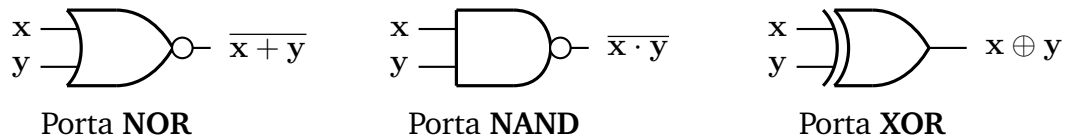


Figura 1.3: Identificação dos terminais do CI 74LS32 (vista superior).

Outras portas básicas e úteis na síntese de circuitos digitais estão mostradas na Figura 1.4 com suas respectivas tabelas-verdade. Observe o uso de um círculo à saída da porta para indicar a inversão do nível lógico. No jargão, dizemos que as saídas das portas NOR e NAND estão “barradas”.

<sup>1</sup>Se aplicássemos a mesma forma de onda nas duas entradas, a saída correspondente contemplaria apenas os casos da tabela-verdade quando  $A = B$ .



x	y	$\overline{x + y}$
0	0	1
0	1	0
1	0	0
1	1	0

x	y	$\overline{x \cdot y}$
0	0	1
0	1	1
1	0	1
1	1	0

x	y	$x \oplus y$
0	0	0
0	1	1
1	0	1
1	1	0

Figura 1.4: Funções booleanas auxiliares NOR (NÃO-OU), NAND (NÃO-E) e XOR (OU-EXCLUSIVO) com seus símbolos e tabelas-verdade.

A porta NAND tem uma característica especial: a partir dela, é possível implementar todas as outras portas básicas, pois:

- $\overline{X} \cdot \overline{X} = \overline{X}$  (porta NÃO);
- $\overline{X} \cdot \overline{Y} = \overline{X + Y}$  (porta OU com as entradas barradas).

A mesma propriedade pode ser encontrada para portas NOR, já que pelas expressões **P11** e **P12**, chamados de teoremas de De Morgan, NAND e NOR são intercambiáveis.

Se tiver curiosidade, procure os CIs correspondentes às portas lógicas mencionadas até o momento e observe a pinagem das portas. Todos os CIs tem pinagens iguais, em termos de entradas e saídas?

### 1.3 Usando VHDL

VHDL é uma linguagem que possibilita descrever e simular um circuito eletrônico digital qualquer. Em Inglês, significa *VHSIC Hardware Description Language*. VHSIC, por sua vez, significa *Very High Speed Integrated Circuits*.

A partir da descrição do circuito digital usando VHDL em um arquivo texto, é possível implementá-lo fisicamente em um tipo especial de *chip* após realizar um processo de compilação e gravação. Este tipo *hardware* é reconfigurável, com duas grandes vertentes no mercado: CPLDs (*Complex Programmable Logic Devices*) e FPGAs (*Field Programmable Gate Arrays*). Por ser padronizada, a linguagem é portátil, isto é, pode ser usada em mais de um tipo de hardware reconfigurável. No momento, não entraremos em qualquer detalhe sobre como este tipo de *chip* funciona; por hora, basta saber que é possível descrever um circuito lógico em um arquivo texto e fazer com que o *chip* CPLD ou FPGA execute a função determinada pelo arquivo texto.

Em um certo sentido, vocês já fazem isto ao programar um computador para realizar uma determinada função. Mas aqui, ao usar VHDL, há uma diferença essencial. Com VHDL, o que fazemos é alterar as conexões internas no *hardware* de um CPLD ou FPGA para realizar uma função; em contraste, ao compilar um programa, fazemos com que um *hardware* já pronto - o microprocessador - realize a função desejada. Este ponto é



muito importante, pois ao descrever um circuito usando VHDL devemos estar atentos a certos aspectos que simplesmente não aparecem ao usarmos uma linguagem de programação como **C** ou Java. Daí sempre ter em mente da linguagem VHDL ter a função de **descrever** um *hardware*, e não de servir de plataforma para *programação*.

Em um ponto, VHDL é radicalmente diferente das outras linguagens de programação: as instruções em VHDL que descrevem o comportamento de um circuito são executadas **simultaneamente**, a menos que explicitemos qual porção de código será executada sequencialmente. Trata-se portanto de um código concorrente, adequado para processamento paralelo de dados.

Um outro aspecto importante: a linguagem permite tanto a realização da **síntese** do circuito quanto a sua **simulação**. Em um primeiro momento, usaremos VHDL para descrever e simular os circuitos projetados; em um segundo, vamos sintetizá-los nos *kits* disponíveis no laboratório.

### 1.3.1 Um “Hello World” em VHDL

Eis um exemplo básico de código VHDL, apresentado aqui apenas para ilustrar como um circuito simples pode ser descrito.

```
-----
-- Declaração das bibliotecas -- isto é um comentário
-----
LIBRARY ieee; -- o IEEE padronizou a linguagem
USE ieee.std_logic_1164.all; -- uso toda a biblioteca (.all)
LIBRARY std;
USE std.standard.all;
-----
-- Especificação das entradas e saídas
-----
ENTITY Hello_world IS
    PORT (
        x, y : IN  BIT; -- x e y são entradas do tipo BIT
        z      : OUT BIT -- z é saída, do tipo BIT
    );
END Hello_world;
-----
-- Descrição do funcionamento ou comportamento
-----
ARCHITECTURE Minha_arq OF Hello_world IS
BEGIN
    z <= x AND y; -- isto é uma porta 'E'
END Minha_arq;
```

O texto tem três seções: na primeira, declaram-se as bibliotecas que serão usadas. Tipicamente, as bibliotecas necessárias são **ieee** e **std**. Elas permitem o reuso de componentes e definições, e é possível criar bibliotecas específicas para uso dentro de projetos.

Na segunda seção, iniciada pela diretiva **ENTITY**, há uma especificação das entradas e saídas do circuito, e qual o tipo da porta (entrada, saída, etc.).

Finalmente, há a seção onde o funcionamento do circuito é descrito, indicada pela diretiva **ARCHITECTURE**. Dentro do contexto desta disciplina, esta é a seção que demanda a realização de um projeto de circuito **antes** da escrita do código, já que a linguagem VHDL apenas descreve o circuito. Enfatizamos novamente (i): a relação entre entradas e saídas do circuito é determinada por um circuito digital que implementa uma função booleana, e (ii): em um primeiro momento, é de fundamental importância saber **projetar** o circuito, para então descrevê-lo. Aqui, o circuito vem antes do código.

Para circuitos combinacionais simples, o “esqueleto” de código apresentado é suficiente para simular seu comportamento. As técnicas necessárias para projetar os circuitos digitais e para realizar uma eventual otimização serão apresentadas ao longo do curso.

No Apêndice X encontra-se uma breve introdução à linguagem VHDL, que não substitui material específico e completo que pode ser encontrado nas referências.

### 1.4 O Ambiente de Simulação

A verificação do funcionamento de um circuito pode ser realizada simulando em um software adequado a relação entre suas entradas e saídas.

Há muitas opções de simuladores para simulação de circuitos digitais. Usaremos neste curso dois simuladores diferentes: um introdutório (QUCS), para fixar os conceitos mais básicos, e um segundo e mais complexo (ISE ou Vivado<sup>2</sup>) para não apenas simular, mas também sintetizar os circuitos em um CI FPGA. O aluno é encorajado a aprender **sozinho** o uso de outras ferramentas (há dezenas de tutoriais na Internet), e identificar as limitações das mesmas quando comparadas às de uso profissional.

#### 1.4.1 Simulando uma Porta Lógica no QUCS

O *software* livre QUCS permite a simulação de circuitos analógicos e digitais. Para iniciar uma simulação de um circuito digital, basta criar um novo projeto e selecionar `components` dentro da aba à esquerda, e então escolher a porta lógica desejada em `digital components`.

O QUCS apresenta resultados de duas maneiras: pela tabela-verdade, ou pelas formas de onda das entradas e saídas. Para circuitos com muitas entradas e saídas, em geral é mais conveniente e prático analisar as formas de onda.

No exemplo da Figura 1.5, está a simulação do comportamento de uma porta E de duas entradas. Note que há um gerador de sinal aplicado a cada entrada, e todos os pontos de interesse (A, B e C) têm um nome (definidos pelo botão `Wire Label`). A nomeação destes pontos é importante, pois sem isto não é possível construir a tabela-verdade ou as formas de onda.

Para simular o circuito, deve-se inicialmente estipular qual o tipo de simulação. Esta opção é dada dentro da caixa `digital simulation`, que pode ser encontrada ao final da lista em `digital components`.

---

<sup>2</sup>Ambos da fabricante de FPGA Xilinx. Existe um similar da fabricante Altera, o simulador Quartus. As versões básicas são todas grátis.

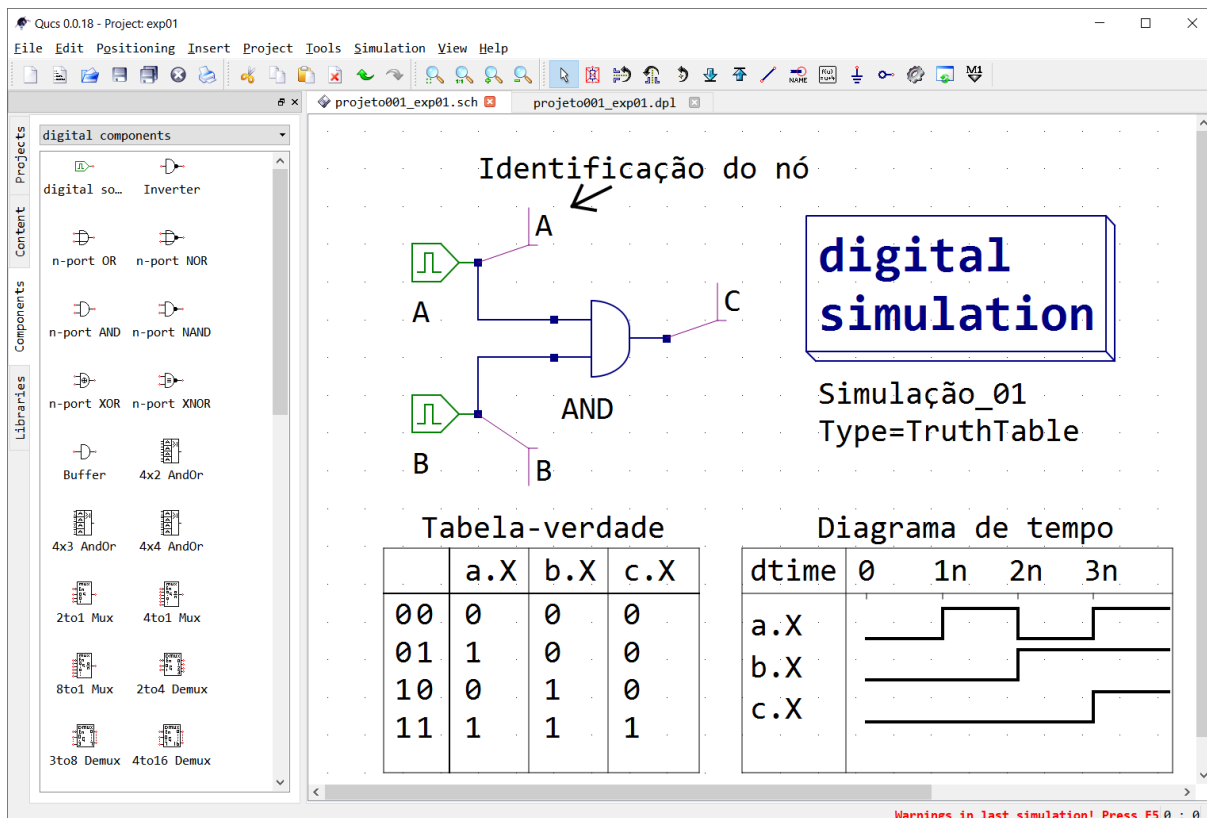


Figura 1.5: Tela do simulador QUCS com a tabela-verdade e formas de onda de interesse para uma porta E.

### 1.4.2 Usando QUCS para Simular VHDL

Para circuitos simples, é possível usar o QUCS para simular um circuito descrito por código VHDL. Basta arrastar para a tela de esquemático o bloco VHDL e vincular ao mesmo um arquivo previamente editado com extensão `.vhd`. O número de entradas e saídas da do bloco é determinado pelas definições da diretiva **PORT** do código VHDL. Neste caso, o arquivo foi o seguinte:

```
LIBRARY ieee; USE ieee.std_logic_1164.all;
LIBRARY std; USE std.standard.all;

entity minha_xor is
  port
    (x, y: in BIT; z: out BIT);
end minha_xor;

architecture minha_xor_arch of minha_xor is
begin
  z <= x xor y;
end minha_xor_arch;
```

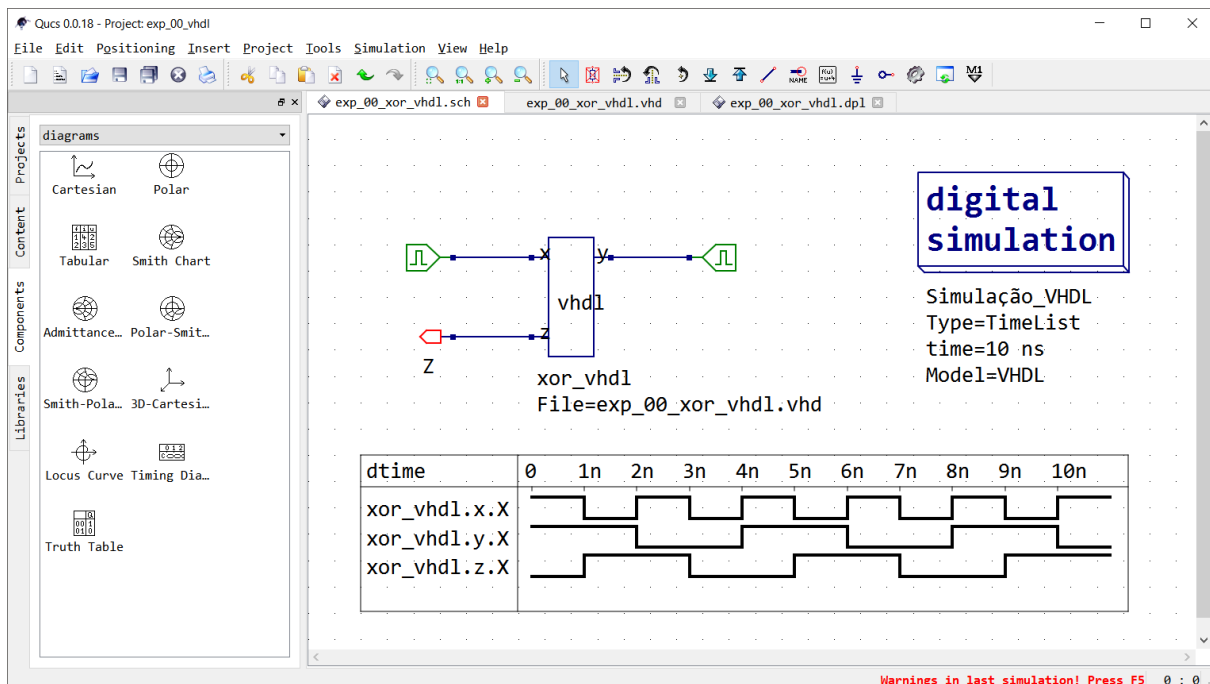


Figura 1.6: Tela do simulador QUCS com simulação VHDL.

## 1.5 Atividades em Laboratório

Siga as orientações do professor para ativar o ambiente de simulação em seu computador ou no disponível em sua bancada. Para todas as atividades abaixo, capture a tela de seu computador como comprovante da realização de sua atividade.

**Atividade 1.** Simule, utilizando a ferramenta disponível, o circuito correspondente a uma porta NAND. Apresente as formas de onda à entrada e saída do circuito.

**Atividade 2.** Apresente a tabela-verdade e as formas de onda à entrada e saída de uma porta XNOR.

**Atividade 3.** Apresente o código VHDL de uma porta NAND e de uma XNOR. Usando o simulador indicado pelo professor, gere as formas de onda à entrada e saída destas duas portas e compare com as obtidas anteriormente.

**Atividade 4.** Projete um circuito que realiza a função lógica AND de **três** variáveis booleanas. Apresente a tabela-verdade, simule seu circuito e mostre as formas de onda nas entradas e na saída.

## 1.6 Relatório

Em seu relatório de atividades, apresente:

1. Os passos seguidos para configurar o ambiente de simulação;

2. As telas capturadas durante as atividades no ambiente de laboratório;
3. Uma comparação entre os métodos de descrição das portas lógicas (circuito usando símbolos lógicos, tabela-verdade, expressão booleana, código VHDL);
4. Simulação do **circuito** da Atividade 4 em um simulador **diferente** do usado em sala, apresentando as formas de onda correspondentes. Compare os dois simuladores levando em conta os seguintes aspectos:
  - Facilidade de uso;
  - Possibilidade de uso de VHDL;
  - Flexibilidade na apresentação dos resultados desejados.



## CIRCUITOS LÓGICOS COMBINACIONAIS

---

### 2.1 Objetivos

Aprimorar a visão do aluno quanto à metodologia e implementação de um Circuito Lógico Combinacional e às implicações das decisões de projeto.

### 2.2 Introdução

Os circuitos lógicos combinacionais são aqueles onde o nível lógico da(s) saída(s), em qualquer instante de tempo, depende única e exclusivamente, dos níveis lógicos presentes nas entradas naquele instante. Em outras palavras, são circuitos que não possuem a característica de memória: valores passados das entradas não afetam as saídas, apenas os valores presentes o fazem.

O estudo dos circuitos combinacionais é importante para compreender o funcionamento de circuitos utilizados na construção de computadores e em vários outros sistemas digitais, como por exemplo, os circuitos somadores, subtratores, codificadores, entre outros. De forma geral, os circuitos combinacionais podem ser usados para solucionar problemas em que se necessita de uma resposta a condições específicas representadas pelas variáveis de entrada. A relação entre entradas e saídas descreve o funcionamento do circuito, e esta relação pode ser expressa de diversas formas:

- Por uma descrição textual;
- Pela tabela-verdade dos valores de cada saída, expressos em função dos valores das entradas;
- Por meio de um conjunto de equações booleanas, com regras e propriedades dadas pela álgebra de Boole;
- Por um diagrama chamado de **Mapa de Karnaugh**.

## 2.3 Projeto de Circuitos Combinacionais

A Figura 2.1 ilustra uma possível sequência do processo para o projeto de circuitos digitais combinacionais.

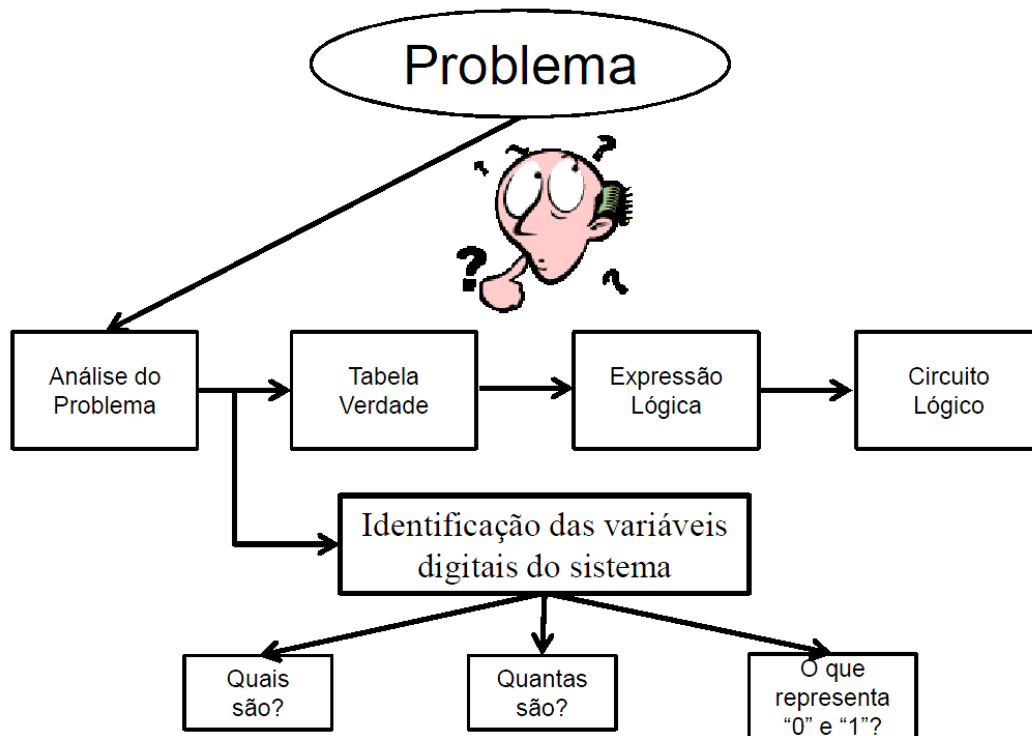


Figura 2.1: Ilustração da metodologia a ser seguida para o projeto de circuitos combinacionais.

O processo se inicia com uma análise detalhada e profunda do problema que deve ser resolvido. Esta análise deve permitir a descrição do problema de forma completa, por exemplo na forma de uma **tabela-verdade**. Esta é a etapa mais difícil e requer experiência do projetista, pois não é possível torná-la um processo algorítmico, passível de uma metodização absoluta devido, sobretudo, às nuances e características de cada problema. O importante neste ponto é ter segurança de que o problema está bem especificado. Caso contrário, corre-se o risco de “resolver certo o problema errado”.

Apesar de não haver uma sequência de passos determinada para projetar, como uma “receita de bolo”, em geral a identificação correta das variáveis de entrada e saída é um passo que auxilia na construção da especificação. Nesse processo, o projetista procura responder algumas perguntas, como por exemplo:

- Quantas são as variáveis de entrada e saída?
- Quais são?
- O que representa os níveis lógicos ZERO e UM?



Após essas definições deve-se realizar as combinações das variáveis de entrada e montar, por exemplo, a tabela-verdade para cada saída.

Após a obtenção da tabela-verdade, o próximo passo é gerar a expressão booleana de cada saída. Uma forma de realizar esse procedimento é escrever o termo AND (produto) para cada caso em que a saída esteja em nível lógico alto e depois escrever a expressão de soma de produtos para a saída.

A obtenção da expressão lógica do problema já permite a implementação do circuito. No entanto, é altamente recomendável simplificar a expressão lógica obtida de forma a obter um circuito mais simples e, conseqüentemente, mais barato. O processo de simplificação pode ser realizado através da álgebra de Boole ou através da utilização de Mapas de Karnaugh.

Antes de implementar em *protoboard* ou em FPGA o circuito lógico obtido da expressão final simplificada, recomenda-se simular o circuito em software apropriado, de forma a validar o projeto e assim evitar perda de tempo na montagem de circuitos errados.

### 2.3.1 Um Exemplo Simples de Projeto de Circuito Combinacional

Considere o projeto de um circuito combinacional que realize a seguinte função: por intermédio de uma chave seletora, apresenta em sua saída uma de duas entradas, **A** ou **B**. Se a posição da chave for fechada, a saída é a entrada **A**. Caso contrário, a saída é a entrada **B**.

Vamos construir a tabela-verdade do circuito. Notem que há três entradas: **A**, **B** e a seleção (que chamaremos de **C**). A saída será denominada de **S**. Também devemos atribuir valores lógicos para a variável **C**. Neste caso, adotamos: **C** fechada  $\rightarrow 0$  e **C** aberta  $\rightarrow 1$ . Com estas primeiras identificações, podemos construir a tabela-verdade:

<b>C</b>	<b>A</b>	<b>B</b>	<b>S</b>
0	0	0	0
0	0	1	0
0	1	0	<b>1</b>
0	1	1	<b>1</b>
1	0	0	0
1	0	1	<b>1</b>
1	1	0	0
1	1	1	<b>1</b>

Tabela 2.1: Tabela-verdade de circuito combinacional.

Uma observação com relação à construção da tabela: notem que as colunas foram especificadas de maneira sistemática, de modo a permitir que todas as possibilidades das variáveis de entradas estejam contempladas.

A partir da tabela, podemos verificar para quais valores de saída a função booleana é **1**: são os casos indicados em negrito.

Tomemos um dos casos, para **C**=0, **A**=1 e **B**=0. Chamemos este caso de **S<sub>2</sub>** (Se iniciarmos a contagem das linhas em 0, esta será a segunda linha, onde **S** vale 1).

Para que  $S_2$  seja 1, todas as variáveis  $C$ ,  $A$  e  $B$  devem ter estes valores específicos. Se tomarmos então

$$S_2 = \overline{C} \text{ AND } A \text{ AND } \overline{B} = \overline{C}A\overline{B}, \quad (2.1)$$

esta condição estará automaticamente satisfeita.

Notem que, para a função ter nível lógico 1, qualquer um dos quatro casos serve. Portanto, podemos escrever para a saída  $S$

$$S = S_2 + S_3 + S_5 + S_6 = \overline{C}A\overline{B} + \overline{C}AB + C\overline{A}\overline{B} + CAB. \quad (2.2)$$

Como a função booleana ou tem valor 0 ou valor 1, a especificação está completa, pois nos outros casos (por exemplo,  $S_0$ ) ela fica automaticamente definida com o valor 0. Basta, então, especificar as condições para quando  $S$  vale 1, chamada convenção de **lógica positiva**.

Um próximo passo é a simplificação da função booleana, essencialmente para otimizar a implementação física da mesma. Um critério possível para otimizar é reduzir o número de portas lógicas e, adotando este critério, vamos simplificar a expressão de  $S$  usando propriedades de álgebra booleana:

$$\begin{aligned} \overline{C}A\overline{B} + \overline{C}AB + C\overline{A}\overline{B} + CAB &= \overline{C}A \underbrace{(\overline{B} + B)}_1 + CB \underbrace{(\overline{A} + A)}_1 = \\ &= \overline{C}A \cdot 1 + CB \cdot 1 = \overline{C}A + CB. \end{aligned} \quad (2.3)$$

O circuito final está representado na Figura 2.2. Quando  $C=0$ , a porta AND inferior tem saída nula, e a superior tem saída  $A$ . O sinal que sai da porta OR é, portanto,  $A+0 = A$ . Quando  $C=1$ , na AND superior a saída é nula, na AND inferior a saída é  $B$  e a saída da OR é  $B$ .

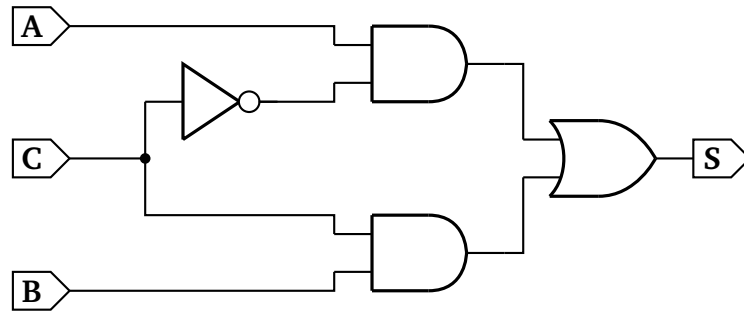


Figura 2.2: Circuito final simplificado após manipulação algébrica da função booleana.

Para expressões booleanas simples, a técnica de simplificação usando álgebra booleana é possível; porém, quando o número de variáveis de entrada e de saída aumenta, tende a ser trabalhosa e passível de erro quando realizada por uma pessoa. Veremos em outros experimentos técnicas passíveis de serem automatizadas usando algoritmos com fins de otimização de custo de circuitos.

## 2.1 Pré-Relatório - Experimento 1

Para o pré-relatório do Experimento 1, o aluno deve realizar e documentar as atividades das próximas subseções, seguindo as orientações do professor em sala.

### 2.1.1 Análise de um Circuito Digital

Observe o circuito da Figura 2.1 e responda:

- Quantas entradas e saídas tem o circuito?
- O circuito apresenta uma porta E de três entradas. Como é possível obtê-la a partir de portas E de duas entradas? Justifique.
- Apresente a tabela-verdade do circuito;
- Explique que este circuito faz, i.e., apresente uma possível função para o mesmo.

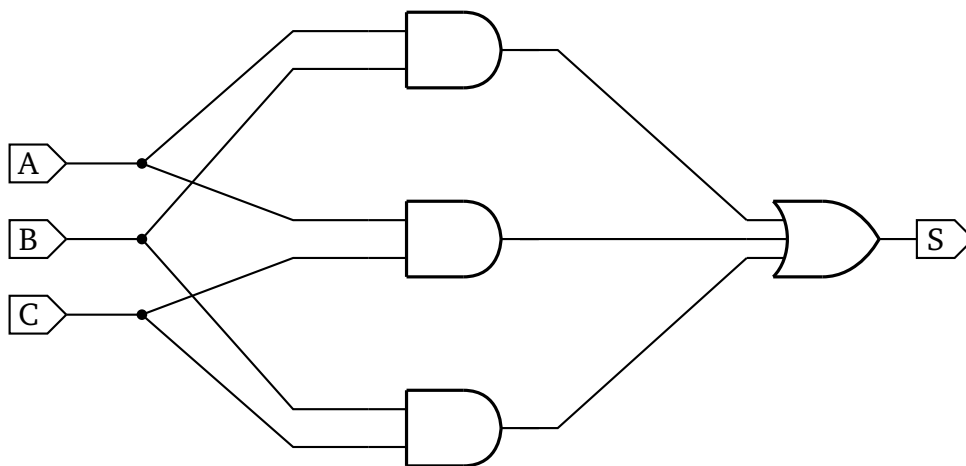


Figura 2.1: Circuito a ser analisado.

### 2.1.2 Projetos e Simulações

Para os projetos a seguir, apresente:

- O diagrama do circuito, seguindo as diretrizes da Figura 1.1;
- A tabela-verdade do circuito;
- A forma de onda na saída, considerando todas as possibilidades de ocorrência dos sinais de entrada.

Como referência para sua documentação, siga o modelo de resultado apresentado na Figura 1.5.

**Projeto 1** . Considere um circuito de alarme de automóvel usado para detectar uma determinada condição indesejada. Sinais provenientes de sensores são usadas para indicar, respectivamente, o estado da porta do motorista (aberto/fechado), o estado da ignição (ligada/desligada) e o estado dos faróis (aceso/apagado). O alarme deve ser ativado em dois casos: (i) sempre que os faróis estão acesos e a ignição está desligada ou (ii) a porta do veículo está aberta e a ignição está ligada. Projete, usando portas lógicas básicas, um circuito que gere um sinal para ativar o alarme deste automóvel.

**Projeto 2** . Um circuito detector de paridade realiza a seguinte função: para um conjunto de  $k$  bits, apresenta o resultado 1 se a quantidade de bits 1 for ímpar e apresenta o resultado 0 se a quantidade de bits 1 for par. Projete um detector de paridade para um bloco de  $k = 4$  bits. Sugestão: use portas XOR.

### 2.1.3 Simulações Computacionais

Simule o circuito da Figura 2.1 e os circuitos dos Projetos 1 e 2. Para cada circuito, apresente as formas de onda das entradas e da saída.

### 2.1.4 Projeto Usando VHDL

Apresente o código VHDL de todos os circuitos desta Seção. Use o QUCS, ModelSim (Altera), Vivado ou ISE (ambos Xilinx) para gerar as formas de onda correspondentes às entradas e saídas.