

Prática de Eletrônica Digital 1 - (119466)

Turma E (Unb - Gama)

Pré-Relatório Experimento 5

Circuitos Multiplexadores e Demultiplexadores

Setembro 27, 2016

Nome	Matrícula	Assinatura
Arthur Temporim	140016759	
Eduardo Nunes	140056149	

1 Projetos e Simulações

Na seção a seguir contém as atividades pedidas para a elaboração do pré-relatório.

1.1 Projeto1 - Decodificador com Mux

1.1.1 Diagrama Esquemático

Diagrama Projeto1 - Decodificador:

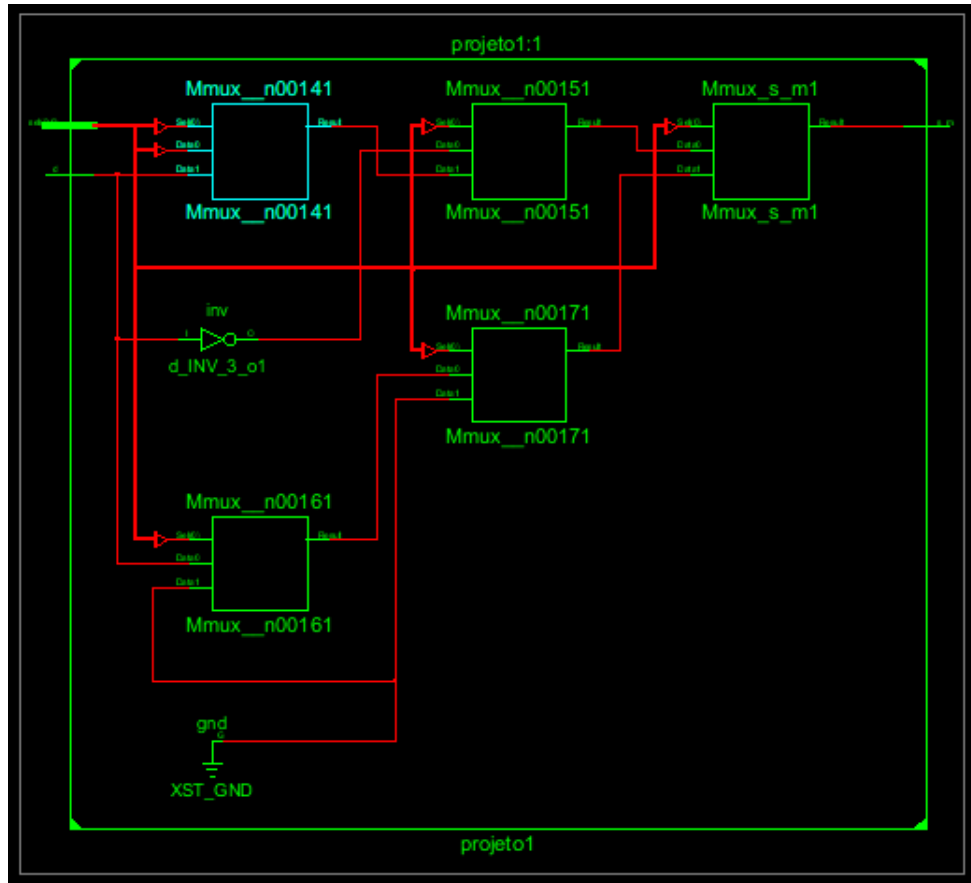


Figure 1: Diagrama 1 - Ise Design Suit 14.7

1.1.2 Código VHDL

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3
4 entity projeto1 is
5     port (
6         d      : in std_logic := '0';           — Entrada 'D'
7         sel     : in std_logic_vector (2 downto 0) := "000";
8         — Entradas "ABC"
9         s_m     : out std_logic
10    );
11 end projeto1;
12
13 architecture Behavioral of projeto1 is
14     signal saida_mux : std_logic;
15
16 begin
17     — Multiplexador 8 para 1.
18     process (sel, d)
19     begin
20         if(sel = "000") then
21             saida_mux <= (not d);
22         elsif(sel = "001") then
23             saida_mux <= (not d);
24         elsif(sel = "010") then
25             saida_mux <= sel(0);
26         elsif(sel = "011") then
27             saida_mux <= d;
28         elsif(sel = "100") then
29             saida_mux <= d;
30         elsif(sel = "101") then
31             saida_mux <= '0';
32         elsif(sel = "110") then
33             saida_mux <= '0';
34         else
35             saida_mux <= '0';
36         end if;
37     end process;
38     s_m <= saida_mux;
39
40 end Behavioral;
```

1.2 Projeto2 - Multiplexar display

Este projeto consiste na utilização de 2 displays de 7 segmentos utilizando apenas 1 multiplexador e 1 decodificador BCD, também foram permitidos o gerador de função para gerar o *clock* e o seletor de dispositivo.

Toda a implementação do circuito abaixo foi feita diretamente em VHDL, os esquemáticos gerados foram feitos a partir da ferramenta. Porém a compreensão do circuito foi fornecida através do diagrama de blocos (figura 5.6) do roteiro experimental.

Devido à esta abstração, não foi necessário a construção do circuito em forma de esquemático.

1.2.1 Diagrama Esquemático

Diagrama Projeto2 - Multiplexador:

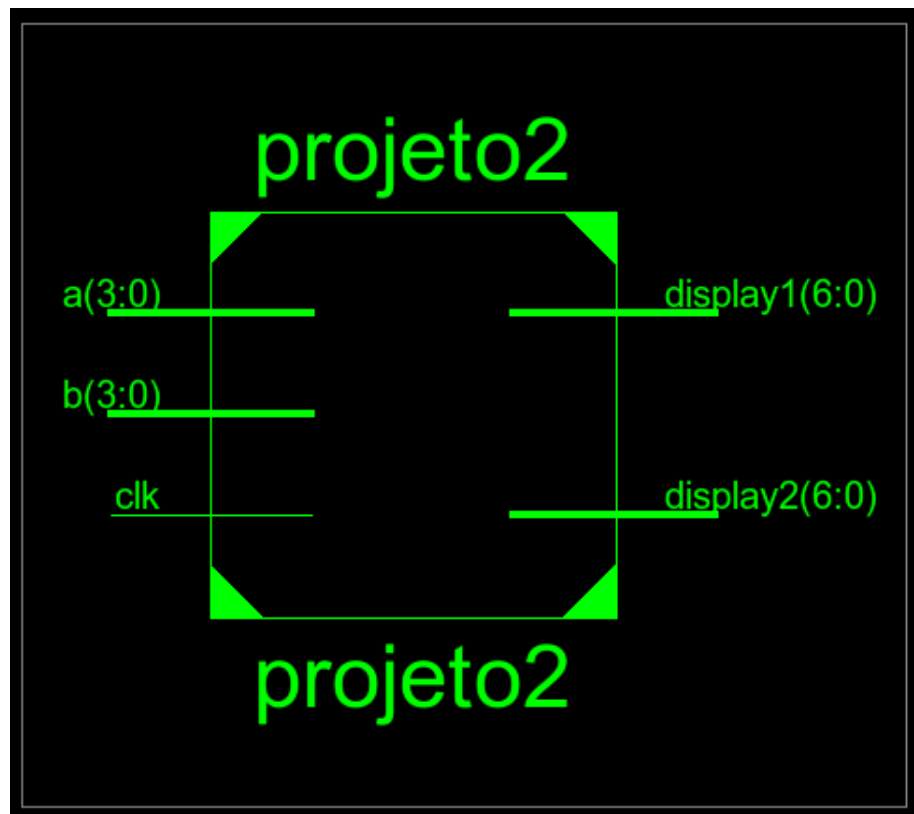


Figure 2: Esquematico macro do projeto 2 - Ise Design Suit 14.7

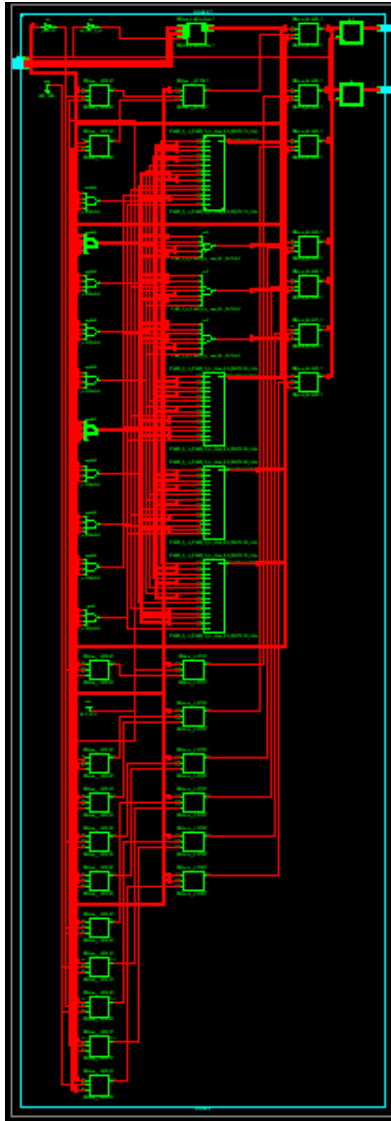


Figure 3: Esquematico geral do projeto 2 - Ise Design Suit 14.7

1.2.2 Código VHDL

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3
4 entity projeto2 is
5     port (
6         a      : in  std_logic_vector (3 downto 0) := "0001";    — Entrada A.
7         b      : in  std_logic_vector (3 downto 0) := "0000";    — Entrada B.
8         clk    : in  std_logic              := '0';              — Clock.
9         display1 : out std_logic_vector (6 downto 0);
10        display2 : out std_logic_vector (6 downto 0)
11    );
12 end projeto2;
13
14 architecture Behavioral of projeto2 is
15
16     signal saida_mux : std_logic_vector (3 downto 0);
17     signal bcd       : std_logic_vector (6 downto 0); — BCD.
18
19     begin
20
21     — Mux 8->4.
22     process (a,b, clk)
23     begin
24         if (clk = '0') then
25             saida_mux <= a;
26         else
27             saida_mux <= b;
28         end if;
29     end process;
30
31     — BCD.
32     process (a,b,clk , saida_mux , bcd)
33     begin
34         if (saida_mux = "0000") then — 0
35             bcd <= "1111110";
36         elsif (saida_mux = "0001") then — 1
37             bcd <= "0110000";
38         elsif (saida_mux = "0010") then — 2
39             bcd <= "1101101";
40         elsif (saida_mux = "0011") then — 3
41             bcd <= "1111001";
42         elsif (saida_mux = "0100") then — 4
43             bcd <= "0110010";
44         elsif (saida_mux = "0101") then — 5
```

```

45     bcd <= "1011010";
46     elsif (saida_mux = "0110") then — 6
47         bcd <= "1011111";
48     elsif (saida_mux = "0111") then — 7
49         bcd <= "1110000";
50     elsif (saida_mux = "1000") then — 8
51         bcd <= "1111111";
52     elsif (saida_mux = "1001") then — 9
53         bcd <= "1111011";
54     elsif (saida_mux = "1010") then — A
55         bcd <= "1110111";
56     elsif (saida_mux = "1011") then — B
57         bcd <= "0011111";
58     elsif (saida_mux = "1100") then — C
59         bcd <= "1001110";
60     elsif (saida_mux = "1101") then — D
61         bcd <= "0111101";
62     elsif (saida_mux = "1110") then — E
63         bcd <= "1001111";
64     else
65         bcd <= "1000111"; — Caso defaul -> 'F'
66     end if;
67 end process;
68
69
70 — Mux 1->2.
71 process (bcd, clk)
72 begin
73     if (clk = '0') then
74         display1 <= bcd;
75     else
76         display2 <= bcd;
77     end if;
78 end process;
79
80
81 end Behavioral;

```

1.2.3 Testes do projeto

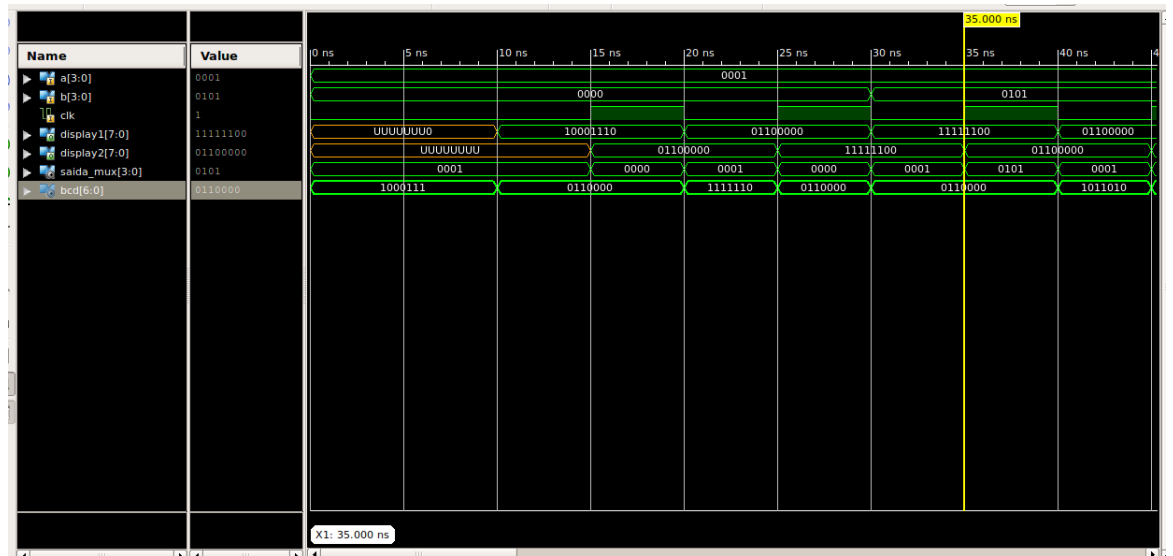


Figure 4: Forma de onda do projeto 2 - Ise Design Suit 14.7