

# Prática de Eletrônica Digital 1 - (119466)

Turma E (Unb - Gama)

## Relatório Experimento 7

Circuitos contadores Síncronos e Assíncronos

Novembro 13, 2016

Nome	Matrícula	Assinatura
Arthur Temporim	14/0016759	
Eduardo Nunes	14/0056189	

# 1 Sumário

- Introdução
- Experimentos
- Discussão
- Conclusões
- Referências Bibliograficas

## 2 Introdução

## 3 Experimentos

Neste relatório é apresentado os resultados obtidos com o projeto na FPGA realizados na aula prática de eletrônica digital 1. Estes resultados são expostos através de imagens e comentários a respeito do experimento.

### 3.1 Experimento 01 e 02

O primeiro experimento, tratou-se de projetar o código em VHDL, feito no pré-relatório 7, na FPGA utilizando o software *Vivado*. Portanto, assim passando para a FPGA o projeto do contador síncrono crescente/decrecente de módulo 10.

Os primeiros passos seguidos tratou se de configurar o ambiente para identificar no software qual modelo de FPGA utilizaríamos sendo este o: Basys 3. Portanto, seguindo os passos que foram passados em sala, conseguimos criar um novo projeto e fazer as devidas configurações necessárias para que o software reconhece se o modelo da FPGA. Desta vez, o computador reconheceu a FPGA. O que pensávamos que desta vez iríamos obter sucesso, o que não ocorreu. Após, feitas as configurações necessárias, passamos então para a fase de sintetizar o código, na qual, por conta do baixo processamento do computador demorou um pouco. Mas que no final desta etapa deu certo. A fase que mais deu problema e que não conseguimos resolver foi em relação a geração do bitstream. O computador não estava conseguindo gerar nenhum bitstream. Achávamos que o problema poderia ser o código, apesar do código no pré relatório 7 ter funcionado sem nenhum tipo de problema assim como poderia ser também o arquivo .xdc, porém fizemos testes momentâneos para averiguar estas opções e nestes comprovaram que o problema não era em nenhuma destas opções assim por eliminação julgamos o problema ser na máquina mesmo. A medida que íamos testando e verificando quais poderiam ser os problemas o tempo ia passando e não conseguimos solucionar o problema mesmo contando com a ajuda dos professores e do monitor ali presentes. Como também íamos executando vários passos e exigindo muito processamento do computador este ficava por travar direto o que acabava atrapalhando a execução do projeto. Como ficamos travados no primeiro experimento sem conseguir implementa-lo na FPGA, não conseguimos também terminar, por falta de tempo, o experimento 02 que trava se de projetar um contador síncrono usando FFs J-K a qual repetia se a sequência: 000, 010, 101, 110.

## 4 Discussão

Neste sétimo relatório não foi possível realizar o experimento com êxito devido aos fatores apresentados acima. Ficamos muito frustrados com este re-

sultado, uma vez que no último experimento já ocorreram imprevistos que impossibilitaram a conclusão com êxito do projeto utilizando a FPGA. Porém ao término da aula, a tarde, nos juntamos para verificar o ocorreu e depois de muita demora por parte do computador o bitstream conseguiu ser gerado mas por a falta da presença de FPGA no momento não conseguimos testar se o projeto estava funcionando na FPGA.

## 5 Conclusões

Com a realização deste experimento não conseguimos obter resultados positivos. Porém, ganhamos experiência a respeito de imprevistos na execução de projetos e entendemos a parte teórica dos experimentos sendo este mostrado na realização do pré relatório 07.

## 6 Referências Bibliográficas

Prática de Eletrônica Digital I 2016.2 professores Henrique Marra Taira Menegaz, Leonardo Aguayo, Lourdes Mattos Brasil, Marcus Vinícius Chaffim Costa, Mariana Costa Bernardes Matias. UnB - FGA Agosto de 2015.