

# Prática de Eletrônica Digital 1 - (119466)

Turma E (Unb - Gama)

Relatório Experimento 2  
Circuitos lógicos e combinacionais

Agosto 26, 2016

Nome	Matrícula	Assinatura
Arthur Temporim	140016759	
Eduardo Nunes	140056189	

# 1 Sumário

- Introdução
- Experimentos
- Discussão
- Conclusões
- Referências Bibliograficas

## 2 Introdução

Neste relatório é apresentado os resultados dos três experimentos realizados na aula da prática da eletrônica digital 1. São apresentados no primeiro experimento a imagem do diagrama do circuito, o código VHDL e a saída. No segundo e no terceiro experimento, somente o código VHDL e a Saída. Todos os experimentos foram realizados utilizando a ferramenta *Ise design suite*.

## 3 Experimentos

### Experimento 01

O primeiro experimento foi ampliar a quantidade de entradas do projeto 2 do pré relatório, ou seja, fazer um circuito comparador com 6 entradas. Foi primeiro desenvolvido o diagrama do circuito representado pela imagem abaixo e sua respectiva saída:

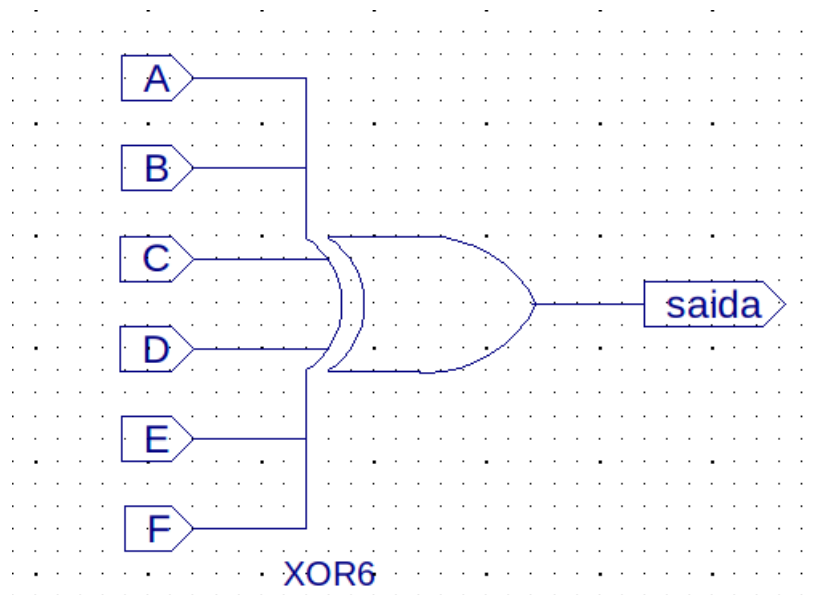


Figure 1: Diagrama do circuito xor de 6 entradas - Ise Design Suite 14.7

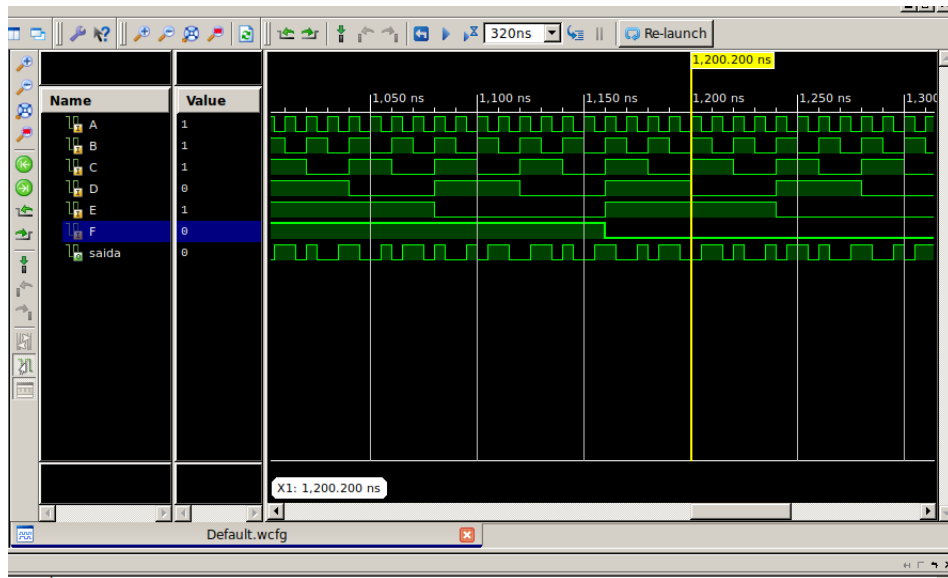


Figure 2: Diagrama de ondas xor de 6 entradas - Ise Design Suite 14.7

Em logo, em seguida foi nos requisitado que fizemos o mesmo experimento só que usando agora o código em VHDL. Representado abaixo e sua respectiva saída:

```
entity xorSixIn is
    Port ( A : in  STD_LOGIC;
          B : in  STD_LOGIC;
          C : in  STD_LOGIC;
          D : in  STD_LOGIC;
          E : in  STD_LOGIC;
          F : in  STD_LOGIC;
          saida : out  STD_LOGIC);
end xorSixIn;

architecture Behavioral of xorSixIn is

begin

    saida <= A xor B xor C xor D xor E xor F;

end Behavioral;
```

Figure 3: Código VHDL xor de 6 entradas - Ise Design Suite 14.7

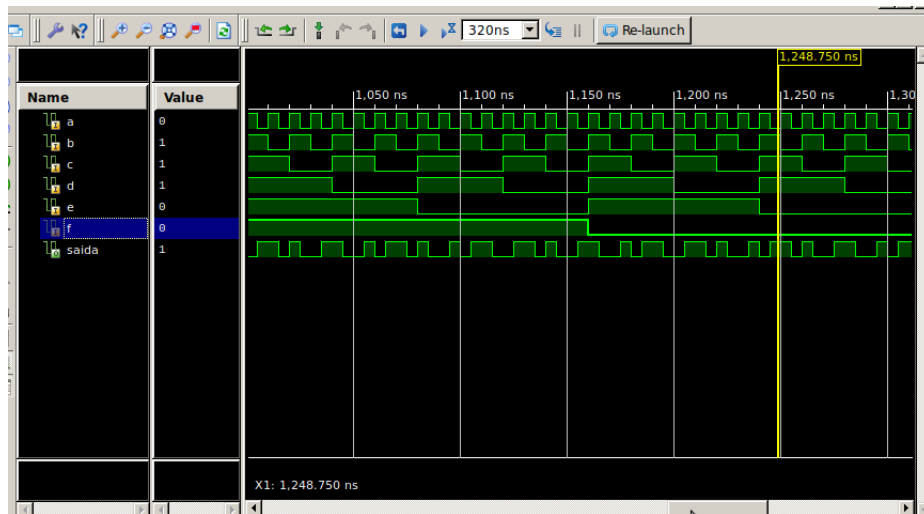


Figure 4: Diagrama de ondas xor de 6 entradas - Ise Design Suite 14.7

## Experimento 02

O segundo experimento, tratava se de fazer um multiplexador de 2 entradas utilizando o VHDL e apresentar suas respectiva saída assim representado pelas imagens abaixo.

```
entity mux2 is
    Port ( A : in STD_LOGIC;
          sel2 : in STD_LOGIC;
          B : in STD_LOGIC;
          saida : out STD_LOGIC);
end mux2;

architecture Behavioral of mux2 is
begin

saida <= (A and (not sel2)) or (B and sel2);

end Behavioral;
```

Figure 5: Diagrama do circuito 01 - Ise Design Suite 14.7

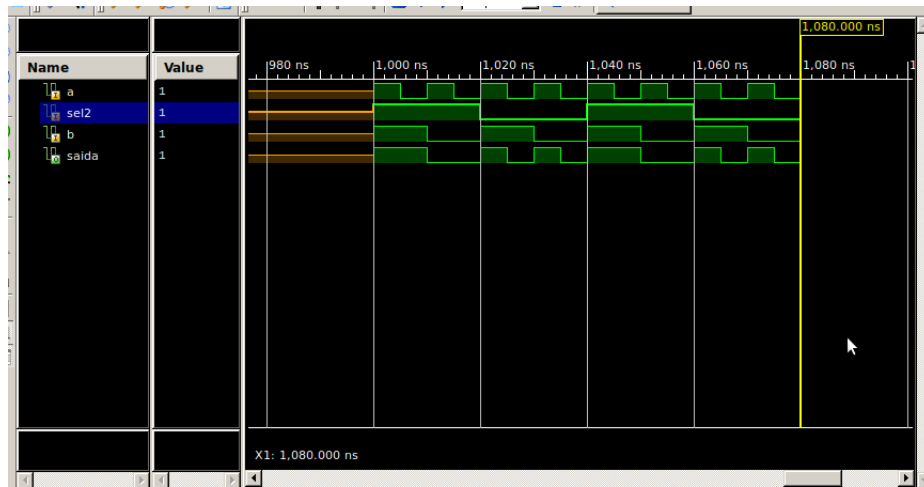


Figure 6: Diagrama de ondas 01 - Ise Design Suite 14.7

### Experimento 03

O terceiro experimento, tratava se de fazer um multiplexador de 4 entradas utilizando o VHDL e apresentar suas respectiva saída assim representado pelas imagens abaixo.

```
entity mux2 is
    Port ( A : in STD_LOGIC;
          C : in STD_LOGIC;
          D : in STD_LOGIC;
          sel1 : in STD_LOGIC;
          sel2 : in STD_LOGIC;
          B : in STD_LOGIC;
          saida : out STD_LOGIC);
end mux2;

architecture Behavioral of mux2 is
    signal s1 : STD_LOGIC;
    signal s2 : STD_LOGIC;
begin

    s1 <= (A and (not sel2)) or (B and sel2);

    s2 <= (C and (not sel2)) or (D and sel2);

    saida <= (s1 and (not sel1)) or (s2 and sel1);

end Behavioral;
```

Figure 7: Diagrama do circuito 01 - Ise Design Suite 14.7

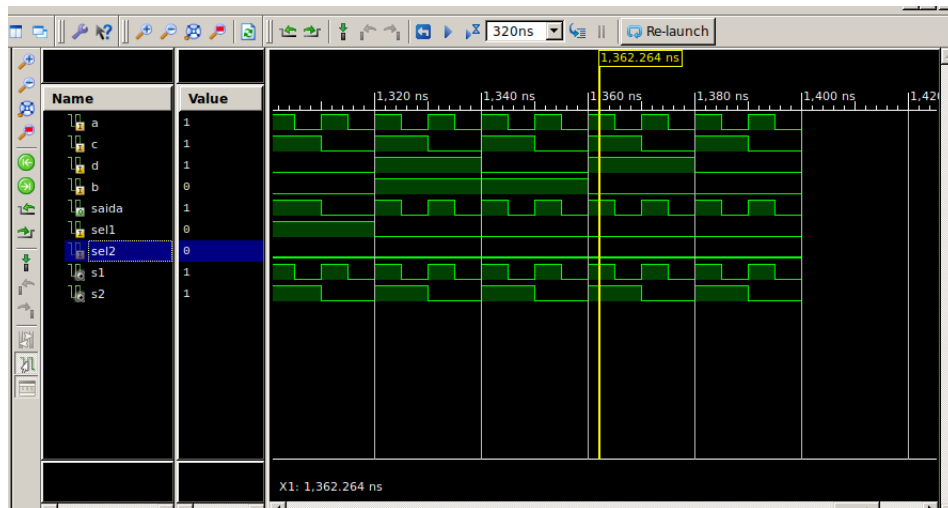


Figure 8: Diagrama de ondas 01 - Ise Design Suite 14.7

## 4 Discussão

Com a realização deste experimento foi possível adquirir a respeito de sistemas comparadores e multiplexadores assim como, aprender mais sobre a linguagem de descrição de hardware. O que por consequência gerou aprendizado da dupla e compreensão da implementação de circuitos.

## 5 Conclusões

Neste segundo relatório foi possível realizar todas as atividades com êxito sem dificuldades significativas tanto na implementação utilizando o software assim como em entender os circuitos.

## 6 Referências Bibliográficas

Prática de Eletrônica Digital I 2016.2 professores Henrique Marra Taira Menegaz, Leonardo Aguayo, Lourdes Mattos Brasil, Marcus Vinícius Chaffim Costa, Mariana Costa Bernardes Matias. UnB - FGA Agosto de 2015.