

Prática de Eletrônica Digital 1 - (119466)

Turma E (Unb - Gama)

Relatório Experimento 5

Circuitos Multiplexadores e Demultiplexadores

Outubro 04, 2016

Nome	Matrícula	Assinatura
Arthur Temporim	14/0016759	
Eduardo Nunes	14/0056189	

1 Sumário

- Introdução
- Experimentos
- Discussão
- Conclusões
- Referências Bibliograficas

2 Introdução

3 Experimentos

Neste relatório é apresentado o resultado dos experimentos realizados na aula prática de eletrônica digital 1. São apresentados o código VHDL assim como as saídas em forma de onda e o diagrama do circuito.

3.1 Experimento 01

O primeiro experimento tratou-se de projetar e simular um circuito que implemente a função: $f(A,B,C) = !AB + !ABC + ABC$. Utilizando um multiplexidor de quatro entradas e uma saída (Mux 4:1).

Acompanham abaixo o código VHDL, diagrama do circuito e a saída em forma de onda:

3.2 Código VHDL

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3
4 entity projeto1 is
5     port (
6         e : in  std_logic_vector (1 downto 0) :=  "00";
7         c : in  std_logic :=  '0';
8         s : out std_logic
9     );
10 end projeto1;
11
12 architecture Behavioral of projeto1 is
13
14     signal multiplex : std_logic;
15
16 begin
17
18     process (multiplex , e , c)
19     begin
20         if (e = "00") then
21             multiplex <= '0';
22         elsif (e = "01") then
23             multiplex <= '1';
24         elsif (e = "10") then
25             multiplex <= '0';
26         else
27             multiplex <= c;
28         end if;
29     end process;
30
31     s <= multiplex;
32
33 end Behavioral;
```

3.3 Diagrama Esquemático

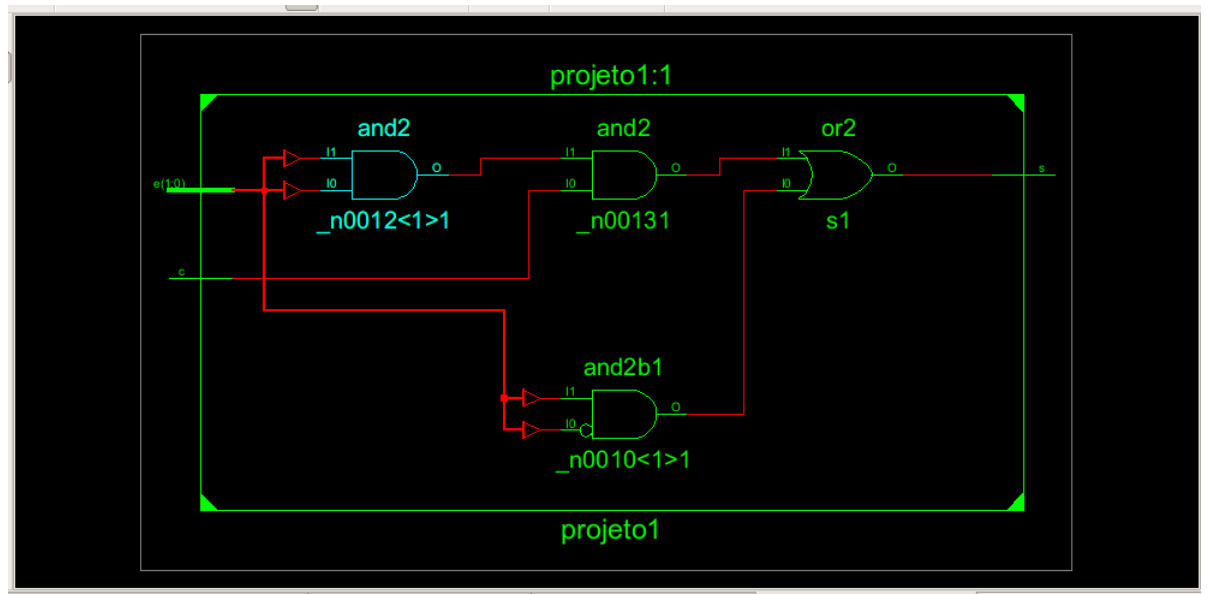


Figure 1: Diagrama do circuito codificador - Ise Design Suite 14.7

3.4 Diagrama de Onda

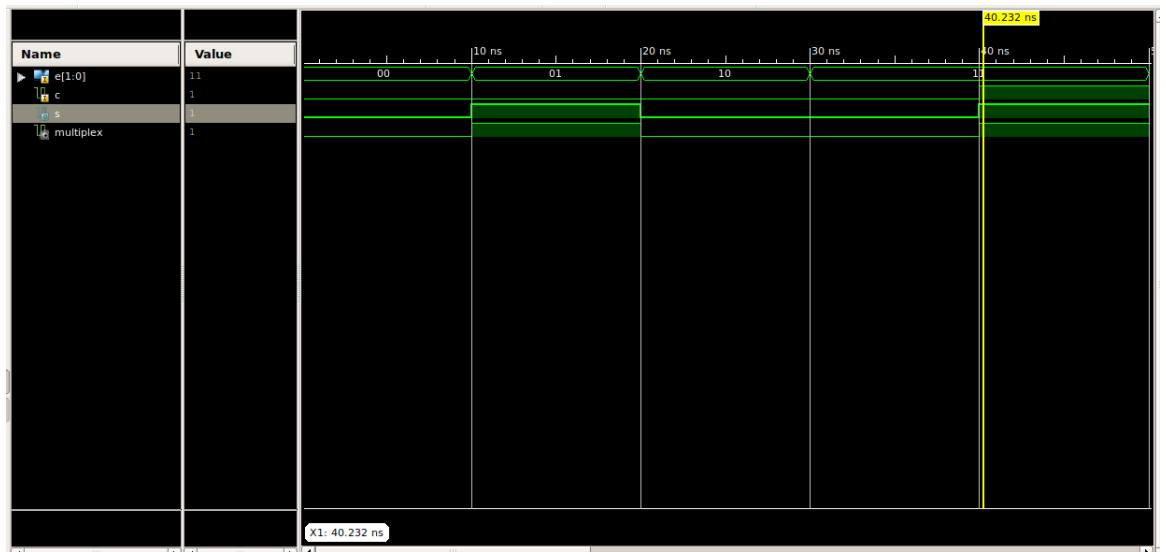


Figure 2: Diagrama de ondas do circuito codificador - Ise Design Suite 14.7

3.5 Experimento 02

O segundo experimento tratou-se de projetar e simular um circuito que implemente a mesma função do experimento 01. Utilizando um Demux:2, Mux:2 e uma porta OR.

3.6 Código VHDL

```
1 library IEEE;
2 use IEEE.STD_LOGIC_1164.ALL;
3
4 entity projeto2 is
5     port (
6         a : in std_logic := '0';
7         b : in std_logic := '1';
8         c : in std_logic := '0';
9         s : out std_logic
10    );
11 end projeto2;
12
13 architecture Behavioral of projeto2 is
14
15     signal multiplex      : std_logic;
16     signal out_multiplex  : std_logic;
17     signal demultiplex    : std_logic_vector (1 downto 0);
18
19 begin
20
21     process (multiplex, a, b, c)
22     begin
23         if (a = '0') then
24             multiplex <= b;
25         else
26             multiplex <= c;
27         end if;
28         out_multiplex <= multiplex;
29     end process;
30
31     process (out_multiplex, a, b, c)
32     begin
33         if (a = '0') then
34             demultiplex(0) <= out_multiplex;
35         else
36             demultiplex(1) <= out_multiplex;
37         end if;
38         s <= demultiplex(0) or demultiplex(1);
39     end process;
40
41 end Behavioral;
```


3.7 Diagrama Esquemático

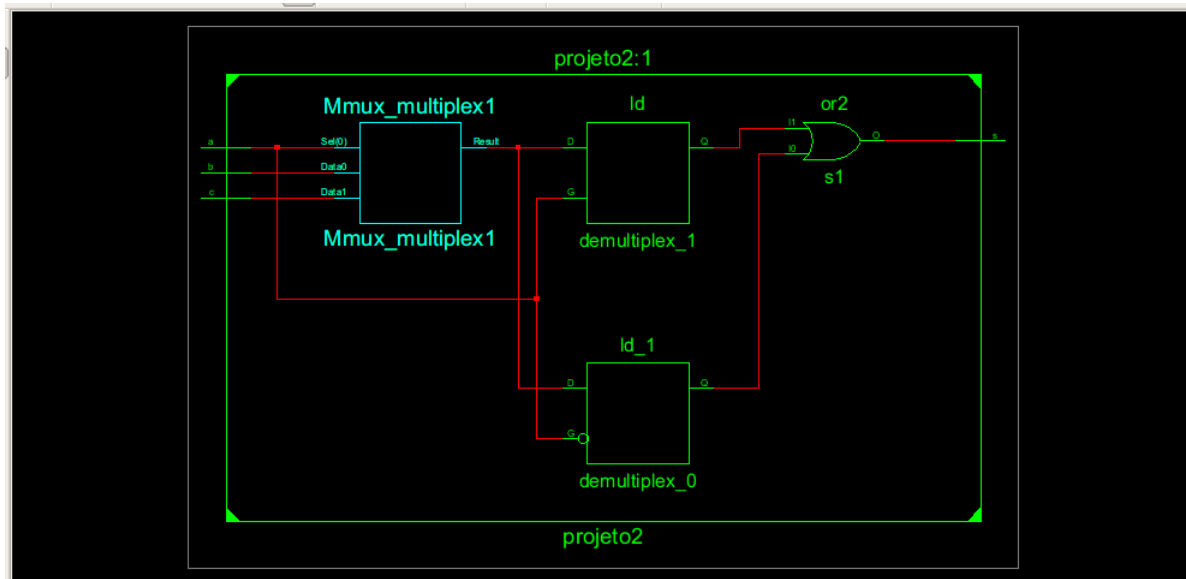


Figure 3: Diagrama do circuito codificador - Ise Design Suite 14.7

4 Discussão

Neste quinto relatório foi possível realizar o primeiro experimento com êxito. Porém, em relação ao segundo experimento tivemos dificuldade na implementação do circuito pois o código em VHDL não correspondia ao resultado esperado quando verificado o diagrama em forma de onda.

5 Conclusões

Com a realização deste experimento foi possível adquirir conhecimento a respeito de multiplexador e demultiplexador. Suas incríveis funcionalidades e reaproveitamento de circuitos com um auxílio de *clocks*.

6 Referências Bibliográficas

Prática de Eletrônica Digital I 2016.2 professores Henrique Marra Taira Menegaz, Leonardo Aguayo, Lourdes Mattos Brasil, Marcus Vinícius Chaffim Costa, Mariana Costa Bernardes Matias. UnB - FGA Agosto de 2015.