Prática de Eletrônica Digital 1 - (119466)

Turma E (Unb - Gama)

Pré-Relatório Experimento 7

Circuitos Contadores Síncronos e Assíncronos

Novembro 7, 2016

Nome	Matrícula	Assinatura
Arthur Temporim	14/0016759	
Eduardo Nunes	14/0056149	

1 Pesquisa bibliográfica

Na seção a seguir contém as atividades pedidas para a elaboração do pré-relatório.

A) *Quais são os principais problemas existentes nos contadores assíncronos? Descreva cada um deles de forma resumida.*

Os problemas encontrados com os contadores assíncronos são provocados pelo acúmulo dos atrasos de propagação dos Flip Flops.

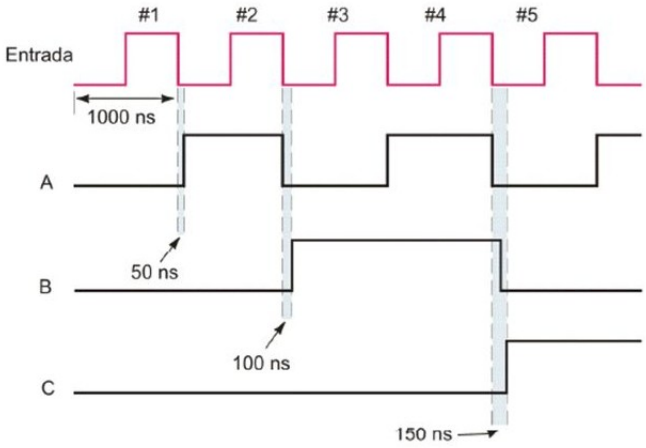

Figure 1: Exemplo de atraso de propagação

Na imagem acima, está uma possível representação do impacto destes atraso. Pois, o tempo de atraso é de 50ns como os pulsos de entrada ocorrem a cada 100 ns na transição de 1 para 0. Na segunda transição este atraso tem seu valor dobrado, uma vez que, se soma o valor do primeiro atraso com o do segundo atraso, ou seja o atraso é acumulado. E por consequência, na terceira transição não foi contado o pulso que foi acionado, uma vez que, o tempo de atraso, sendo este agora de 150 ns, acabou por não captar o pulso.

B) *Cite as vantagens dos contadores síncronos em relação aos contadores assíncronos.*

Dado a problemática do exercício anterior dos atrasos de propagação, os contadores síncronos podem solucionar este problema, nos quais os FFs são disparados simulataneamente (em paralelo) pelos pulsos de clock de entrada. Porém, mesmo com a utilização dos contadores síncronos ainda haverá atrasos de propagação no entanto estes sem bem inferiores aos atrasos ocorridos nos contadores assincronos.

C) *Realize um resumo do procedimento para a realização de projeto de circuitos contadores sincronos e assincronos. Procure deixar bem claro as diferenças no procedimento nos dois tipos de circuitos.*

Na criação de um projeto de um contador assíncrono considera se que as entradas J e K dos FFs estejam com o nivel alto permantemente, ou seja 1, e que a saída de um FF é ligada a entrada de clock do FF seguinte. Já no projeto de um contador síncrono somente as entradas J e K do primeiro FF estão no nível alto e as dos outros FF estão conectadas com uma combinação de saídas dos outros FFs. E as entradas CLK dos FF estão ligadas juntas de forma que na hora que o clock for acionando todas acionam simultaneamente. Desta forma um contador sincrono precisa de mais circuito que um contador assincrono.

D) *Descreva aplicações práticas que utilizam os circuitos contadores.*

Uma das aplicações comuns é o sistema de contagem de tempo empregado nos relógios digitais. Um relógio digital mostra horas, minutos e segundos. Primeiramente, uma tensão de 60 Hz (60 pulsos por segundo) é convertida em forma de onda e dividida para forma de pulsos de 1 Hz (1 pulso por segundo). Para segundos e minutos é empregado um contador de 0 a 59 e para horas, de 0 a 12. Para cada pulso de 1 Hz o display apresenta sua contagem. O contador de segundos gera um clock para o contador de minutos, que gera um clock para o contador de horas. O contador de segundos e minutos contam de 0 a 59 e, em seguida, se reciclam para 0. São utilizados contadores de décadas síncronos.

Referências:

Exemplo de aplicação retirado do site: wikipedia.org/wiki/Contadores_digitais
Imagem utilizada na questão 01: slideplayer.com.br/slide/364035/

2 Projetos e simulações

2.1 Projeto 1

Este projeto consiste em um contador sincrono com um *reset* assincrono. Ele conta de 0 a 9 de forma crescente e decrescente de acordo com o valor da entrada "direcao".

2.1.1 Código VHDL

```
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.STD_LOGIC_ARITH.ALL;
4
5  entity projeto1 is
6    port(
7      clock : in std_logic;
8      direction, reset : in std_logic := '0';
9      enable : in std_logic := '1';
10     q : out std_logic_vector (3 downto 0)
11   );
12 end projeto1;
13
14 architecture Behavioral of projeto1 is
15
16 begin
17   process (clock, reset)
18     variable contagem : integer range 0 to 9;
19     begin
20       if (reset = '1') then
21         contagem := 0;
22       elsif (clock'event and clock = '1') then
23         if (enable = '1') then
24           if(direction = '1') then
25             contagem := contagem + 1;
26           else
27             contagem := contagem - 1;
28           end if;
29         end if;
30       end if;
31     q <= conv_std_logic_vector(contagem,4);
32   end process;
33 end Behavioral;
```

2.1.2 Diagrama de Ondas

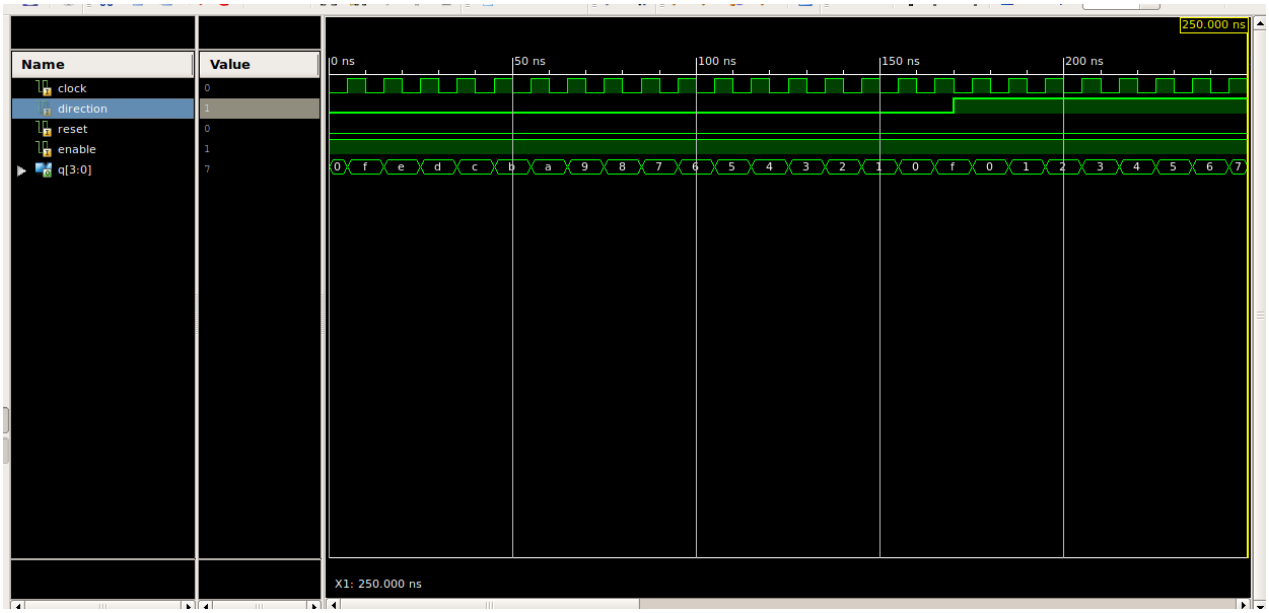

Figure 2: Diagrama de ondas 1 - ISE Design Suit 14.7

2.2 Projeto 2

Este projeto consiste em um contador sincrono com um *reset* assincrono. Ele conta na sequência: **0,2,5,6**. É possível também inserir outros valores no intervalo de 0 a 6, caso o valor não esteja na contagem, o circuito automáticamente volta para o estado "0".

Diferente do projeto anterior, este circuito foi programado na forma de máquina de estados.

2.2.1 Código VHDL

```
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.STD_LOGIC_ARITH.ALL;
4
5  entity projeto_2 is
6    port (
7      entrada : in std_logic_vector (2 downto 0) := "000";
8      reset : in std_logic := '0';
9      enable : in std_logic := '1';
10     clk : in std_logic;
11     saida : out std_logic_vector (2 downto 0)
12   );
```

```
13 end projeto_2;
14
15 architecture Behavioral of projeto_2 is
16
17 signal auxEntrada : std_logic_vector (2 downto 0);
18
19 begin
20   process (clk, reset)
21     begin
22       if (reset = '1') then
23         auxEntrada <= "000";
24       elsif (rising_edge(clk)) then
25         if (enable = '1') then
26           if (entrada = "000") then
27             auxEntrada <= "010";
28           elsif (entrada = "010") then
29             auxEntrada <= "101";
30           elsif (entrada = "101") then
31             auxEntrada <= "110";
32           else
33             auxEntrada <= "000";
34           end if;
35         end if;
36         saida <= auxEntrada;
37       end if;
38   end process;
39 end Behavioral;
```

2.2.2 Diagrama de Ondas

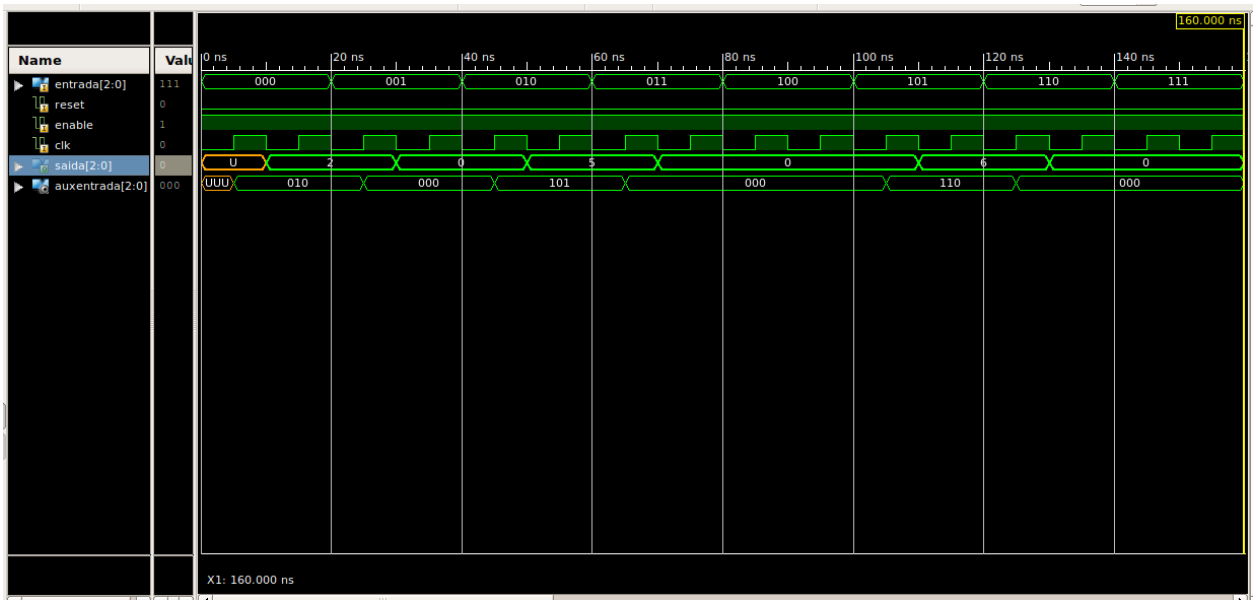

Figure 3: Diagrama de ondas 2 - ISE Design Suit 14.7