



Laboratório 4

- CPU MIPS MULTICICLO -

Objetivos:

- Treinar o aluno com a linguagem de descrição de hardware Verilog;
 - Familiarizar o aluno com a plataforma de desenvolvimento FPGA DE2 da Altera e o software QUARTUS II;
 - Desenvolver a capacidade de análise e síntese de sistemas digitais usando uma Linguagem de Descrição de Hardware;
 - Apresentar ao aluno a implementação de uma CPU MIPS Multiciclo;
- 1) (0.0) Abra e compile o projeto do processador MIPS PUM v.4.2 com o Processador Multiciclo
 - a. Carregue o programa testeWAVEFORM.s ;
 - b. Faça e analise a simulação por forma de onda;
 - c. Faça uma análise em tempo real usando a ferramenta SignalTap-II
 - 2) (1.0) Analise o processador Multiciclo desenhando o diagrama de blocos do Caminho de Dados usando a estrutura base vista em aula e a máquina de estados do Bloco Controlador.
 - 3) (2.0) Usando seu programa teste.s, verifique o correto funcionamento de TODAS as instruções da ISA implementada, e verifique todas as chamadas syscall listadas na documentação do processador.
 - 4) (1.0) Encontre a frequência máxima de clock do processador na qual a ISA ainda é corretamente executada.
 - 5) (3.0) Implemente as instruções abaixo em conformidade com a ISA MIPS (livro See MIPS Run e Manual do MIPS):

bgez \$t0, LABEL	# \$t0 >= 0 ? PC=LABEL : PC=PC+4
bgezal \$t0, LABEL	# \$t0 >= 0 ? PC=LABEL e \$ra=PC+4 : PC=PC+4
bgtz \$t0, LABEL	# \$t0 > 0 ? PC=LABEL : PC=PC+4
blez \$t0, LABEL	# \$t0 <= 0 ? PC=LABEL : PC=PC+4
bltz \$t0, LABEL	# \$t0 < 0 ? PC=LABEL : PC=PC+4
bltzal \$t0, LABEL	# \$t0 < 0 ? PC=LABEL e \$ra=PC+4 : PC=PC+4

 - a. (1.0) Indique as modificações necessárias no caminho de dados
 - b. (1.0) Indique as modificações necessárias no bloco de controle
 - c. (1.0) Comprove o correto funcionamento das novas instruções com seu programa de teste.
 - 6) (3.0) Implemente a chamada do sistema Syscall 49, que receba como argumentos: \$a0 o endereço do cartão SD, \$a1 endereço da memória e \$a2 a quantidade de bytes a serem transferidos, e retorne \$v0=0 em caso de sucesso e \$v0=1 em caso de erro.