RISC-V SiMPLE

Projeto e Desenvolvimento de processadores RISC-V com a *ISA RV32IMF* usando as microarquiteturas Uniciclo, Multiciclo e *Pipeline* em *FPGA*

Arthur Matos

Universidade de Brasília - UnB

26 de maio de 2021

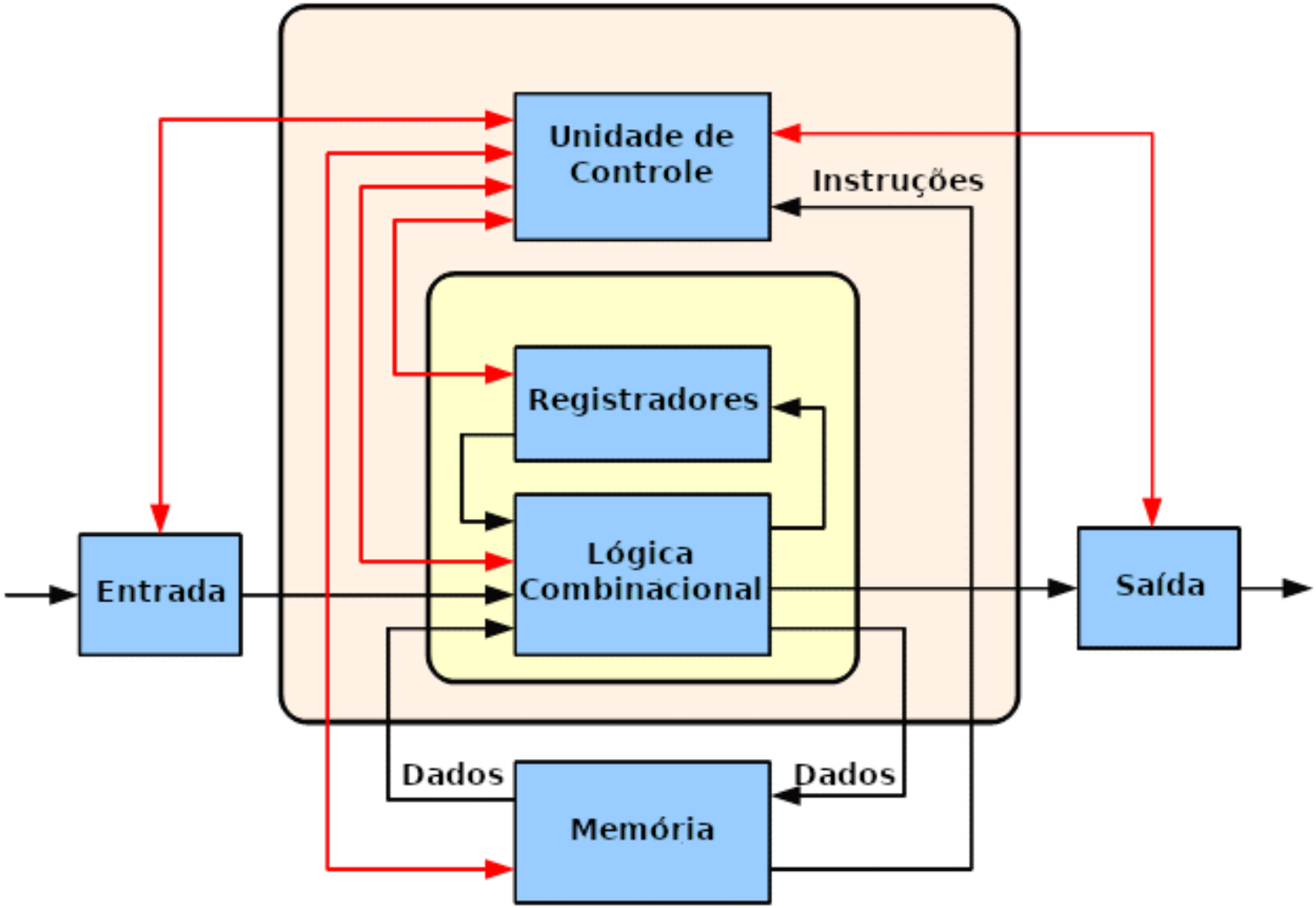
Motivação e Objetivos

Motivação e Objetivos

Revisão Teórica

Arquitetura de computadores

Arquitetura de computadores



RISC vs CISC

Fazer essa parte?

ISA RISC-V

ISA RISC-V

Módulo Base

Falar sobre módulo I32/64/128 e E

Extensões da arquitetura

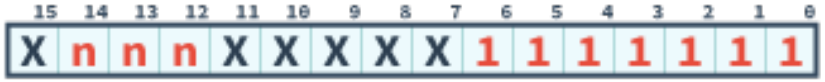
Codificação do tamanho da instrução

16 bits (aa ≠ 11)

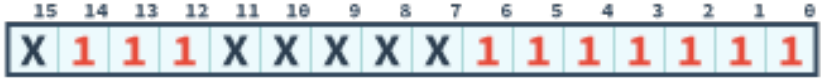
32 bits (bbb ≠ 111)

48 bits

64 bits

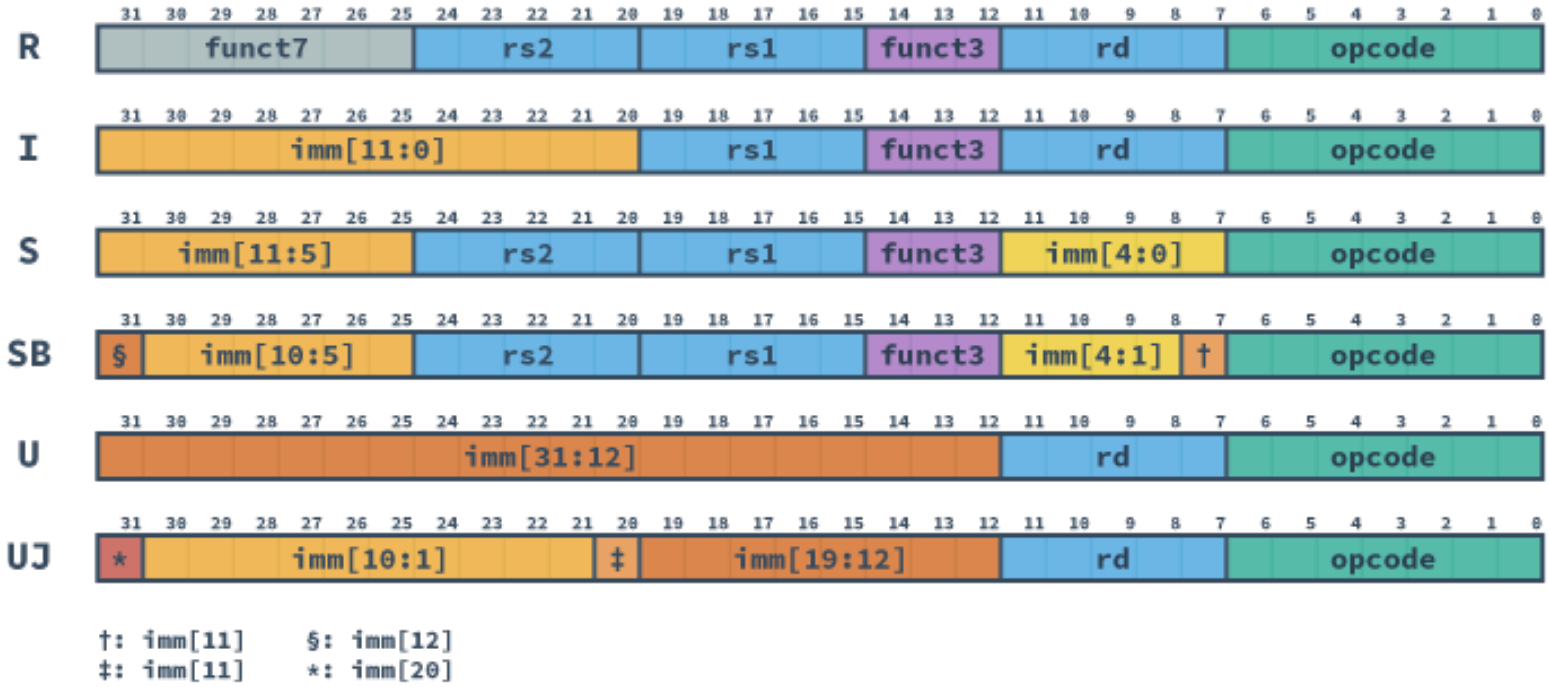


80+16*nnn bits (nnn ≠ 111)



Reserved for ≥ 192 bits

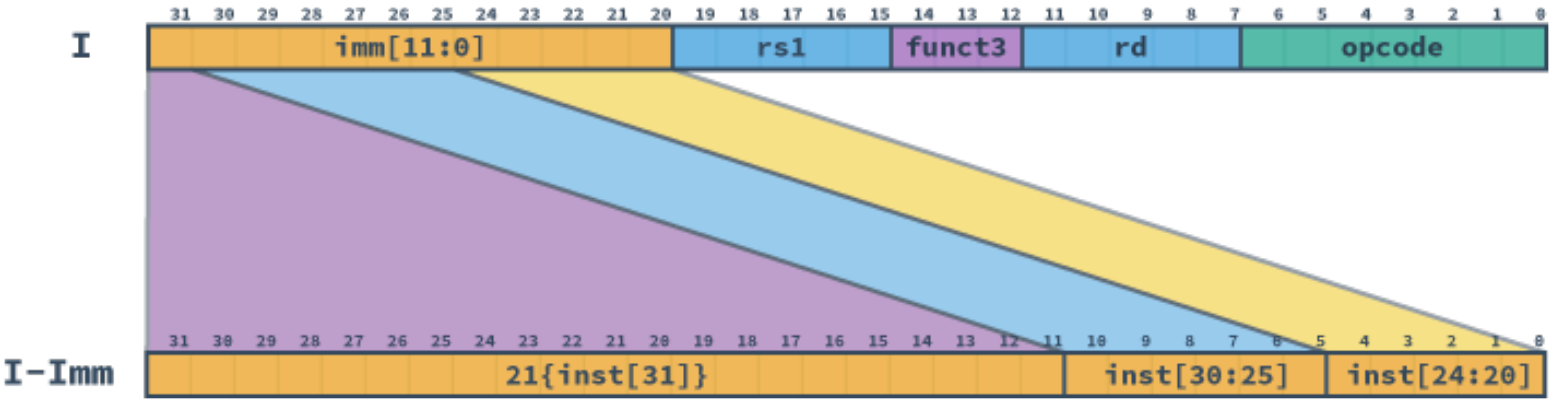
Instruções de 32 *bits*



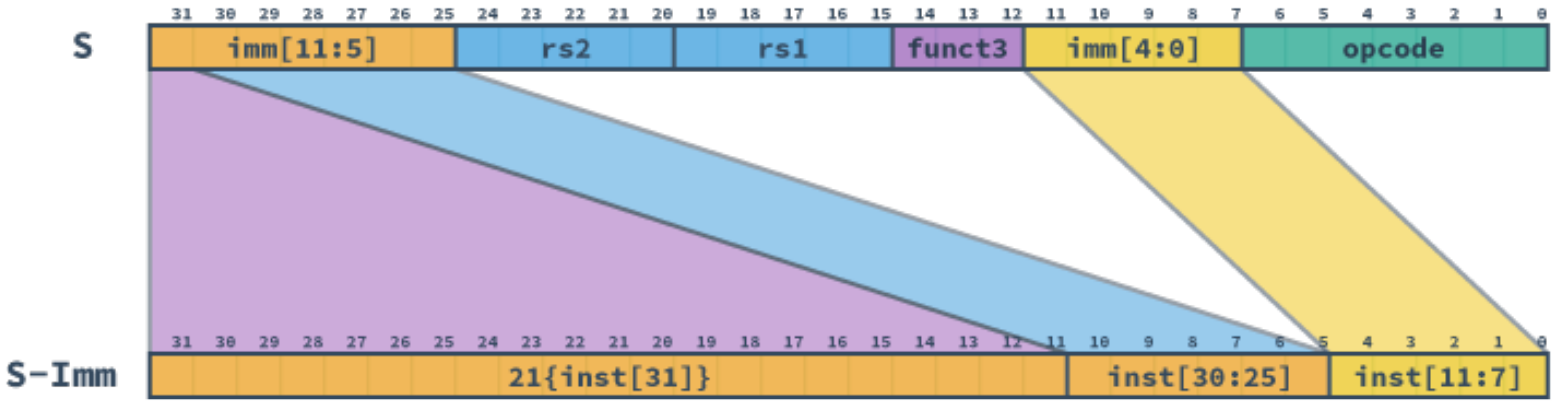
Imediatos

```
.text

...

addi     t0, zero, 404
...
```

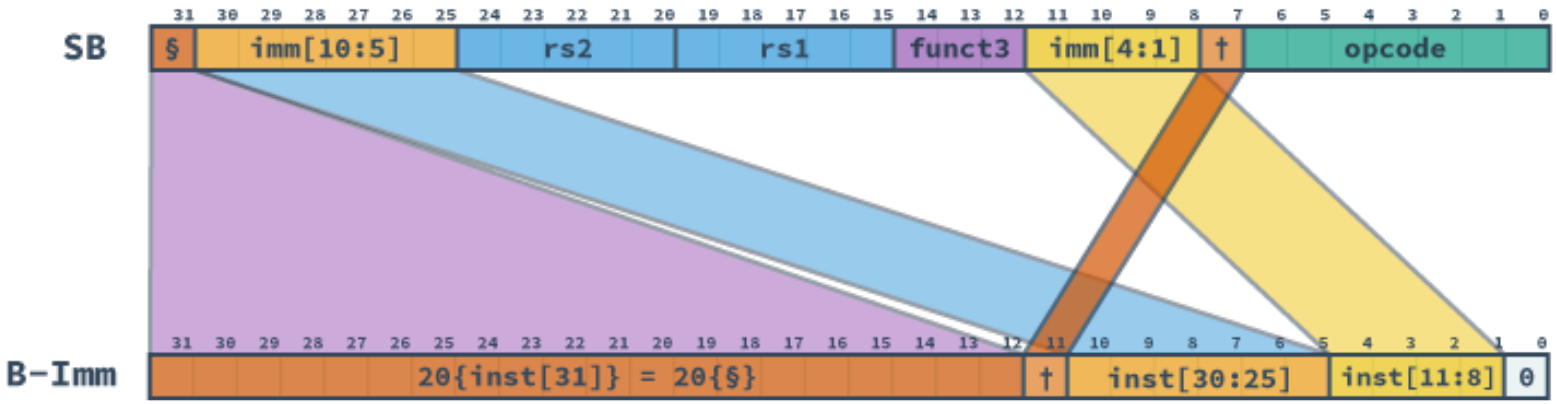
Formação dos imediatos em instruções tipo I



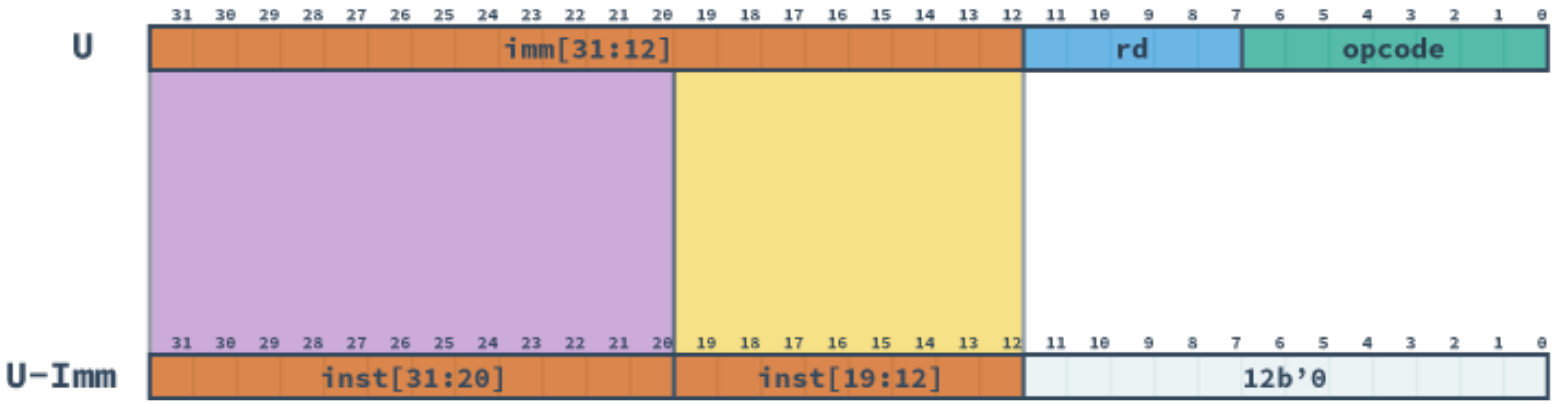
Formação dos imediatos em instruções tipo **S**



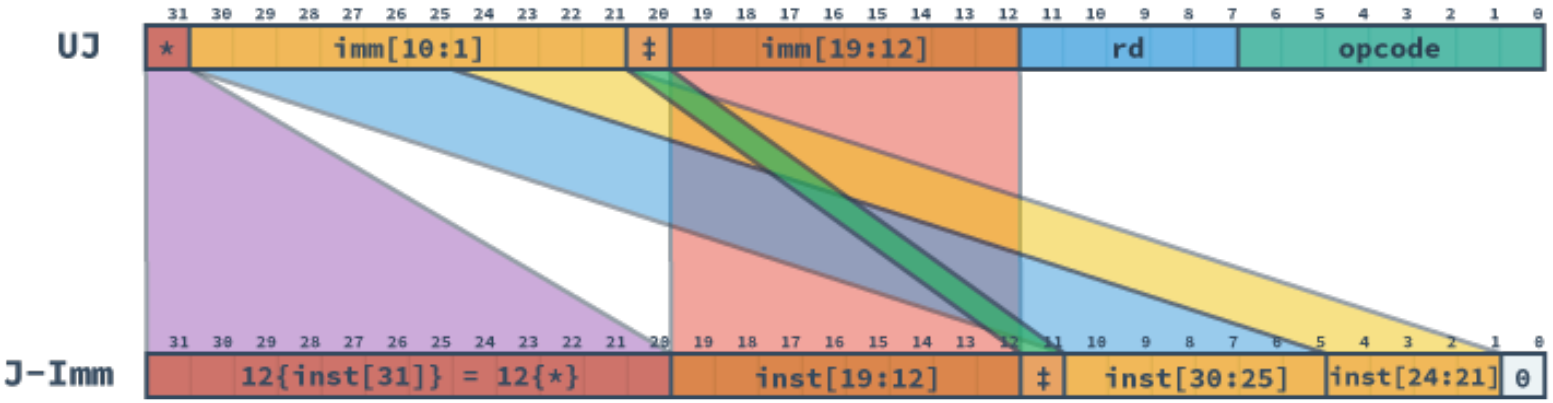
Formação dos imediatos em instruções tipo **B**



Formação dos imediatos em instruções tipo **U**



Formação dos imediatos em instruções tipo **J**



Programando para a *ISA RISC-V*

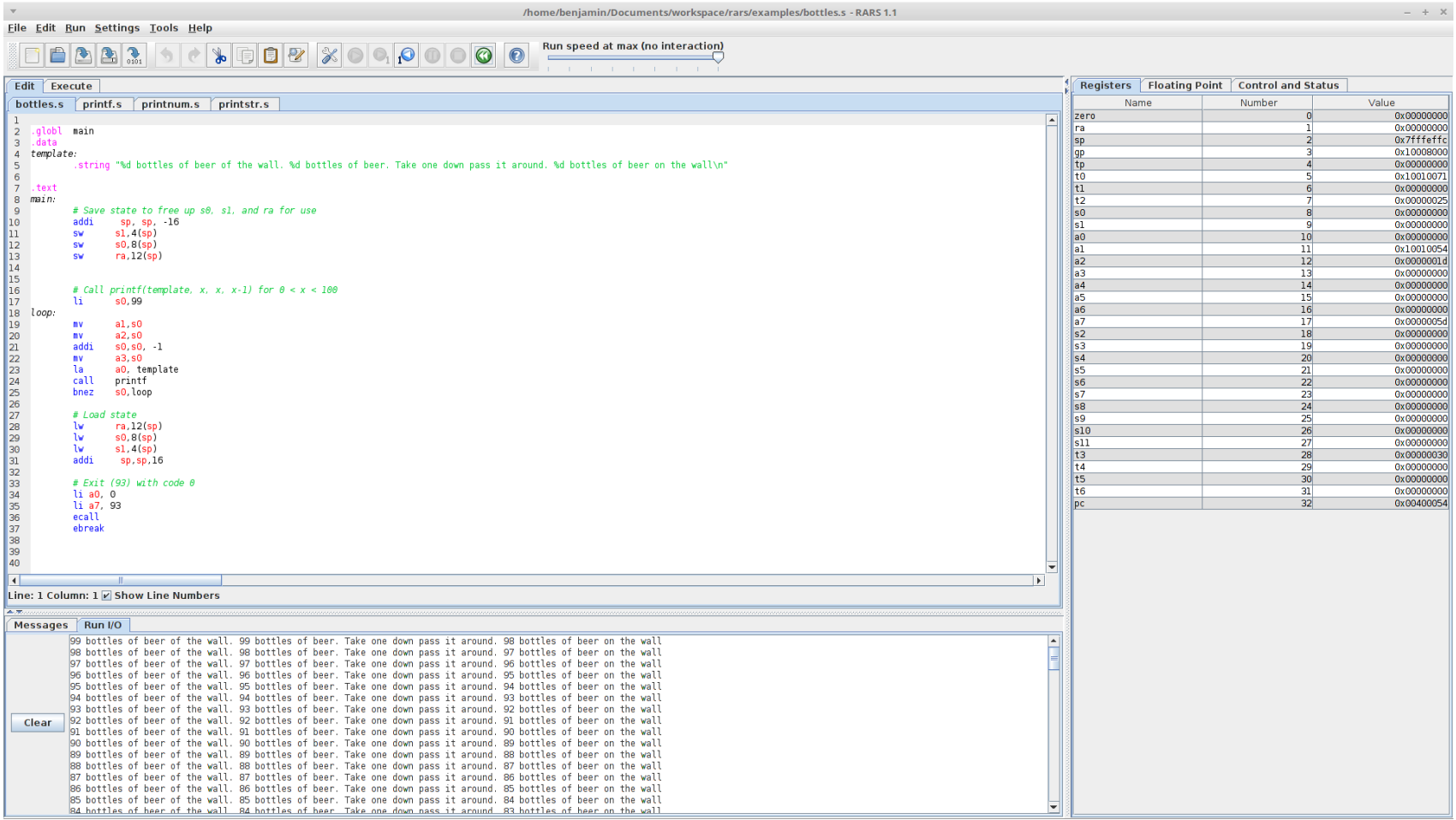
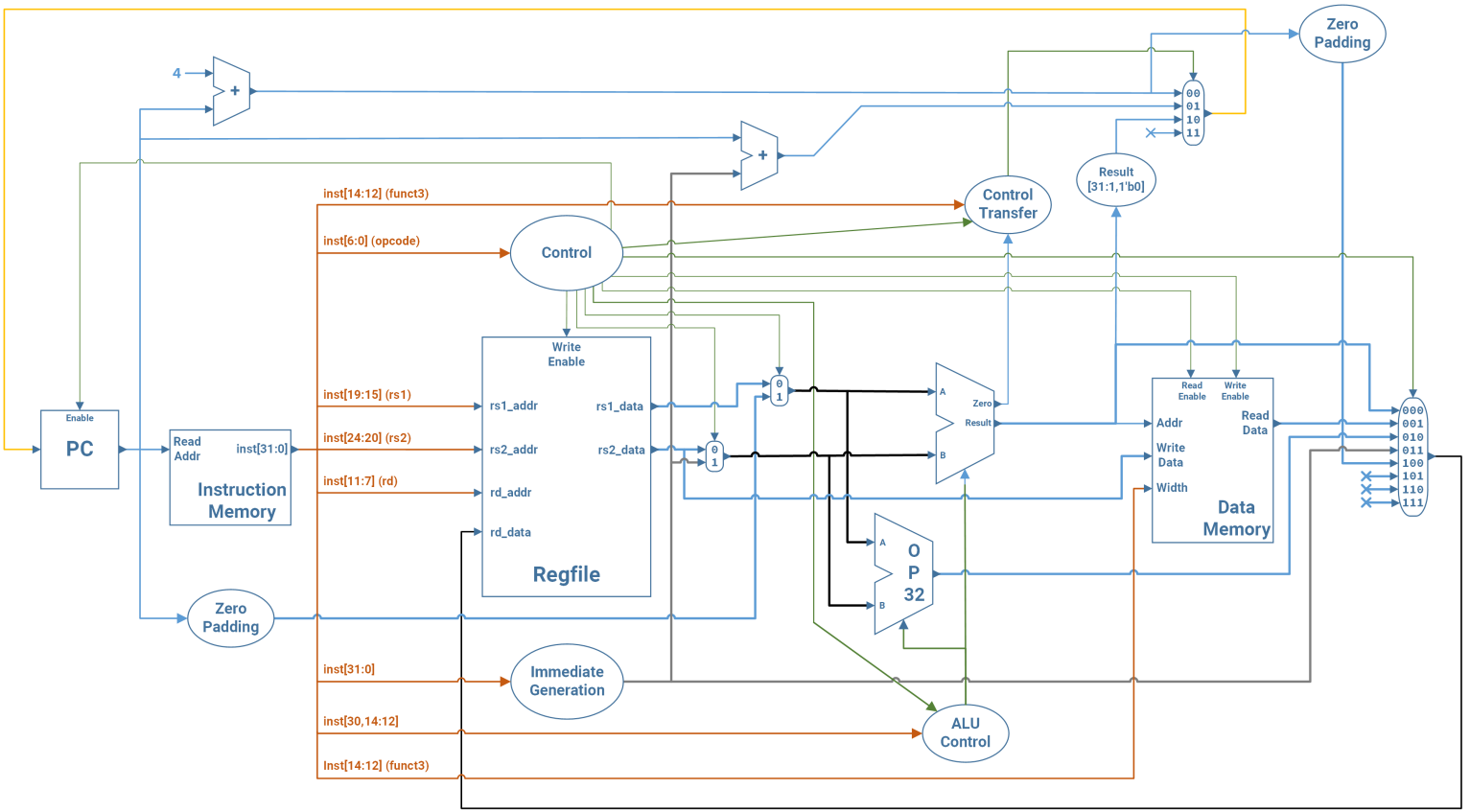


Figura: *IDE RARS*

Organização de computadores

Organização de computadores



Alguns conceitos de microarquiteturas

- Uniciclo
- Multiciclo
- *Pipeline*
- Superescalar
- *Out-of-Order Execution*

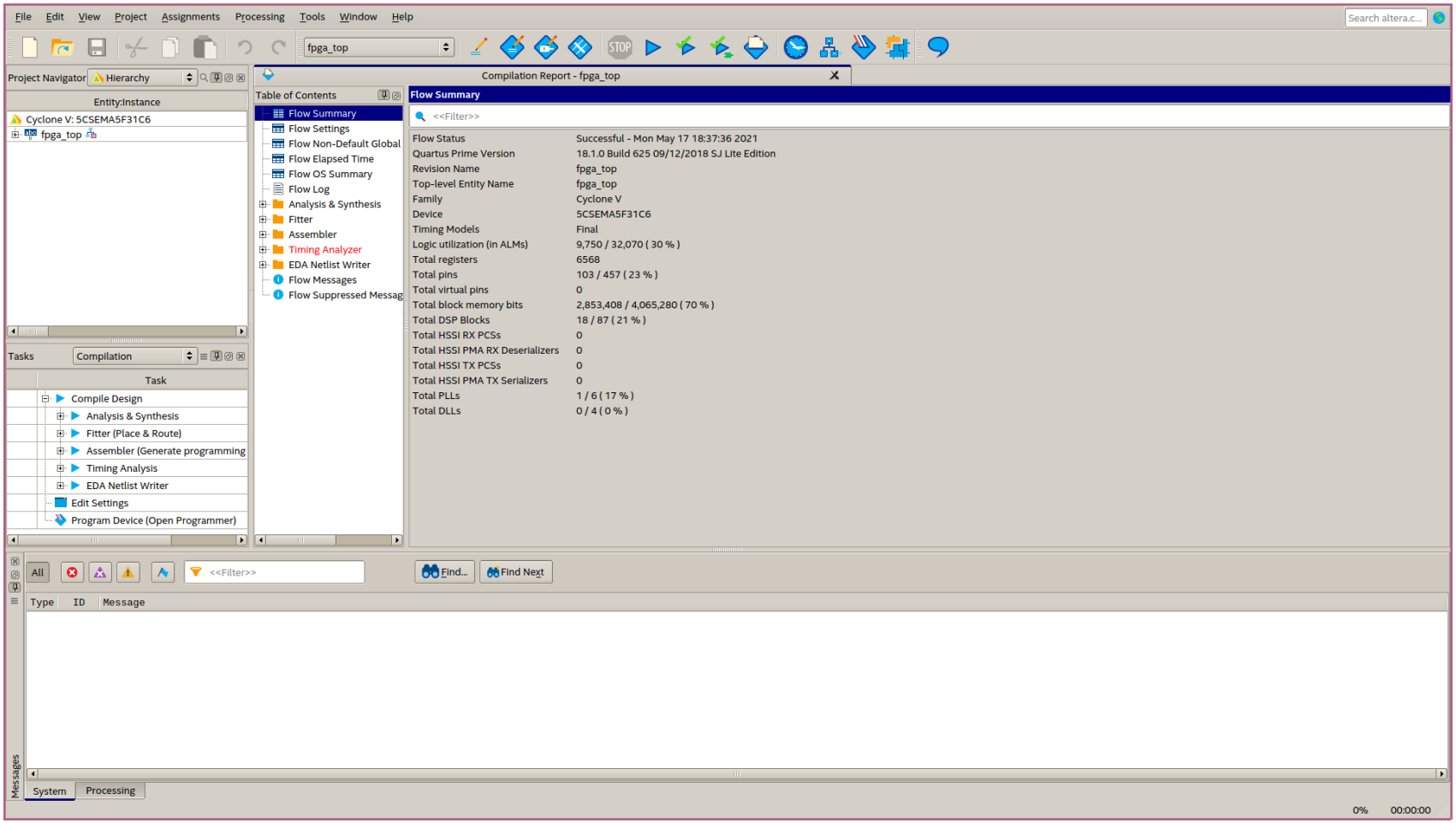
Representação de *hardware*

Representação de *hardware*

- Programação visual
- Linguagens de descrição de *hardware* (*HDL*)
  - *Verilog*
  - *VHDL*
- Síntese de alto nível (*HLS*)
  - *C++*
  - *Matlab*

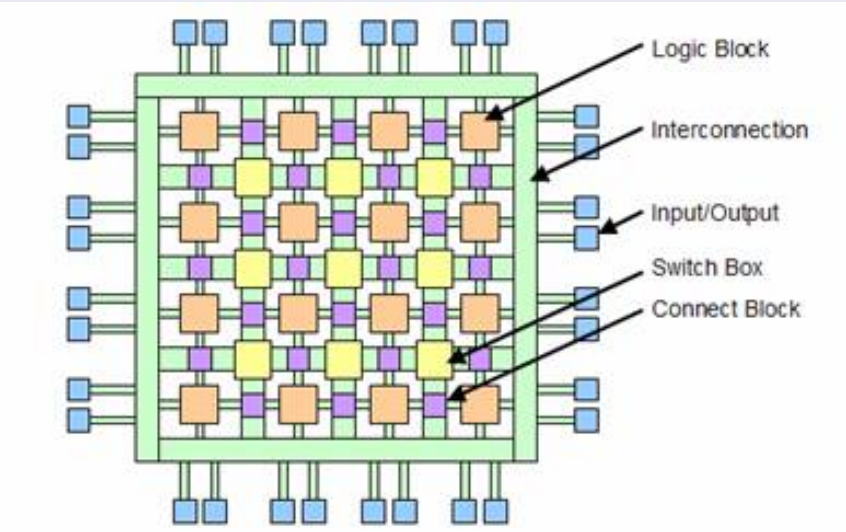
Síntese de *hardware*

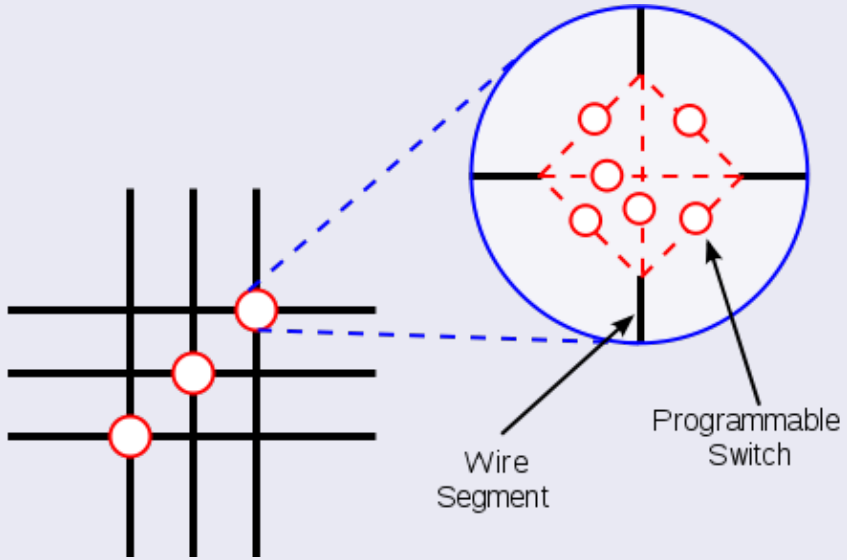
Sintetizando projetos em *HDL*



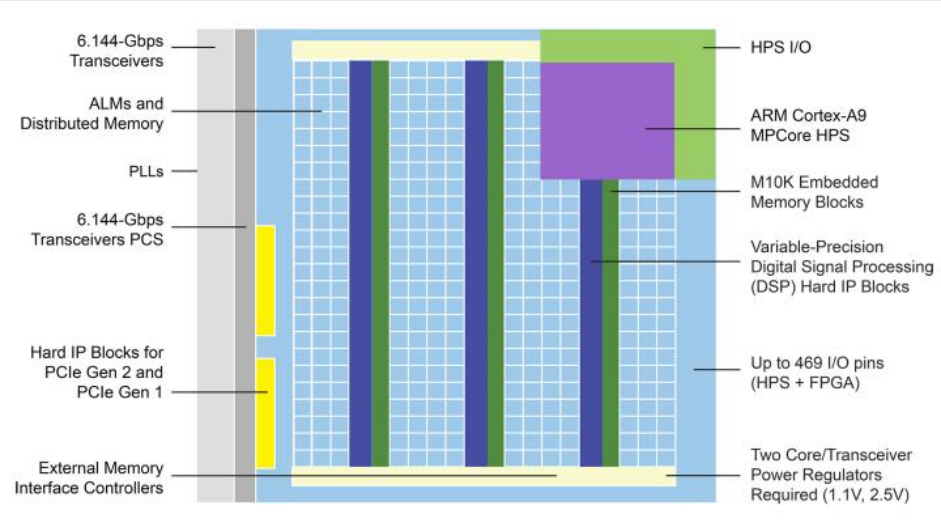
FPGAs

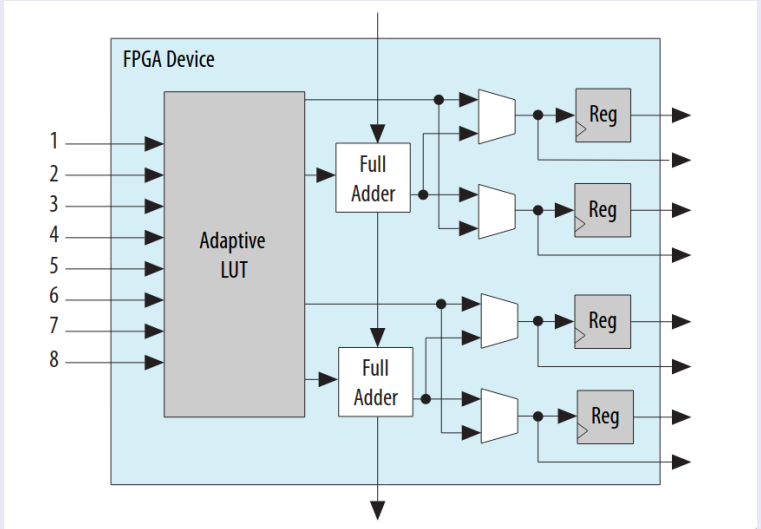
Arquitetura genérica de uma *FPGA*





Arquitetura da *FPGA Altera Cyclone V*





Estado da Arte

O Estado da Arte da *ISA RISC-V*

Sistema Proposto

Organização do projeto