

TRABALHO DE GRADUAÇÃO

RISC-V SiMPLE

Arthur de Matos Beggs

Brasília, dezembro de 2018



**ENGENHARIA  
MECATRÔNICA**  
UNIVERSIDADE DE BRASÍLIA

UNIVERSIDADE DE BRASÍLIA  
Faculdade de Tecnologia  
Curso de Graduação em Engenharia de Controle e Automação

TRABALHO DE GRADUAÇÃO  
**RISC-V SIMPLE**

**Arthur de Matos Beggs**

*Relatório submetido como requisito parcial de obtenção  
de grau de Engenheiro de Controle e Automação*

Banca Examinadora

Prof. Marcus Vinicius Lamar, CIC/UnB  
*Orientador*

\_\_\_\_\_

Prof. Ricardo Pezzuol Jacobi, CIC/UnB  
*Co-Orientador*

\_\_\_\_\_

**Brasília, dezembro de 2018**

## FICHA CATALOGRÁFICA

ARTHUR, DE MATOS BEGGS

RISC-V SiMPLE,

[Distrito Federal] 2018.

x, 101p., 297 mm (FT/UnB, Engenheiro, Controle e Automação, 2018). Trabalho de Graduação – Universidade de Brasília.Faculdade de Tecnologia.

1. RISC-V

2. ???

I. Mecatrônica/FT/UnB

II. Título (Série)

## REFERÊNCIA BIBLIOGRÁFICA

BEGGS, ARTHUR DE MATOS, (2018). RISC-V SiMPLE. Trabalho de Graduação em Engenharia de Controle e Automação, Publicação FT.TG-*n*º022, Faculdade de Tecnologia, Universidade de Brasília, Brasília, DF, 101p.

## CESSÃO DE DIREITOS

AUTOR: Arthur de Matos Beggs

TÍTULO DO TRABALHO DE GRADUAÇÃO: RISC-V SiMPLE.

GRAU: Engenheiro

ANO: 2018

É concedida à Universidade de Brasília permissão para reproduzir cópias deste Trabalho de Graduação e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor reserva outros direitos de publicação e nenhuma parte desse Trabalho de Graduação pode ser reproduzida sem autorização por escrito do autor.

---

Arthur de Matos Beggs

SHCGN 703 Bl G N° 120, Asa Norte

70730-707 Brasília – DF – Brasil.

## **Dedicatória**

*Dedico ao pato de borracha especialista em TI que sempre me ajuda a depurar meus códigos.*

*Arthur de Matos Beggs*

## Agradecimentos

*Agradecimentos!*

*Arthur de Matos Beggs*

---

## RESUMO

Resumo!

Palavras Chave: RISC-V

---

## ABSTRACT

Abstract!

Keywords: RISC-V

# SUMÁRIO

<b>1</b>	<b>Introdução.....</b>	<b>1</b>
1.1	MOTIVAÇÃO .....	1
1.2	POR QUE <i>RISC-V</i> ? .....	1
<b>2</b>	<b>Especificação .....</b>	<b>3</b>
2.1	CONJUNTO DE INSTRUÇÕES I .....	4
2.2	EXTENSÃO M .....	4
2.3	EXTENSÃO F .....	4
2.4	BARRAMENTO AVALON .....	4
2.5	ARQUITETURA PRIVILEGIADA .....	4
<b>3</b>	<b>Implementação .....</b>	<b>5</b>
<b>4</b>	<b>Conclusões.....</b>	<b>6</b>
4.1	PERSPECTIVAS FUTURAS.....	6
	<b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>	<b>7</b>
	<b>Anexos.....</b>	<b>8</b>
<b>I</b>	<b>Descrição do conteúdo do CD.....</b>	<b>9</b>
<b>II</b>	<b>Programas utilizados.....</b>	<b>10</b>

# LISTA DE FIGURAS

2.1	Diagrama da microarquitetura uniciclo do RISC-V SiMPLE. ....	4
-----	--	---



# LISTA DE TABELAS

# LISTA DE SÍMBOLOS

## Siglas

BSD	Distribuição de Software de Berkeley - <i>Berkeley Software Distribution</i>
CSR	Registradores de Controle e Estado - <i>Control and Status Registers</i>
FPGA	Arranjo de Portas Programáveis em Campo - <i>Field Programmable Gate Array</i>
hart	<i>hardware thread</i>
ISA	Arquitetura do Conjunto de Instruções - <i>Instruction Set Architecture</i>
MIPS	Microprocessador sem Estágios Intertravados de <i>Pipeline</i> - <i>Microprocessor without Interlocked Pipeline Stages</i>
OAC	Organização e Arquitetura de Computadores
RISC	Computador com Conjunto de Instruções Reduzido - <i>Reduced Instruction Set Computer</i>
SiMPLE	Ambiente de Aprendizado Uniciclo, Multiciclo e <i>Pipeline</i> - <i>Single-cycle Multicycle Pipeline Learning Environment</i>

# Capítulo 1

## Introdução

### 1.1 Motivação

O mercado de trabalho está a cada dia mais exigente, sempre buscando profissionais que conheçam as melhores e mais recentes ferramentas disponíveis. Além disso, muitos universitários se sentem desestimulados ao estudarem assuntos desatualizados e com baixa possibilidade de aproveitamento do conteúdo no mercado de trabalho. Isso alimenta o desinteresse pelos temas abordados e, em muitos casos, leva à evasão escolar. Assim, é importante renovar as matérias com novas tecnologias e tendências de mercado sempre que possível, a fim de instigar o interesse dos discentes e formar profissionais mais capacitados e preparados para as demandas da atualidade.

Hoje, a disciplina de Organização e Arquitetura de Computadores é ministrada utilizando a arquitetura *MIPS32*. Apesar da arquitetura *MIPS32* ainda ter grande força no meio acadêmico (em boa parte devido a sua simplicidade e extensa bibliografia), sua aplicação na indústria tem diminuído consideravelmente na última década.

Embora a curva de aprendizagem de linguagens *Assembly* de alguns processadores *RISC* seja relativamente baixa para quem já conhece o *Assembly MIPS32*, aprender uma arquitetura atual traz o benefício de conhecer o *estado da arte* da organização e arquitetura de computadores.

Para a proposta de modernização da disciplina, foi escolhida a *ISA RISC-V* desenvolvida na Divisão de Ciência da Computação da Universidade da Califórnia, Berkeley.

### 1.2 Por que *RISC-V*?

A *ISA RISC-V* (lê-se "*risk-five*") é uma arquitetura *open source* com licença *BSD*, o que permite o seu livre uso para quaisquer fins, sem distinção de se o trabalho possui código-fonte aberto ou proprietário. Tal característica possibilita que grandes fabricantes utilizem a arquitetura para criar seus produtos, mantendo a proteção de propriedade intelectual sobre seus métodos de implementação e quaisquer subconjuntos de instruções não-*standard* que as empresas venham a desenvolver, o que estimula investimentos em pesquisa e desenvolvimento.

Empresas como Google, IBM, AMD, Nvidia, Hewlett Packard, Microsoft, Oracle, Qualcomm e Western Digital são algumas das fundadoras e investidoras da *RISC-V Foundation*, órgão responsável pela governança da arquitetura. Isso demonstra o interesse das gigantes do mercado no sucesso e disseminação da arquitetura.

A licença também permite que qualquer indivíduo produza, distribua e até mesmo comercialize sua própria implementação da arquitetura sem ter que arcar com *royalties*, sendo ideal para pesquisas acadêmicas, *startups* e até mesmo *hobbyistas*.

O conjunto de instruções foi desenvolvido tendo em mente seu uso em diversas escalas: sistemas embarcados, *smartphones*, computadores pessoais, servidores e supercomputadores, o que permitirá maior reuso de *software* e maior integração de *hardware*.

Outro fator que estimula o uso do *RISC-V* é a modernização dos livros didáticos. A nova versão do livro utilizado em OAC, Organização e Projeto de Computadores, de David Patterson e John Hennessy, utiliza a *ISA RISC-V*.

Além disso, com a promessa de se tornar uma das arquiteturas mais utilizadas nos próximos anos, utilizar o *RISC-V* como arquitetura da disciplina de OAC se mostra a escolha ideal no momento.

## Capítulo 2

# Especificação

O projeto *RISC-V SiMPLE* (*Single-cycle Multicycle Pipeline Learning Environment*) consiste no desenvolvimento de um processador com conjunto de instruções *RISC-V*, sintetizável em *FPGA* e com *hardware* descrito em *Verilog*. A microarquitetura implementada nesse trabalho é uniciclo, escalar, em ordem, com um único *hart* e com caminho de dados de 64 bits. Trabalhos futuros utilizarão a estrutura altamente configurável e modularizada do projeto para desenvolver as versões em microarquiteturas multiciclo e *pipeline*.

O processador contém o conjunto de instruções I (para operações com inteiros, sendo o único módulo com implementação mandatória pela arquitetura) e as extensões *standard* M (para multiplicação e divisão de inteiros) e F (para ponto flutuante com precisão simples conforme o padrão IEEE 754 com revisão de 2008). O projeto não implementa as extensões D (ponto-flutuante de precisão dupla) e A (operações atômicas de sincronização), e com isso o *soft core* desenvolvido não pode ser definido como de propósito geral, G (que deve conter os módulos I, M, A, F e D). Assim, pela nomenclatura da arquitetura, o processador desenvolvido é um *RV64IMF*.

O projeto contempla *traps*, interrupções, exceções, *CSRs*, chamadas de sistema e outras funcionalidades de nível privilegiado da arquitetura.

O *soft core* possui barramento Avalon para se comunicar com os periféricos das plataformas de desenvolvimento. O projeto foi desenvolvido utilizando a placa DE2-115 com *FPGA Altera Cyclone* e permite a fácil adaptação para outras placas da Altera.

## 2.1 Conjunto de Instruções I

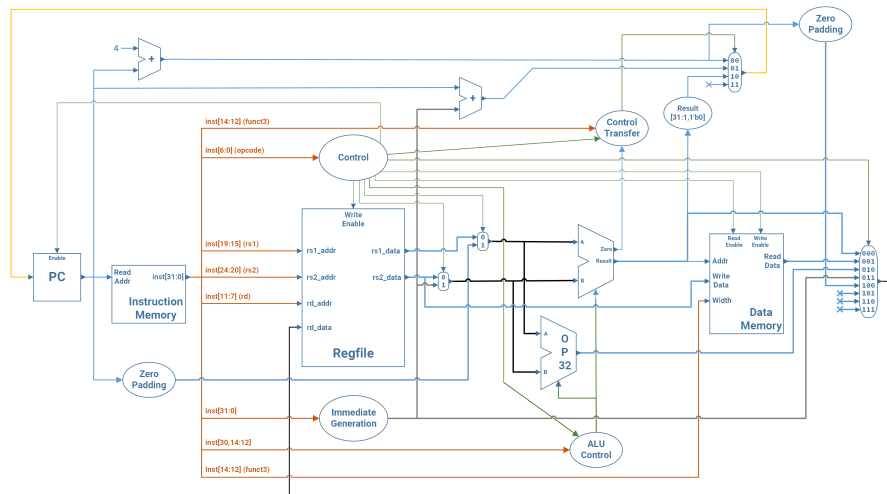


Figura 2.1: Diagrama da microarquitetura uniciclo do RISC-V SIMPLE.

## 2.2 Extensão M

## 2.3 Extensão F

## 2.4 Barramento Avalon

## 2.5 Arquitetura Privilegiada

## Capítulo 3

# Implementação

## Capítulo 4

# Conclusões

Concluir

### 4.1 Perspectivas Futuras

Perspectivas futuras



# REFERÊNCIAS BIBLIOGRÁFICAS

# ANEXOS

# **I. DESCRIÇÃO DO CONTEÚDO DO CD**

Descrever CD.

## II. PROGRAMAS UTILIZADOS

Quais programas foram utilizados?