

TRABALHO DE GRADUAÇÃO

**TÍTULO DO TRABALHO DIVIDIDO EM
MAIS DE UMA LINHA PARA TÍTULOS
REALMENTE LONGOS COMO ESTE**

Arthur de Matos Beggs

Brasília, dezembro de 2018



**ENGENHARIA
MECATRÔNICA**
UNIVERSIDADE DE BRASÍLIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia
Curso de Graduação em Engenharia de Controle e Automação

TRABALHO DE GRADUAÇÃO

**TÍTULO DO TRABALHO DIVIDIDO EM
MAIS DE UMA LINHA PARA TÍTULOS
REALMENTE LONGOS COMO ESTE**

Arthur de Matos Beggs

*Relatório submetido como requisito parcial de obtenção
de grau de Engenheiro de Controle e Automação*

Banca Examinadora

Prof. Marcus Vinicius Lamar, CIC/UnB
Orientador

Prof. Ricardo Pezzuol Jacobi, CIC/UnB
Co-Orientador

Brasília, dezembro de 2018

FICHA CATALOGRÁFICA

ARTHUR, DE MATOS BEGGS

Título do trabalho dividido em mais de uma linha para títulos realmente longos como este,
[Distrito Federal] 2018.

x, 101p., 297 mm (FT/UnB, Engenheiro, Controle e Automação, 2018). Trabalho de Graduação – Universidade de Brasília.Faculdade de Tecnologia.

1. RISC-V

2. ???

I. Mecatrônica/FT/UnB

II. Título (Série)

REFERÊNCIA BIBLIOGRÁFICA

BEGGS, ARTHUR DE MATOS, (2018). Título do trabalho dividido em mais de uma linha para títulos realmente longos como este. Trabalho de Graduação em Engenharia de Controle e Automação, Publicação FT.TG-*n*º022, Faculdade de Tecnologia, Universidade de Brasília, Brasília, DF, 101p.

CESSÃO DE DIREITOS

AUTOR: Arthur de Matos Beggs

TÍTULO DO TRABALHO DE GRADUAÇÃO: Título do trabalho dividido em mais de uma linha para títulos realmente longos como este.

GRAU: Engenheiro

ANO: 2018

É concedida à Universidade de Brasília permissão para reproduzir cópias deste Trabalho de Graduação e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor reserva outros direitos de publicação e nenhuma parte desse Trabalho de Graduação pode ser reproduzida sem autorização por escrito do autor.

Arthur de Matos Beggs

SHCGN 703 Bl G Nº 120, Asa Norte

70730-707 Brasília – DF – Brasil.

Dedicatória

Dedico ao pato de borracha especialista em TI que sempre me ajuda a depurar meus códigos.

Arthur de Matos Beggs

Agradecimentos

Agradecimentos!

Arthur de Matos Beggs

RESUMO

Resumo!

Palavras Chave: RISC-V

ABSTRACT

Abstract!

Keywords: RISC-V

SUMÁRIO

1	Introdução.....	1
1.1	MOTIVAÇÃO	1
1.2	POR QUE <i>RISC-V</i> ?	1
2	Especificação	3
3	Desenvolvimento.....	4
4	Conclusões.....	5
4.1	PERSPECTIVAS FUTURAS.....	5
	REFERÊNCIAS BIBLIOGRÁFICAS	6
	Anexos.....	7
I	Descrição do conteúdo do CD.....	8
II	Programas utilizados.....	9

LISTA DE FIGURAS

LISTA DE TABELAS

LISTA DE SÍMBOLOS

Símbolos Latinos

v	Velocidade linear	[m/s]
-----	-------------------	-------

Símbolos Gregos

ω	Velocidade angular	[rad/s]
----------	--------------------	---------

Grupos Adimensionais

i, k	Contador
------	----------

Subscritos

ref	referência
fer	ferramenta
sis	sistema
des	desejado

Sobrescritos

\cdot	Variação temporal
$—$	Valor médio

Siglas

PCI	<i>Peripheral Component Interconnect</i>
CPU	Unidade Central de Processamento - <i>Central Processing Unit</i>
AO	Saída Analógica - <i>Analog Out</i>
DO	Saída Digital - <i>Digital Out</i>
CS	Seletor de <i>Chip</i> - <i>Chip Select</i>
SC	Sem Conexão
P.I.	Placa de Interface
ICW	<i>Initialization Command Words</i>
OCW	<i>Operational Control Word</i>

Capítulo 1

Introdução

1.1 Motivação

O mercado de trabalho está a cada dia mais exigente, sempre buscando profissionais que conheçam as melhores e mais recentes ferramentas disponíveis. Além disso, muitos universitários se sentem desestimulados ao estudarem assuntos desatualizados e com baixa possibilidade de aproveitamento do conteúdo no mercado de trabalho. Isso alimenta o desinteresse pelos temas abordados e, em muitos casos, leva à evasão escolar. Assim, é importante renovar as matérias com novas tecnologias e tendências de mercado sempre que possível a fim de instigar o interesse dos discentes e formar profissionais mais capacitados e preparados para as demandas da atualidade.

Hoje, a disciplina OAC (Organização e Arquitetura de Computadores) é ministrada utilizando a arquitetura *MIPS32* (*Microprocessor without Interlocked Pipeline Stages*). Apesar da arquitetura *MIPS32* ainda ter grande força no meio acadêmico (em boa parte devido a sua simplicidade e extensa bibliografia), sua aplicação na indústria tem diminuído consideravelmente na última década.

Embora a curva de aprendizagem de linguagens *Assembly* de alguns processadores *RISC* (*Reduced Instruction Set Computing*) seja relativamente baixa para quem já conhece o *Assembly MIPS32*, aprender uma arquitetura atual traz o benefício de conhecer o *estado da arte* da organização e arquitetura de computadores.

Para a modernização da disciplina, foi escolhida a *ISA* (*Instruction Set Architecture*) *RISC-V* desenvolvida na Divisão de Ciência da Computação da Universidade da Califórnia, Berkeley.

1.2 Por que *RISC-V*?

A *ISA RISC-V* (lê-se "*risk-five*") é uma arquitetura *open source* com licença *BSD* (*Berkeley Software Distribution*), o que permite o seu livre uso para quaisquer fins, sem distinção de se o trabalho possui código aberto ou fechado. Tal característica possibilita que grandes fabricantes utilizem a arquitetura para criar a base de seus produtos, mas que o desenvolvimento de qualquer

subconjunto de instruções não-*standard* ou seus métodos de implementação possam ser fechados, protegendo a propriedade intelectual e estimulando investimentos em pesquisa e desenvolvimento.

Empresas como Google, IBM, AMD, Nvidia, Hewlett Packard, Microsoft, Oracle, Qualcomm e Western Digital são algumas das fundadoras e investidoras da *RISC-V Foundation*, órgão responsável pela governança da arquitetura. Isso demonstra o interesse das gigantes do mercado no sucesso e disseminação da arquitetura.

O conjunto de instruções foi desenvolvido tendo em mente seu uso em diversas escalas: sistemas embarcados, *smartphones*, computadores pessoais, servidores e supercomputadores o que permitirá maior reuso de *software* e maior integração de *hardware*.

Outro fator que estimula o uso do *RISC-V* é a modernização dos livros didáticos. A nova versão do livro utilizado em OAC, Organização e Projeto de Computadores, de David Patterson e John Hennessy, utiliza a *ISA RISC-V*.

Capítulo 2

Especificação

A proposta do projeto consiste no desenvolvimento de um processador sintetizável em *FPGA*, utilizando o conjunto de instruções *RISC-V*. O caminho da dados inicialmente implementado será um Uniciclo de 64 bits, já prevendo sua expansão para um *datapath* Multiciclo e um *Pipeline*.

O processador deverá conter os subconjuntos de instruções I (para operações com inteiros, sendo o único subconjunto com implementação mandatória pela arquitetura), M (para multiplicação e divisão de inteiros), F (para ponto flutuante com precisão simples conforme o padrão IEEE 754 com revisão de 2008) e possivelmente D (ponto flutuante de precisão dupla). No presente momento, a implementação do subconjunto D é duvidosa e a do subconjunto A (operações atômicas de sincronização) está descartada, e com isso o trabalho desenvolvido não pode ser definido como de propósito geral, G (que deve conter os pacotes I, M, A, F e D). Assim, pela nomenclatura da arquitetura, o processador desenvolvido será um *RV64IMF*.

O projeto também pretende contemplar *traps*, interrupções, exceções e outras funcionalidades de nível privilegiado da arquitetura. Porém, no presente momento as especificações do nível privilegiado da arquitetura encontram-se em versão *draft*. Com isso, a definição do que será implementado da camada privilegiada deverá aguardar a publicação da versão *standard*.

Uma vez que o projeto utilizará a estrutura do processador *MIPS-PUM* (processador de arquitetura *MIPS32* atualmente desenvolvido na turma de OAC do prof. Marcus Vinicuis Lamar) como referência, as interfaces e controladores dos periféricos serão reaproveitadas, sendo reescritas e melhor documentadas quando possível e/ou necessário.

Como a *ISA RISC-V* é relativamente nova, faltam ferramentas didáticas (como o simulador da *ISA MIPS*, o *MARS*) para uma aplicabilidade adequada do conteúdo em sala de aula e em laboratório. Desta forma, é necessária a implementação de um *IDE* (*Integrated Development Environment*, ou Ambiente de Desenvolvimento Integrado) para a escrita de código *Assembly RISC-V*, além de montagem e simulação do *Assembly*. Uma outra possibilidade é a criação de um pacote com sintaxe, montador e simulador da arquitetura para ser utilizado em um *IDE* já existente (e.g. Atom Editor).

Capítulo 3

Desenvolvimento

Capítulo 4

Conclusões

Concluir

4.1 Perspectivas Futuras

Perspectivas futuras

REFERÊNCIAS BIBLIOGRÁFICAS

ANEXOS

I. DESCRIÇÃO DO CONTEÚDO DO CD

Descrever CD.

II. PROGRAMAS UTILIZADOS

Quais programas foram utilizados?