



**INSTITUTO
FEDERAL**

Santa Catarina

Câmpus
São José

Dispositivos Lógicos Programáveis II

Implementação de PLL para Relógio Digital (Milisegundos)

Arthur Cadore Matuella Barcella e Gabriel Luiz Espindola Pedro

23 de Abril de 2024

Engenharia de Telecomunicações - IFSC-SJ

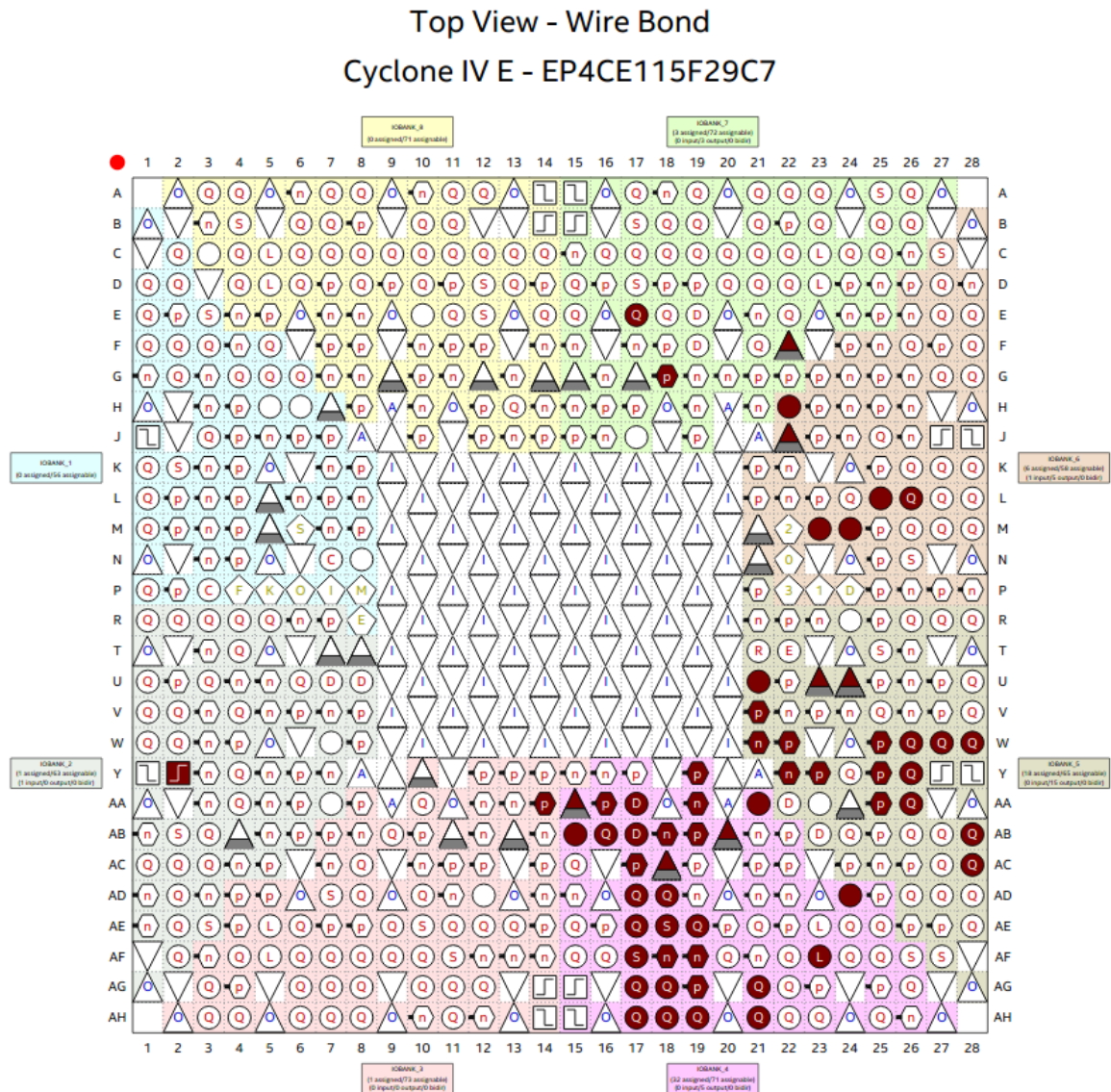
Sumário

1. Introdução	3
2. Implementação com somador BCD	3
3. Implementação com somador binário e conversor BCD	3
4. Conclusão	3
5. Códigos VHDL utilizados	4
5.1. bin2bcd	4

1. Introdução

2. Implementação com somador BCD

Figure 1: Elaborada pelo Autor



Sinal de entrada no domínio do tempo

3. Implementação com somador binário e conversor BCD

4. Conclusão

Table 1: Elaborada pelo Autor

Implementacao	Área (LE)	Tempo de propagação (ns)
Parte 1	48	3.823
Parte 2	83	13.699

Sinal de entrada no domínio do tempo

5. Códigos VHDL utilizados

5.1. bin2bcd

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.numeric_std.all;
4
5  entity bin2bcd is
6      port (
7          A      : in  std_logic_vector (7 downto 0);
8          sd, su, sc : out std_logic_vector (3 downto 0)
9      );
10 end entity;
11
12 architecture ifsc_v1 of bin2bcd is
13     signal A_uns      : unsigned (7 downto 0);
14     signal sd_uns, su_uns, sc_uns : unsigned (7 downto 0);
15
16 begin
17     A_uns <= unsigned(A);
18     sc_uns <= A_uns/100;
19     sd_uns <= A_uns/10;
20     su_uns <= A_uns rem 10;
21     sc <= std_logic_vector(resize(sc_uns, 4));
22     sd <= std_logic_vector(resize(sd_uns, 4));
23     su <= std_logic_vector(resize(su_uns, 4));
24 end architecture;

```

O código binAdder é responsável por somar dois números binários de 7 (128 representações possíveis, e portanto atendendo a especificação) bits e retornar o resultado em binário com 8 bits.