



**INSTITUTO  
FEDERAL**

Santa Catarina

---

Câmpus  
São José

# **Implementação de FSM para Calculadora**

Dispositivos Lógicos Programáveis II

**Arthur Cadore Matuella Barcella e Gabriel Luiz Espindola Pedro**

23 de Abril de 2024

Engenharia de Telecomunicações - IFSC-SJ

# Sumário

<b>1. Introdução:</b> .....	<b>3</b>
<b>2. Implementação ASM da FSM:</b> .....	<b>3</b>
<b>3. Implementação em VHDL:</b> .....	<b>4</b>
3.1. Implementação do VHDL da FSM para controle: .....	4
3.2. Implementação do VHDL datapath da calculadora: .....	4
3.3. Instânciação dos componentes e conexão dos sinais: .....	4
3.4. Aplicação na placa FPGA: .....	4
<b>4. Conclusão:</b> .....	<b>4</b>
<b>5. Referências Bibliográficas:</b> .....	<b>4</b>

## 1. Introdução:

O objetivo deste relatório consiste na implementação de uma calculadora utilizando uma Máquina de Estados Finitos (FSM) para controle do datapath. A calculadora deve ser capaz de realizar operações de soma, subtração, adição de 1 e subtração de 1.

## 2. Implementação ASM da FSM:

A primeira etapa do projeto é em montar o diagrama ASM da FSM que será responsável por controlar a calculadora. A Figura 1 apresenta o diagrama ASM da FSM que será implementada.

Figure 1: Elaborada pelo Autor

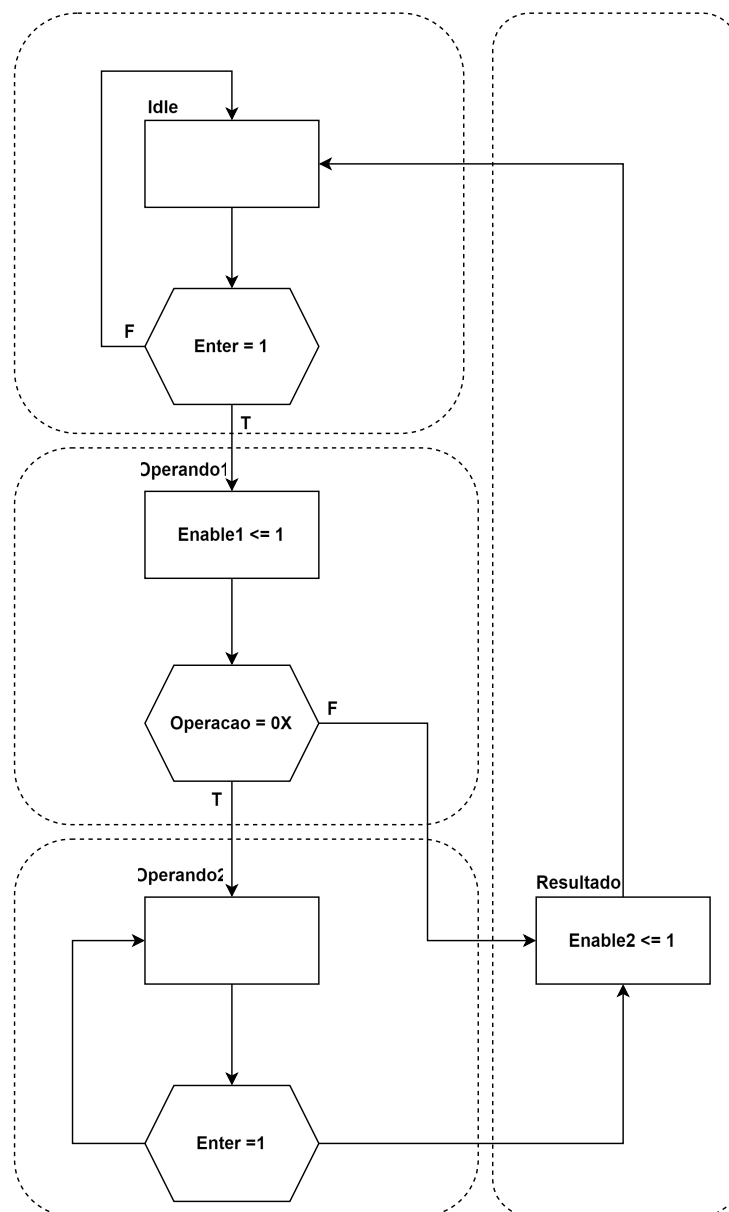


Diagrama ASM da FSM

A FSM é dividida em 4 estados, sendo eles:

- **Idle:** Estado inicial da máquina, onde ela fica em loop aguardando um pulso de “Enter” para iniciar a operação.
- **Operando1:** Estado após “idle”, onde a máquina lê habilita o datapath para leitura do primeiro operando utilizando o sinal “Enable1”.

Neste ponto, o estado também valida a operação a se realizada através de um vetor de 2bits, sendo possível aplicar 00, 01, 10 e 11, o que corresponde respectivamente à soma, subtração, adição+1 e subtração-1.

Nesta verificação, apenas o bit mais significativo 0X é utilizado, pois o bit de maior ordem define se a operação precisará ou não de um segundo operando.

Após a verificação, caso o valor do bit mais significativo seja “0” a máquina irá para o estado “Operando2”, caso seja “1” a máquina irá para o estado “Resultado”.

- **Operando2:** Estado onde a máquina fica em loop aguardando o segundo pulso de “Enter”, para receber o segundo operando.
- **Resultado:** Estado onde a máquina lê habilita o datapath para processamento do resultado utilizando o sinal “Enable2”.

### 3. Implementação em VHDL:

Uma vez com o diagrama ASM da FSM pronto, é necessário implementar o código VHDL que irá controlar o datapath da calculadora. Além do datapath propriamente. Desta forma, iniciaremos com a implementação da FSM.

#### 3.1. Implementação do VHDL da FSM para controle:

A implementação da FSM consiste na

#### 3.2. Implementação do VHDL datapath da calculadora:

#### 3.3. Instânciação dos componentes e conexão dos sinais:

#### 3.4. Aplicação na placa FPGA:

### 4. Conclusão:

### 5. Referências Bibliográficas: