

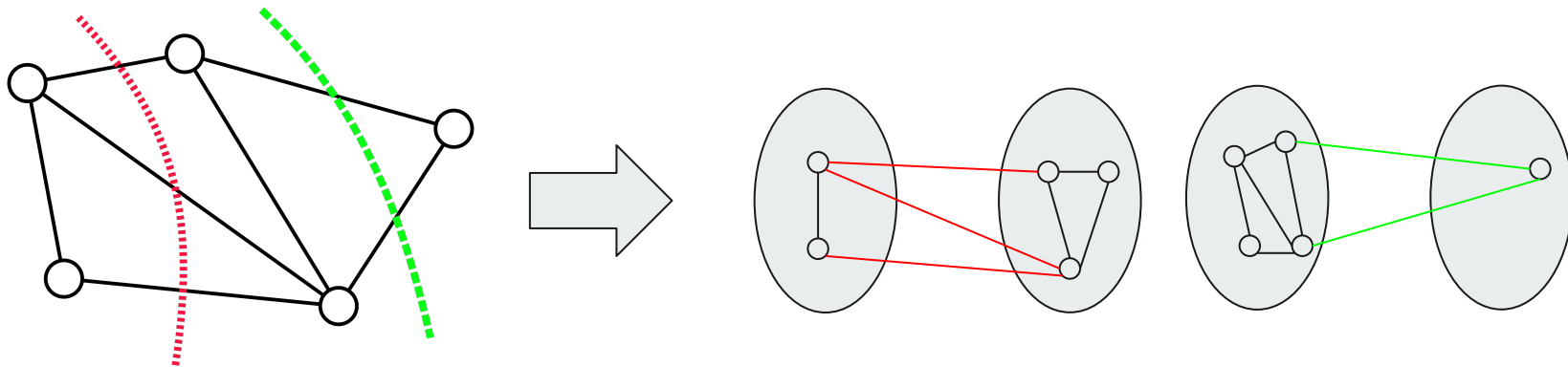


# Min-Cut em EDA

Arthur João Lourenço - 20100516  
Electronic Design Automation - INE410133-41000025DO/ME (20251)

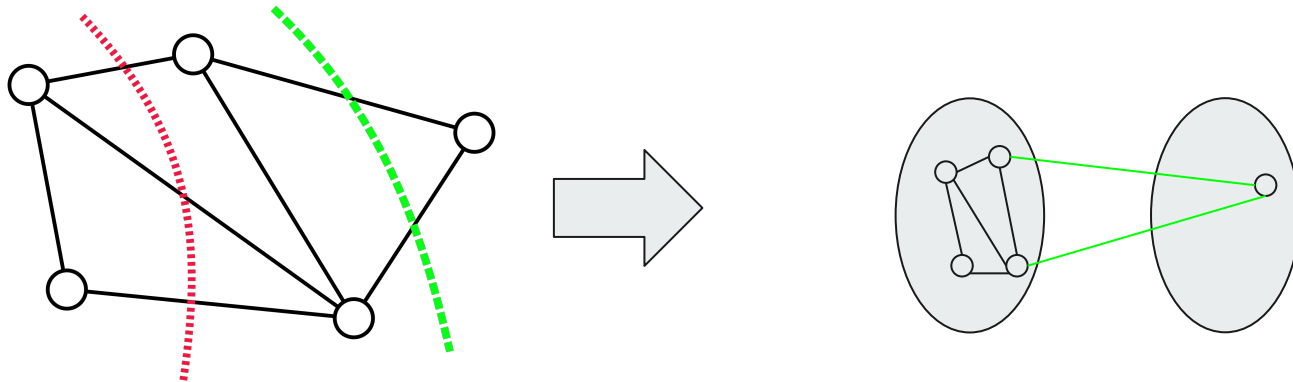
# Corte de um grafo

- Grafo  $G = (V, E)$ 
  - $V$  = conjunto de vértices
  - $E$  = conjunto das arestas
- Um corte de um grafo é uma separação de  $V$  em 2 subconjuntos



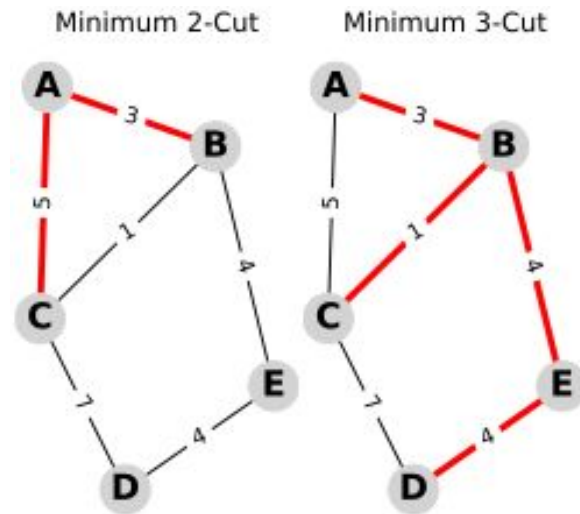
# Corte de um grafo

- Um corte mínimo (min-cut), é a separação de  $V$  que é mínima em alguma métrica
  - Grafos sem peso: simplesmente o menor número de arestas cortadas
  - Grafo com peso: arestas com o menor peso possível que são cortadas



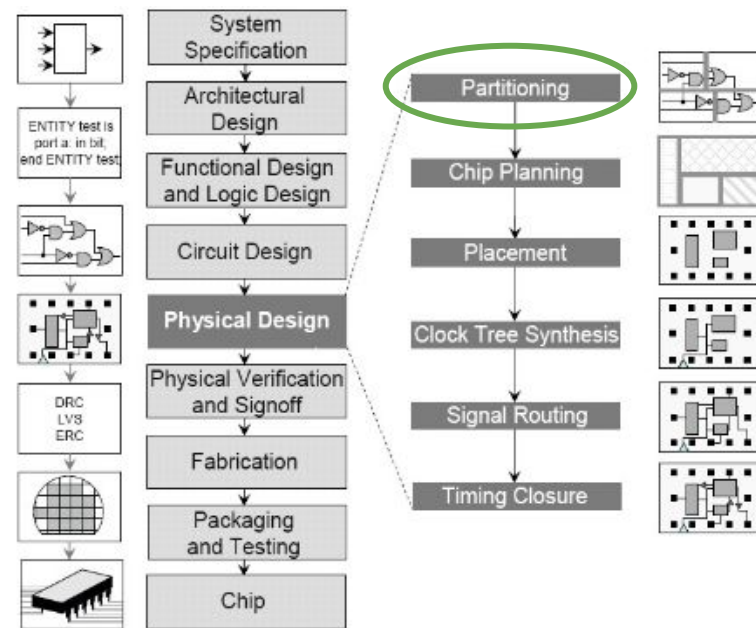
# K-Corte mínimo de um grafo

- O k-corte mínimo de um grafo é uma variação do problema do min-cut.
- Separar os vértices do grafo em pelo menos k partições.
- Existem algoritmos polinomiais para resolver este problema caso k seja fixo, se não, o problema é NP-completo.



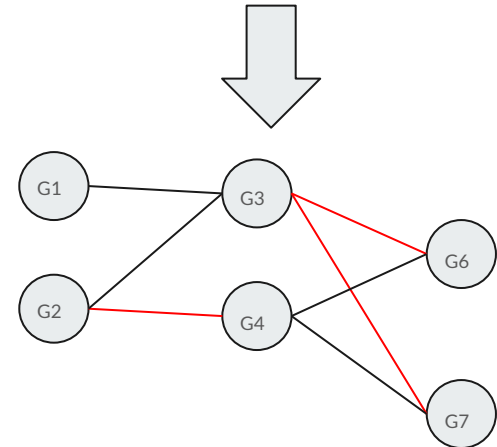
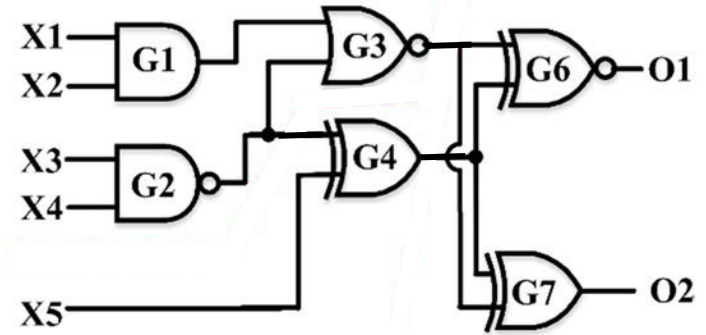
# Aplicação min-cut em EDA: Particionamento

- Na etapa de particionamento a netlist é dividida em n-partições.
- O min-cut é aplicado nesta etapa para particionar o circuito minimizando o número de conexões entre as partições



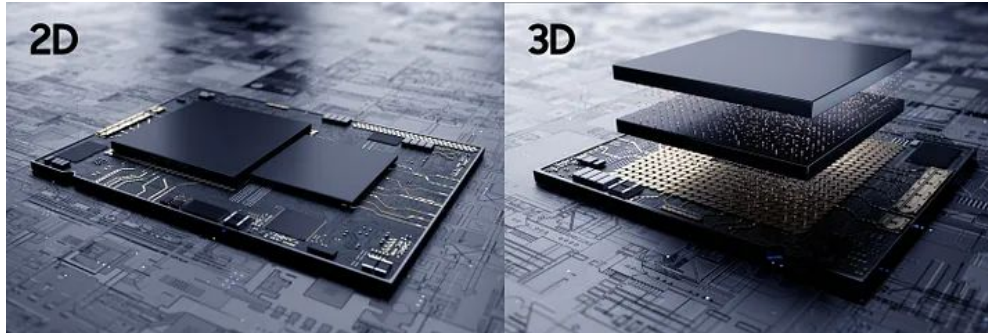
## Aplicação min-cut em EDA: Particionamento

- A netlist é mapeada para um grafo
- O particionamento através do min-cut resulta na menor conexão possível entre as partições.
- Podendo também adicionar pesos no grafo definindo algum objetivo



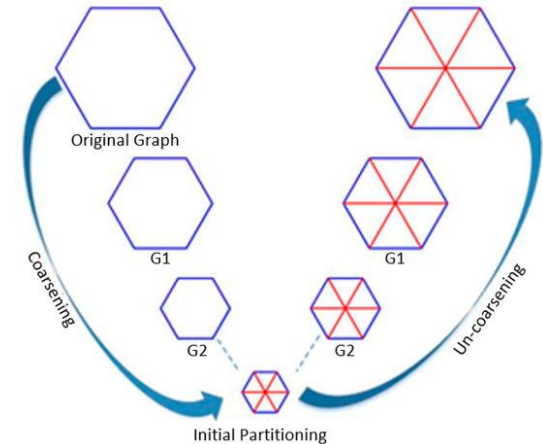
# Multi-Tier 3D IC Physical Design with Analytical Quadratic Partitioning Algorithm Using 2D P&R Tool

- 3D IC:
  - Múltiplas DIES em cima uma da outra.
  - Em cada DIE serão posicionadas células e suas conexões feitas em suas respectivas camadas de metais.
  - Também tem conexões entre as DIES.
- Tier partitioning é etapa de dividir as standards cell para cada DIE específica (tier).



# Multi-Tier 3D IC Physical Design with Analytical Quadratic Partitioning Algorithm Using 2D P&R Tool

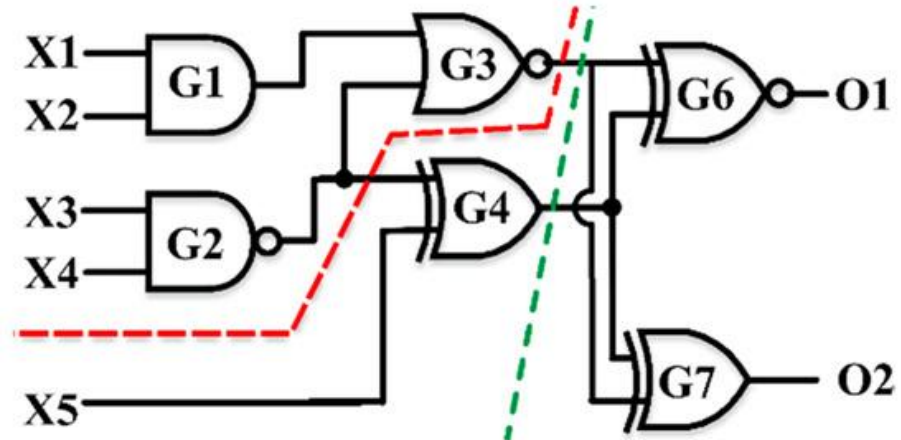
- Neste trabalho o tier partitioning é feito utilizando o min-cut da netlist.
  - O objetivo é diminuir o número de conexões entre as camadas.
- Antes de realizar o particionamento, o grafo da netlist passa por uma etapa de "coarsening".
  - Aqui o grafo é simplificado iterativamente, até que o tamanho do grafo seja pequeno o suficiente.
- Então o particionamento é feito, encontrando o min-cut e passa por uma etapa de "un-coarsening".
  - Na etapa de un-coarsening o grafo é expandido para sua forma original, mantendo as partições.





# Multi-Tier 3D IC Physical Design with Analytical Quadratic Partitioning Algorithm Using 2D P&R Tool

- O min-cut aplicado neste trabalho tem ainda uma condição extra ao problema clássico.
- Existe um balanceamento das partições, baseado no número de transistores em cada partição

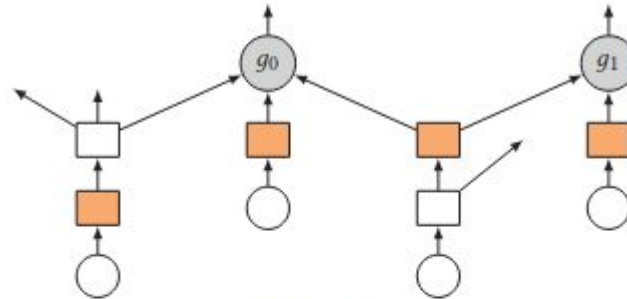


# Depth-Optimal Buffer and Splitter Insertion and Optimization in AQFP Circuits

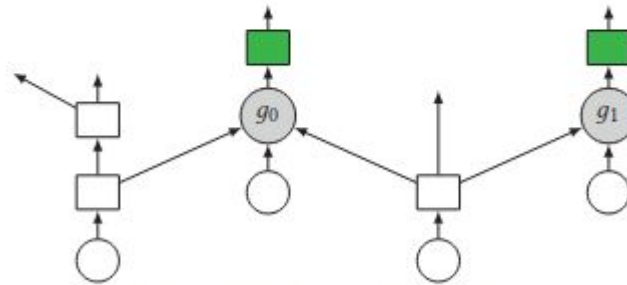


- Circuitos AQFP
  - AQFP: tecnologia supercondutores com focada em eficiência energética.
- Otimizações baseadas em inserção / remoção de buffers e splitters.
  - Splitters são utilizados para quebrar o fanout de nets.
  - Buffers para garantir comprimento dos caminhos na netlist.
- A otimização é feita baseada em um mapeamento para o problema do fluxo máximo de grafos e utilizando o min cut.
  - O artigo não explica exatamente para que o min-cut é utilizado, mas eu assumo que seja para baseado no teorema do max-flow min-cut.

# Depth-Optimal Buffer and Splitter Insertion and Optimization in AQFP Circuits



(a) Initial configuration



(b) Configuration after retiming

# Conclusão



- A principal aplicação do min cut está relacionada ao particionamento da netlist.
- Dentro do fluxo padrão de EDA o min-cut já não é mais tão utilizado.
- Mais recentemente, ele aparece mais em estudos com tecnologias emergentes.
  - Problemas mais novos tendem a ir para soluções clássicas e mais simples



**Obrigado!**  
**Perguntas?**

# Referencias



1. Tamir A, Salem M, Lin J, Alasad Q, Yuan J-s. Multi-Tier 3D IC Physical Design with Analytical Quadratic Partitioning Algorithm Using 2D P&R Tool. *Electronics*. 2021; 10(16):1930. <https://doi.org/10.3390/electronics10161930>
2. Alessandro Tempia Calvino and Giovanni De Micheli. 2023. Depth-Optimal Buffer and Splitter Insertion and Optimization in AQFP Circuits. In Proceedings of the 28th Asia and South Pacific Design Automation Conference (ASPDAC '23). Association for Computing Machinery, New York, NY, USA, 152–158. <https://doi.org/10.1145/3566097.3567895>
3. S. S. K. Pentapati and S. K. Lim, "Heterogeneous Monolithic 3D ICs: EDA Solutions, and Power, Performance, Cost Tradeoffs," *2021 58th ACM/IEEE Design Automation Conference (DAC)*, San Francisco, CA, USA, 2021, pp. 925-930, doi: 10.1109/DAC18074.2021.9586246.
4. [https://en.wikipedia.org/wiki/Minimum\\_cut](https://en.wikipedia.org/wiki/Minimum_cut)
5. [https://en.wikipedia.org/wiki/Minimum\\_k-cut](https://en.wikipedia.org/wiki/Minimum_k-cut)
6. KAHNG, Andrew B. et al. VLSI Physical Design: From Graph Partitioning to Timing Closure. 1st. [S.l.]: Springer Publishing Company, Incorporated, 2011. ISBN 9789048195909.