

Universidade Tecnológica Federal do
Paraná
Engenharia da Computação
Lógica Reconfigurável

Relatório (Atividade2)

Aluno: Arthur Henrique de Oliveira Petroli
Professor orientador: Marcelo de Oliveira

Conteúdo

1	PinplanerEX1	1
2	Introdução	2
3	Código	3
4	Tabela—Mapa—Equação	4
5	Diagrama RTL	5
6	Simulação	6

1 PinplanerEX1

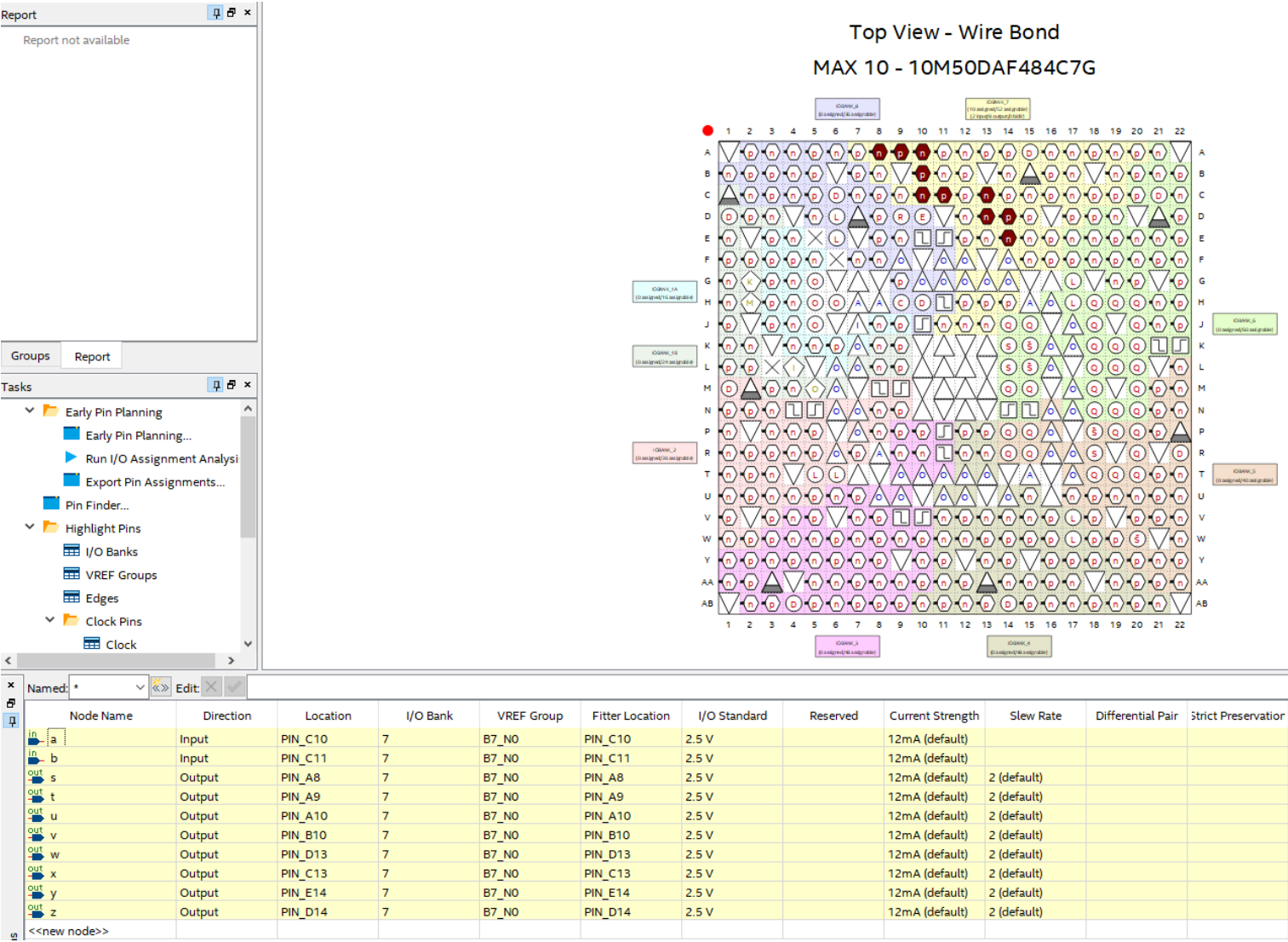


Figura 1: Pinplaner referente a atividade1

2 Introdução

Esta atividade envolve o projeto de um circuito digital simples, no qual quatro chaves (SW1, SW2, SW3, SW4) fazem parte do controle de uma máquina de cópias. A lógica por trás do circuito é que o sistema deve gerar uma saída alta (1) sempre que duas ou mais chaves estiverem fechadas ao mesmo tempo. No entanto, há uma restrição: as chaves SW1 e SW4 nunca estarão fechadas simultaneamente.

Os principais conceitos envolvidos incluem:

- Tabela-verdade: A primeira etapa do projeto consiste em definir a tabela-verdade do circuito, que mostra todas as possíveis combinações de entradas (chaves abertas ou fechadas) e suas respectivas saídas.
- Mapa de Karnaugh: Após construir a tabela-verdade, o Mapa de Karnaugh será usado para simplificar a expressão booleana que define a lógica do circuito.
- Equação booleana: A equação booleana simplificada resultante do Mapa de Karnaugh será usada para definir o comportamento do circuito digital.
- Implementação em VHDL: A implementação prática será feita em VHDL, uma linguagem de descrição de hardware amplamente usada para descrever circuitos digitais, seguida de simulação para verificar o funcionamento.
- Teste prático: O circuito será implementado fisicamente em uma placa, com as chaves como entradas e um LED como saída para indicar quando a condição (duas ou mais chaves fechadas) é satisfeita.

Esses conceitos combinam teoria de circuitos lógicos, simplificação de funções booleanas e implementação prática em hardware digital, sendo úteis para o desenvolvimento de sistemas de controle em eletrônica digital.

3 Código

```
1  -- -----
2  library ieee ;
3  use ieee . std_logic_1164 . all ;
4  -- -----
5  entity Atividade2 is
6  port (
7  a , b, c, d: in bit ;
8  s: out bit
9  );
10 end entity ;
11 -- -----
12 architecture Atividade2 of Atividade2 is
13 begin
14 s <= ((not a) and (not c)) or ((not b) and (not c)) or ((not c) and (not d)) or ((not a) and (not b)) or ((not b) and (not d));
15 end architecture ;
16 -- -----s|
```

Figura 2: Código referente a atividade

4 Tabela—Mapa—Equação

A	B	C	D	
SW1	SW2	SW3	SW4	Saida
0	0	0	0	X
0	0	0	1	1
0	0	1	0	X
0	0	1	1	1
0	1	0	0	X
0	1	0	1	1
0	1	1	0	X
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	X	1	1	X
$\bar{A}B$	X	1	0	X → 0
$A\bar{B}$	1	0	0	0
AB	1	1	0	1

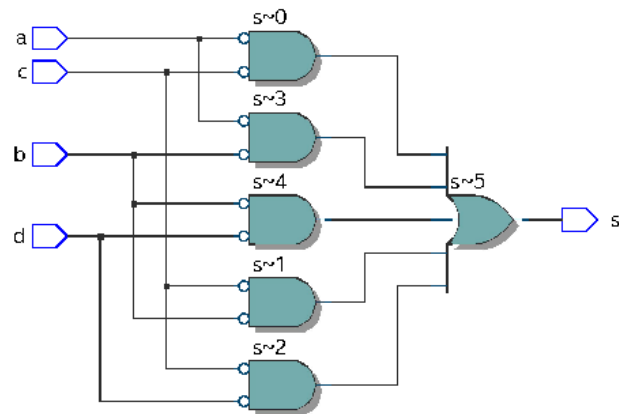
$$\bar{A}\bar{C} + \bar{B}\bar{C} + \bar{C}\bar{D} + \bar{A}\bar{B} + \bar{B}\bar{D}$$

Figura 3: Tabela para o mapa de Karnaugh e equação booleana

5 Diagrama RTL

Date: October 25, 2024

Project: Atividade2



Page 1 of 1

Revision: Atividade2

Figura 4: RTL referente a atividade

6 Simulação

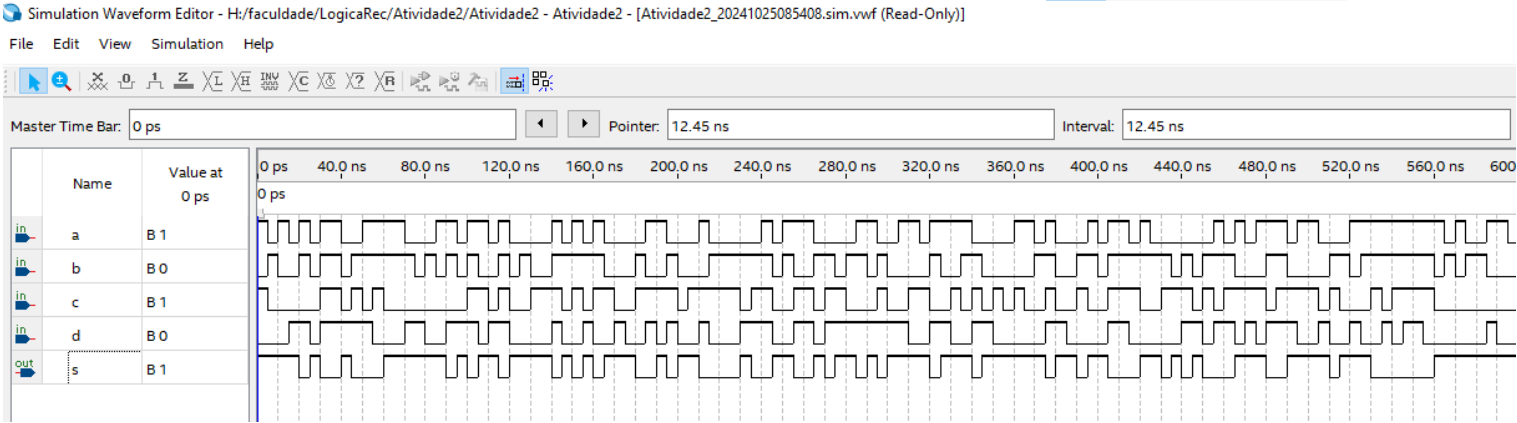


Figura 5: Simulação referente a atividade