Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Curso de Pós-graduação em Sistemas Mecatrônicos - ENM - Universidade de Brasília

Disciplina: Projeto com Circuitos Reconfiguráveis - FGA (período 2018.1)

Projeto de Sistemas em Chip – PPMEC (período 2018.1)

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Primeira Lista de Exercícios Circuitos Sequenciais e Projeto RTL Data de entrega (17 de Abril de 2018 às 23:55)

Aplica penalidade de 1.0 ponto por dia de atraso

Instruções: A lista pode ser realizada individualmente ou em duplas. Enviar pelo moodle o relatório em PDF, arquivos VHDL, testbench, .txt, arquivos Matlab e prints de simulação em uma pasta zipada chamada "nome sobrenome".

Exercício 1. Filtro Sobel

- a) Usando como exemplo a arquitetura RTL desenvolvida em sala de aula para o filtro Sobel 3x3, implemente em VHDL um filtro Sobel 5x5. Implemente o filtro com os K_x para detectar bordas verticais e K_y para detectar bordas na direção horizontal. Use um multiplexador e um pino de entrada para selecionar o Kernel desejado. Parametrize o código de forma que a arquitetura possa ser testada para diferentes tamanhos de imagens e diferentes tamanhos de pixel.
- **b)** Modifique o arquivo de testbench desenvolvido em sala de aula de forma que possa realizar simulações comportamentais do circuito que implementa o filtro Sobel 5x5. As simulações devem ser realizadas com base no último número da sua matrícula, seguindo as condições mostradas na Tabela 1. Em caso de trabalho em duplas use o último número da matrícula de qualquer um dos integrantes.

Tabela 1. Condições de simulação do Filtro Sobel 5x5. As imagens de teste podem ser encontradas no toolbox do Matlab ou no moodle da disciplina. Use a diretiva *generic* para parametrizar a arquitetura.

Último número da matrícula	Tamanho da imagem	Tamanho pixel	Kernel	Imagens de teste
0 e 1	150 x 150 300 x 300	8 bits 10 bits	$K_x K_y$	gantrycrane.png cameraman.tif
2 e 3	300 x 300 250 x 250	8 bits 10 bits	K_x K_y	board.tif coins.png
4 e 5	250 x 250 100 x 100	8 bits 10 bits	$K_x K_y$	toysflash.png tire.tif
6 e 7	100 x 100 200 x 200	8 bits 10 bits	$K_x K_y$	tape.png rice.png
8 e 9	200 x 200 150 x 150	8 bits 10 bits	$K_x K_y$	office_3.jpg pillsetc.png

- c) Com base nas simulações estime a latência e o throughput do circuito. Considere que cada ciclo de relógio é de 100 MHz (período de 10 ns).
- **d)** Realize um diagrama de blocos da arquitetura RTL proposta. Sintetize o circuito para a Basys3 e obtenha o reporte de consumo de recursos (LUTs, Flip-flops, DSPs e BRAMs). Analise os resultados.
- e) Implemente manualmente o filtro em Matlab ou Octave e compare os resultados de simulação.

Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Curso de Pós-graduação em Sistemas Mecatrônicos - ENM - Universidade de Brasília

Disciplina: Projeto com Circuitos Reconfiguráveis - FGA (período 2018.1)

Projeto de Sistemas em Chip – PPMEC (período 2018.1)

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Exercício 2. Cálculo do Ganho de um Filtro Kalman

Fazendo uso dos IPcores de cálculo aritmético em ponto fixo de 16 bits (8 bits de parte inteira e 8 bits de parte fracionária) implemente uma arquitetura de *hardware* para a equação matricial mostrada abaixo.

$$K_{3x2} = A_{3x3} B_{3x2}^T [B_{2x3} A_{3x3} B_{3x2}^T + C_{2x2}]^{-1}$$

onde.

- A é a matriz 3x3 de entrada do sistema, cujos valores podem ser positivos ou negativos.
- *B* é uma matriz 2x3 com valores constantes.

$$[B] = \begin{bmatrix} 2.0 & -0.5 & 1.5 \\ -1.5 & 0.5 & -2.0 \end{bmatrix}$$

- B^T é a matriz transposta de B
- C é uma matriz 2x2 com valores constantes.

$$[C] = \begin{bmatrix} 1/2 & 0.0 \\ 0.0 & 1/2 \end{bmatrix}$$

• K é a matriz 3x2 de saída do sistema

Requisitos:

- 1. Explore o paralelismo intrínseco das equações. É mandatória a implementação por componentes.
- 2. Faça um diagrama de blocos da arquitetura RTL proposta. Quantas unidades de soma, subtração, multiplicação e divisão espera que tenha a sua arquitetura?
- 3. Apresente os diagramas das máquinas de estados finitos que modelam a arquitetura proposta.
- 4. Qual é o valor máximo e mínimo dos valores de entrada?
- 5. Apresente o reporte de síntese de cada módulo e da arquitetura geral. Obtenha o diagrama esquemático RTL e compare com a arquitetura proposta. Analise os resultados.
- 6. Projete, implemente e apresente um testbench automático. Faça 32 simulações, cada uma com valores aleatórios diferentes para a matriz A.
- 7. Qual o tempo de execução de cada módulo? Apresente um *print* de simulação.
- 8. Qual o tempo de execução da arquitetura geral? Apresente um *print* da simulação.
- 9. Apresente uma estimativa do erro de cálculo usando o Matlab como estimador estatístico.

<u>Dica1</u>: A matriz transposta B^T se obtém da troca de linhas por colunas da matriz B.

Dica2: A inversa de uma matriz 2x2 é facilmente obtida através da seguinte expressão:

$$[P] = \begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix}; [P]^{-1} = \frac{1}{\det(A)} \begin{bmatrix} a_{22} & -a_{12} \\ -a_{21} & a_{11} \end{bmatrix} = \frac{1}{a_{11}a_{22} - a_{12}a_{21}} \begin{bmatrix} a_{22} & -a_{12} \\ -a_{21} & a_{11} \end{bmatrix}$$

Curso de Graduação em Engenharia Eletrônica - Faculdade Gama - Universidade de Brasília

Curso de Pós-graduação em Sistemas Mecatrônicos – ENM – Universidade de Brasília

Disciplina: Projeto com Circuitos Reconfiguráveis - FGA (período 2018.1)

Projeto de Sistemas em Chip – PPMEC (período 2018.1)

Professor: Daniel Mauricio Muñoz Arboleda

e-mail: damuz@unb.br



Requisitos mínimos para elaboração do relatório:

O relatório técnico deve ser escrito em forma de artigo científico usando o template IEEE Conferencia e deve conter a seguinte estrutura:

Resumo

- 1) Introdução
- 2) Fundamentação teórica: Filtro Sobel, conceitos básicos de Filtro Kalman
- 3) Procedimento experimental: diagrama de blocos das arquiteturas propostas, metodologia de teste e configuração das arquiteturas (quantas simulações, quais os valores máximo e mínimo das entradas, qual FPGA, qual software, etc)
- 4) Resultados (dependendo dos requisitos solicitados em cada item). Analise da tabela de consumo de recursos, analise dos resultados de simulações (incluir prints de simulação), analise do erro, etc.
- 5) Conclusões
- 6) Bibliografia