

LIMBAJUL VHDL - 1



INTRODUCERE

VHDL

- VHSIC - **V**ery **H**igh **S**peed **I**ntegrated **C**ircuit
- HDL - **H**ardware **D**escription **L**anguage
- început - 1980; standard 1987; extins 1993; variantă 2004, 2008; acum **1076/2019**

Scop - metodologie riguroasă de **proiectare** în ciclul de dezvoltare a sistemelor hardware

INTRODUCERE

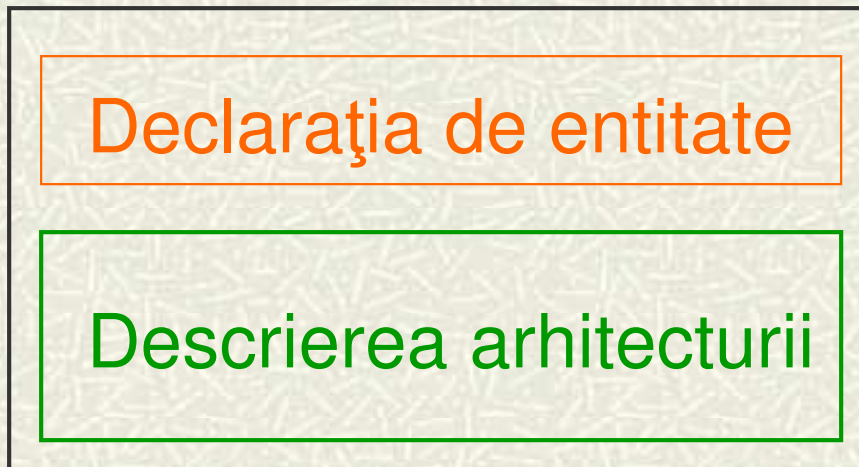
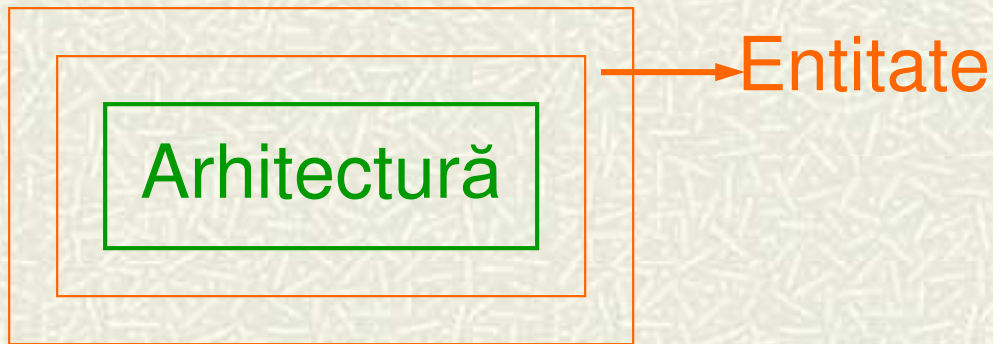
Definiție

- limbaj de descriere a sistemelor electronice hardware
 - structură de blocuri
 - relații
 - interconexiuni
- VHDL definit și integrat în instrumentele CAD (**C**omputer-**A**ided **D**esign)
- toate instrumentele CAE (**C**omputer-**A**ided **E**ngineering) - produse cu intrări / ieșiri standard VHDL

STRUCTURA PROGRAMULUI

Proiectare ierarhică

- model VHDL: pereche entitate + arhitectură



STRUCTURA PROGRAMULUI

Proiectare ierarhică

- **entitatea** - declarație a intrărilor și ieșirilor modulului
- **arhitectura**
 - descriere detaliată a structurii modulului **sau**
 - descriere detaliată a funcționării modulului

CARACTERISTICI

- **sistemele hardware** - în mod natural concurente



- **modelare** în:
 - domeniul concurent și
 - domeniul secvențial

CARACTERISTICI

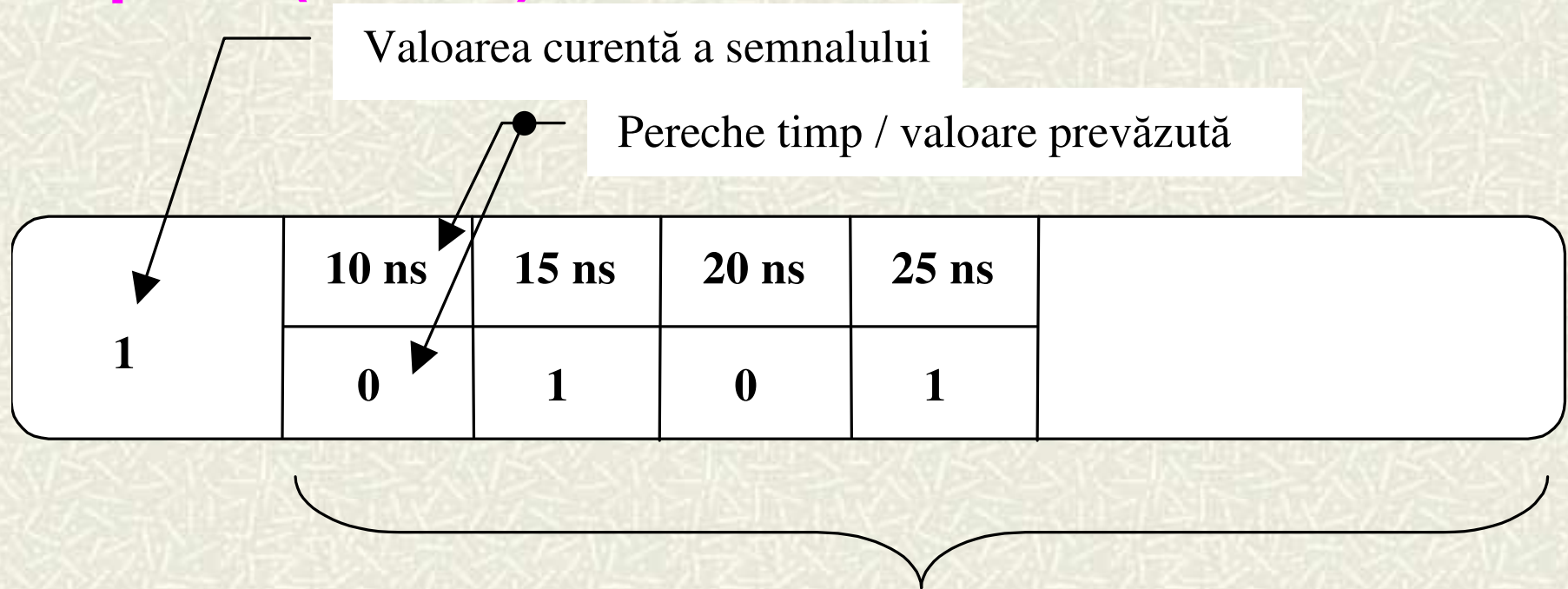
Obiecte

- constante
- variabile
- **semnale**
 - specifice sistemelor hardware
 - modelează informația care tranzitează între componente (legătură fizică prin fire)
 - există tot timpul simulării, indiferent de zona de vizibilitate

CARACTERISTICI

Obiecte

■ pilot (driver) de semnal



Coadă de așteptare a valorilor prevăzute pentru semnal

CARACTERISTICI

Obiecte

- orice obiect clasificat într-un **tip**
- tipul este obligatoriu și nu se schimbă niciodată
- tipurile impun valori și operații permise și interzise
- 4 tipuri:
 - scalare (întregi, flotante, fizice, enumerate)
 - compuse (tablouri, articole)
 - acces (pointeri)
 - fișier
- tipuri predefinite:
 - bit, bit-vector, boolean, character, integer, real, severity-level, string, time

Funcții și proceduri

- funcțiile:
 - argumente - au tip definit
 - returnează rezultat - are tip definit
- procedurile
 - argumente - au tip definit
 - se pot folosi în locul unei instrucțiuni secvențiale

CARACTERISTICI

Biblioteci și pachete

- VHDL limbaj modular \Rightarrow se descriu unități mici, ierarhizate \Rightarrow descrieri compilate separat = **unități de proiectare**
- unitățile de proiectare salvate în **biblioteca de lucru** generată de mediul VHDL: **WORK**
- **biblioteci de resurse** - apelare cu **library** înainte de unitatea de proiectare
- folosire cu **use** unitate.**all**
- **WORK** și **STD** - au o clauză library implicită

CARACTERISTICI

Biblioteci și pachete

work

entity E

architecture A

configuration C

package P

package body P

IEEE

package std_logic_1164

package body std_logic_1164

package std_logic_arith

package body std_logic_arith

STD

package standard

package textio

package body textio

CARACTERISTICI

Biblioteci și pachete

- bibliotecile conțin doar unități de proiectare
- fișierele sursă (cu cod VHDL) analizate și compilate nu mai există pentru proiectant
- după compilarea fișierelor \Rightarrow **utilizăm (referim) doar unități de proiectare**

Biblioteci și pachete

- unități de proiectare:
 - entitate (interfața sistemului)
 - arhitectură (descrierea sistemului)
 - specificație de pachet (vedere externă a posibilităților puse la dispoziție)
 - corp de pachet (descrierea internă a funcționalităților)
 - configurație (asociere componentă - model)

Obiective VHDL

- **specificare** sisteme hardware
- **simulare** evoluție temporală a descrierilor
 - instrumentele de simulare realizează simularea (“execuția”) codului VHDL în paralel
 - codul nu descrie modul de proiectare sau de realizare a funcției, ci doar ce trebuie să facă aceasta

DOMENII DE APLICARE

Obiective VHDL

- pentru faza de proiectare - **sinteza logică** în cadrul instrumentelor CAD care integrează VHDL (fază automatizată)
 - descrierea proiectării unui sistem prin descrierea atât a funcționării cât și a structurii exacte a fiecărei părți
 - descrierea realizării finale în termeni de interconexiuni de componente logice elementare
 - pornește de la o **descriere VHDL sintetizabilă** și conduce la o **schemă logică clasică** (porți logice + bistabili)