

Proiectare logică

Curs 7

Circuite logice secvențiale. Circuite
basculante bistabile

Cristian Vancea

<https://users.utcluj.ro/~vcristian/PL.html>

Cuprins

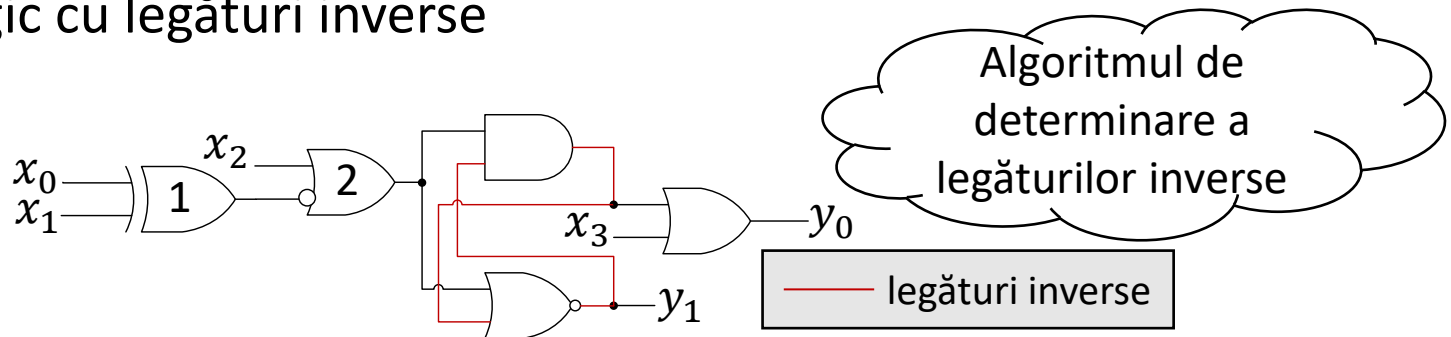
- Circuite logice secvențiale (CLS)
- Circuite basculante bistabile (CBB)
- CBB asincrone și cu sincronizare pe nivel
- CBB cu structură master-slave
- CBB cu sincronizare pe frontul de tact
- Implementarea unui tip de CBB cu un alt tip de CBB

Circuite logice secvențiale

Definiție – circuitele logice secvențiale (CLS) sunt automate finite de ordin 1: au stare internă și ieșirile depind de starea curentă și variabilele de intrare.

- Se implementează cu elemente de memorie sau folosind circuite logice cu **legături inverse**.

Ex: circuit logic cu legături inverse



Clasificare

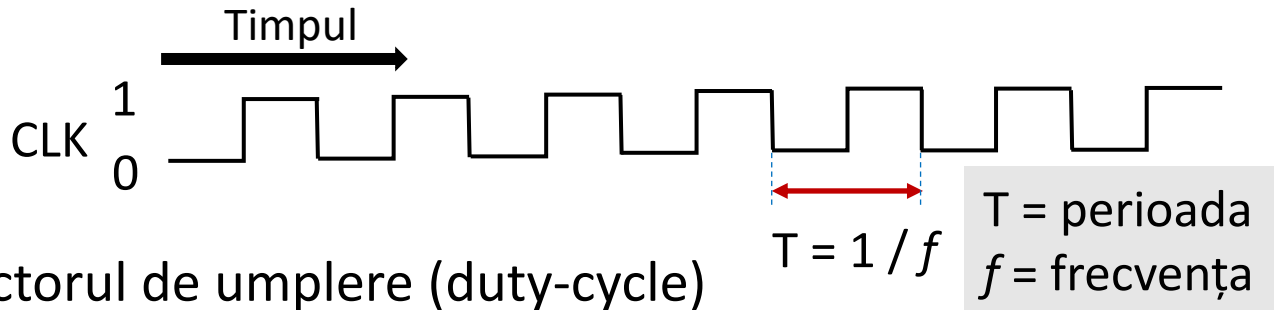
- **CLS asincrone** - comportament determinat de semnalele de intrare aplicate la orice moment de timp.
- **CLS sincrone** - semnalele de intrare contează la momente bine determinate stabilite cu ajutorul unor generatoare de impulsuri de tact (ceas - clock).

Exemple: bistabile, numărătoare, registre, memorii RAM, etc.

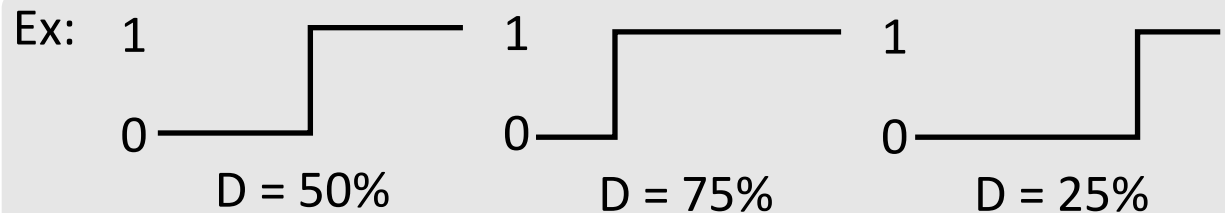
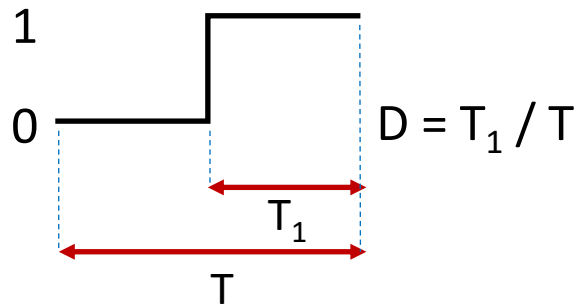
Circuite logice secvențiale

Semnalul de tact (ceas – clock)

- Se generează cu circuite speciale care au la bază structuri chimice cristaline specifice (cuart) => generatoare de impulsuri de tact.

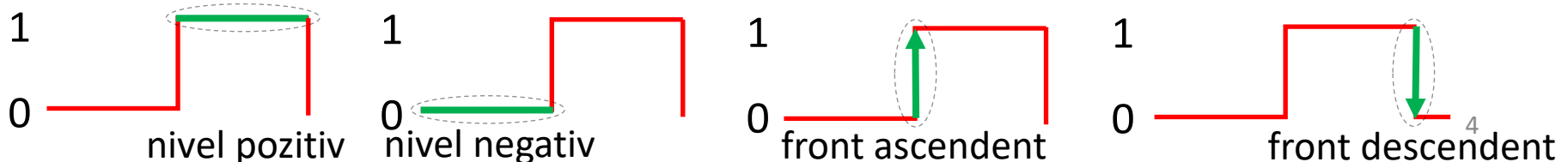


- Factorul de umplere (duty-cycle)



- Sincronizarea cu tactul

- intrările **asincrone** au efect în orice moment (nu depind de CLK).
- intrările **sincrone** au efect în funcție de CLK:



Circuite logice secvențiale

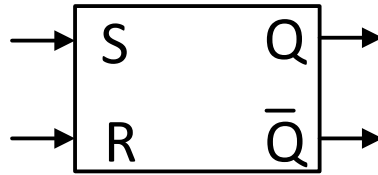
Circuite basculante bistabile (CBB) / bistabile

Definiție – CLS cu 2 stări stabile asociate cifrelor binare 0 și 1 => **memorează 1 bit**.

- Starea se păstrează indefinit și tranziția între stări se face cu comenzi exterioare pe liniile de intrare.
- Au 2 ieșiri care pun în evidență valoarea binară memorată în varianta nenegată și negată.

Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul RS asincron (SR latch)**



- Prezintă 2 intrări de control:
 - R (reset) – $R = 1$ resetează starea internă la 0 dacă $S = 0$;
 - S (set) – $S = 1$ setează starea internă la 1 dacă $R = 0$;
- $S=0$ și $R=0$ mențin starea curentă – **zăvorâre (latch)**;
- $S=1$ și $R=1$ nu are sens – se va evita această combinație.

Tabelul de adevăr

S	R	Q^{t+1}
0	0	Q^t
0	1	0
1	0	1
1	1	*

starea curentă
starea viitoare

Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul RS asincron (SR latch)**

- Sinteza cu **SAU-NU** – se bazează pe tabelul de adevăr:

dubla negație
+ De Morgan

Q^t	S	R	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	0	0	1
0	0	1	0	1
0	1	0	1	0
0	1	1	X	X
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	X	X

Q^{t+1} :

$Q^t \backslash S R$	00	01	11	10
0	0	0	X	1
1	1	0	X	1

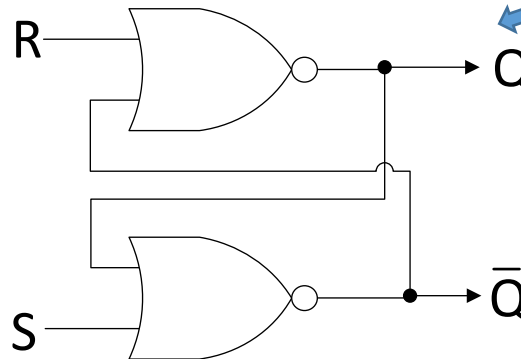
$$Q^{t+1} \xrightarrow{\text{FCM}} \overline{R} \cdot (Q^t + S) = R + \overline{(Q^t + S)}$$

$\overline{Q^{t+1}}$:

$Q^t \backslash S R$	00	01	11	10
0	1	1	X	0
1	0	1	X	0

$$\overline{Q^{t+1}} \xrightarrow{\text{FCM}} \overline{S} \cdot (\overline{Q^t} + R) = S + \overline{(\overline{Q^t} + R)}$$

dubla negație
+ De Morgan



Obs: $S = R = 1 \Rightarrow Q^{t+1} = \overline{Q^{t+1}} = 0$ – situație interzisă

Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul RS asincron (SR latch)**

- Sinteza cu **ȘI-NU** – se bazează pe tabelul de adevăr:

Q^t	S	R	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	0	0	1
0	0	1	0	1
0	1	0	1	0
0	1	1	X	X
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	X	X

Q^{t+1} :

$Q^t \backslash S R$	00	01	11	10
0	0	0	X	1
1	1	0	X	1

$\overline{Q^{t+1}}$:

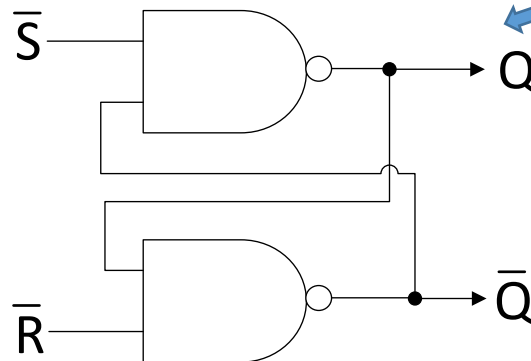
$Q^t \backslash S R$	00	01	11	10
0	0	1	X	0
1	1	0	X	0

$Q^{t+1} \xRightarrow{\text{FDM}} S + (Q^t \cdot \overline{R}) = \overline{\overline{S} \cdot \overline{(Q^t \cdot \overline{R})}}$

dubla negație
+ De Morgan

$\overline{Q^{t+1}} \xRightarrow{\text{FDM}} R + (\overline{Q^t} \cdot \overline{S}) = \overline{\overline{R} \cdot \overline{(\overline{Q^t} \cdot \overline{S})}}$

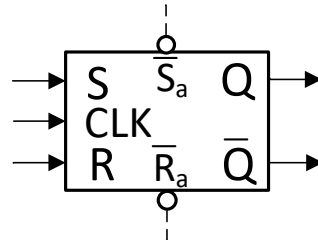
dubla negație
+ De Morgan



Obs: $\overline{S} = \overline{R} = 0 \Rightarrow Q^{t+1} = \overline{Q^{t+1}} = 1$ – situație interzisă

Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul RS sincron (gated SR latch)**

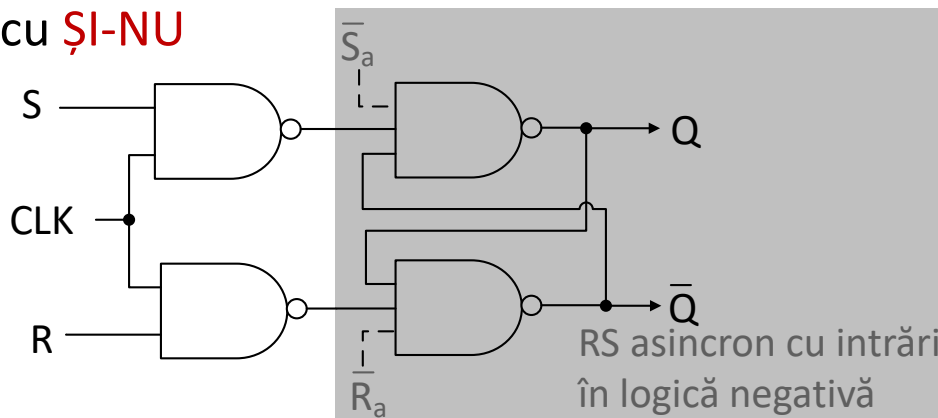


- Păstrează intrările S și R cu același rol ca la RS asincron, doar că au efect pe nivelul pozitiv al impulsului de ceas de pe intrarea CLK (sunt sincrone cu CLK).
- Se va evita $S = 1$ și $R = 1$ simultan cu $CLK = 1$.
- Intrările \bar{S}_a și \bar{R}_a sunt intrări de Set/Reset asincrone (cu efect imediat, independent de CLK) în logică negativă; sunt **opționale** și **au prioritate** dacă apar. Se va evita $\bar{S}_a = 0$ și $\bar{R}_a = 0$ simultan.

Tabelul de adevăr

\bar{S}_a	\bar{R}_a	CLK	S	R	Q^{t+1}
0	0	X	X	X	*
0	1	X	X	X	1
1	0	X	X	X	0
1	1	0	X	X	Q^t
1	1	1	0	0	Q^t
1	1	1	0	1	0
1	1	1	1	0	1
1	1	1	1	1	*

- Sinteza cu **ȘI-NU**

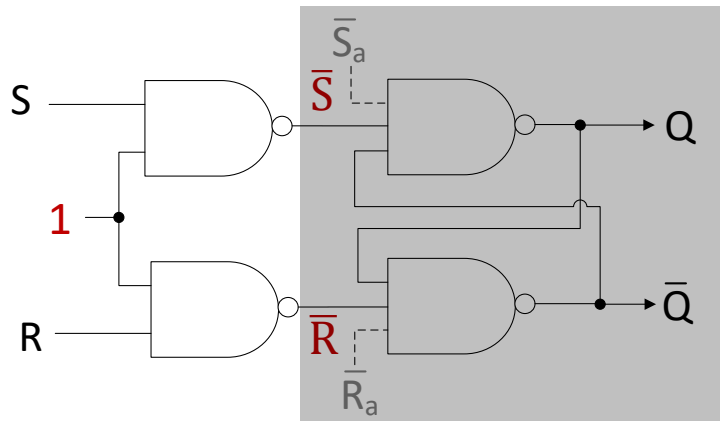


Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul RS sincron (gated SR latch)**

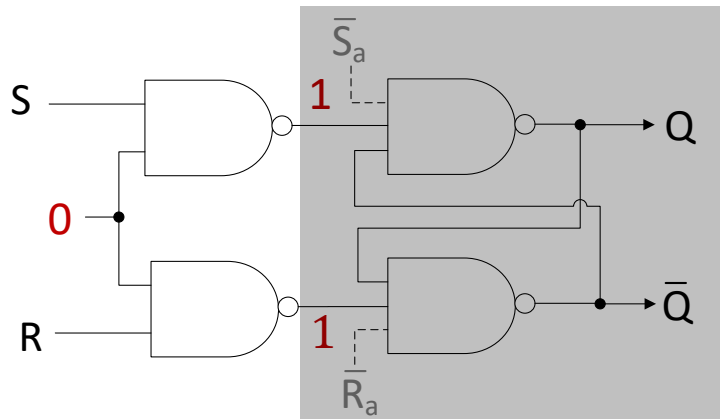
Funcționare

- CLK = 1



Funcționare
normală ca RS
asincron

- CLK = 0

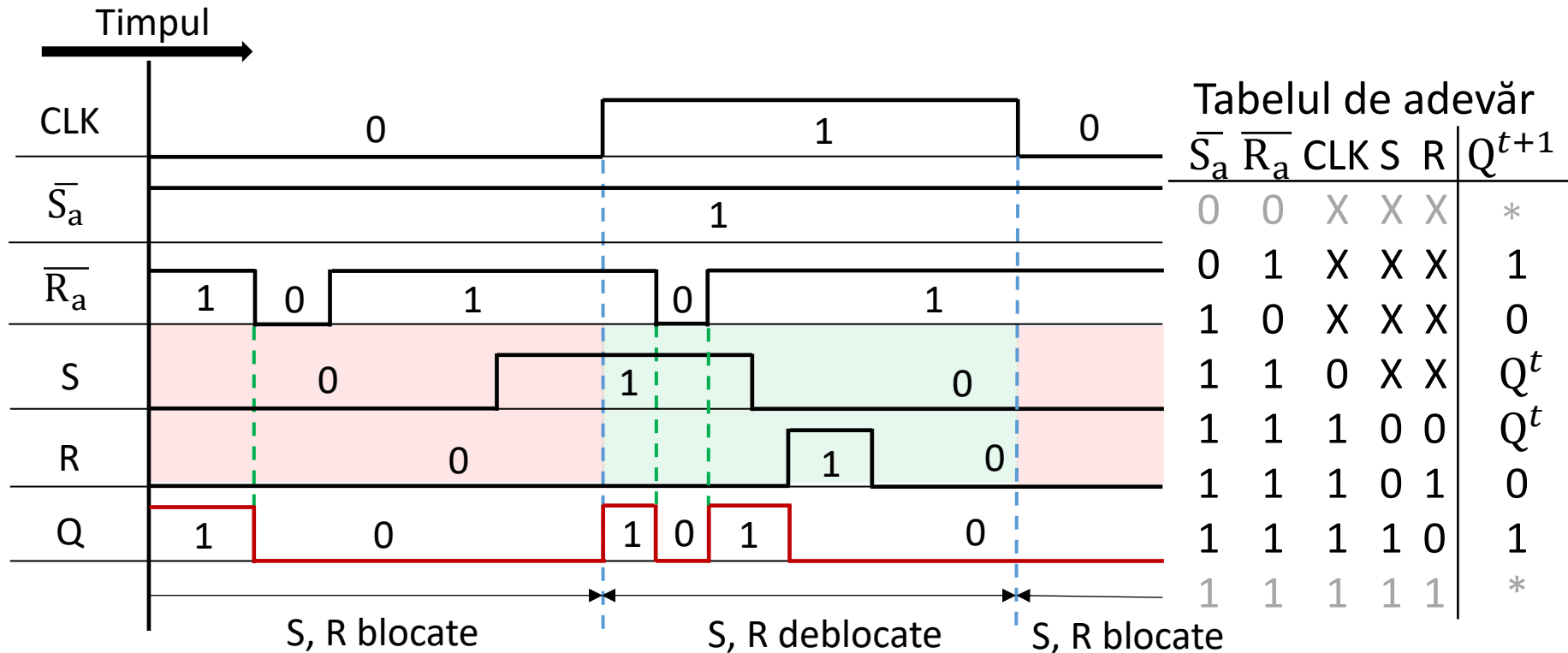


Starea Q se
păstrează la
ieșire (RS blocat)

Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul RS sincron (gated SR latch)**

Funcționare



\bar{S}_a și \bar{R}_a sunt prioritare și au efect imediat, independent de CLK (asincrone)

Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul RS sincron (gated SR latch)**

Tabelul de excitație

- Se construiește pe baza tabelului de adevăr.
- Reflectă ce valori trebuie să se aplice pe liniile de intrare sincrone pentru ca starea curentă a bistabilului să se mențină sau să se modifice.
- Se presupune că semnalul CLK are valoarea necesară pentru ca tranziția să aibă loc motiv pentru care nu se include în reprezentare.

Tabelul de adevăr

\bar{S}_a	\bar{R}_a	CLK	S	R	Q^{t+1}
0	0	X	X	X	*
0	1	X	X	X	1
1	0	X	X	X	0
1	1	0	X	X	Q^t
1	1	1	0	0	Q^t
1	1	1	0	1	0
1	1	1	1	0	1
1	1	1	1	1	*

Tabelul de excitație

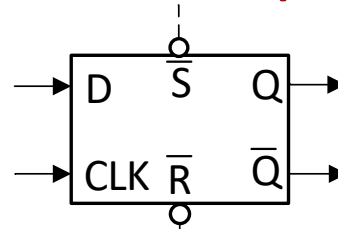
Q^t	Q^{t+1}	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

- Pentru menținerea stării în 0 este necesar ca $S=0$, iar R nu contează (poate fi 0 sau 1 și se notează $R=X$).
- Pentru tranziția stării din 0 în 1 este necesar ca $S=1$ și $R=0$.
- Pentru tranziția stării din 1 în 0 este necesar ca $S=0$ și $R=1$.
- Pentru menținerea stării în 1 este necesar ca $R=0$, iar S nu contează ($S=X$).

Circuite logice secvențiale

→ Data/Delay

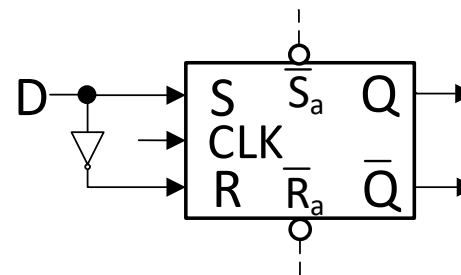
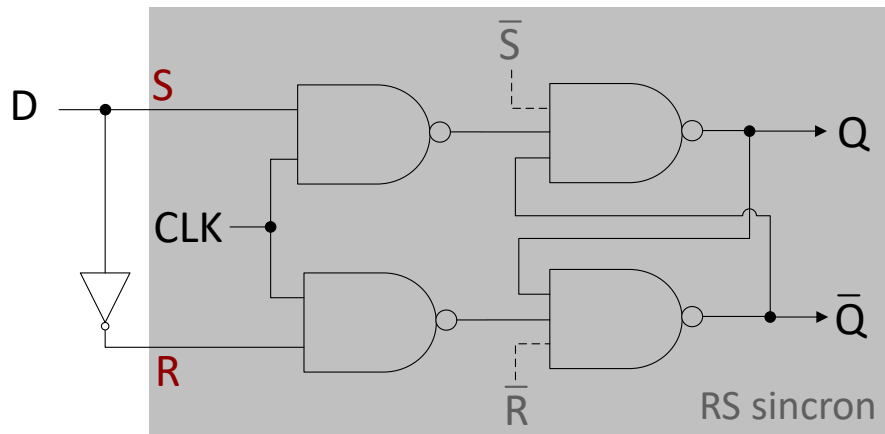
Circuite basculante bistabile – **bistabilul D (D latch)**



Tabelul de adevăr

\bar{S}	\bar{R}	CLK	D	Q^{t+1}
0	0	X	X	*
0	1	X	X	1
1	0	X	X	0
1	1	0	X	Q^t
1	1	1	0	0
1	1	1	1	1

- Reprezintă echivalentul bistabilului RS sincron cu o singură intrare D.
- Când CLK = 1 starea Q preia valoarea de pe intrarea D.
- Poate să prezinte intrările **asincrone** \bar{S} și \bar{R} de Set/Reset **opționale** și **prioritare**. Se va evita $\bar{S} = 0$ și $\bar{R} = 0$ simultan.
- Sinteza cu **ȘI-NU**
- Sinteza cu **RS sincron**



Tabelul de excitație

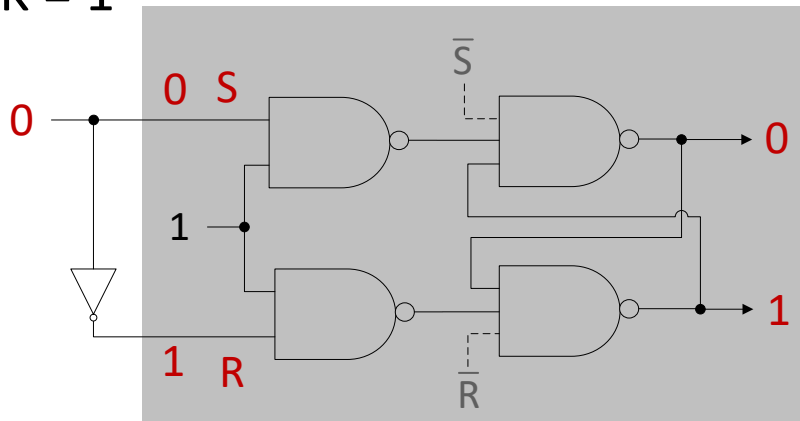
Q^t	Q^{t+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Circuite logice secvențiale

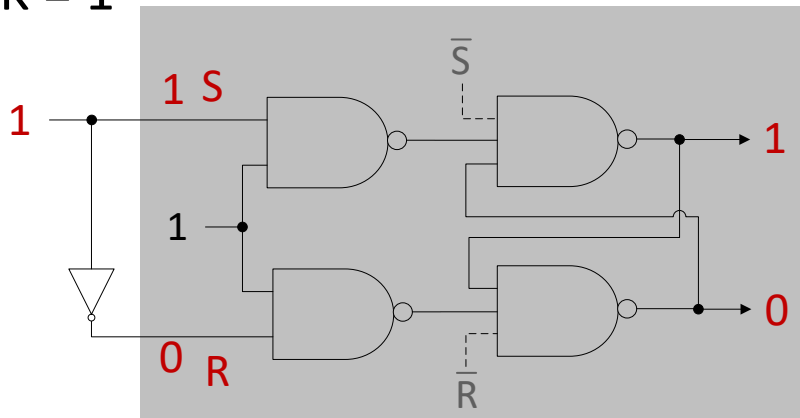
Circuite basculante bistabile – **bistabilul D (D latch)**

Funcționare

- $D = 0$, $CLK = 1$



- $D = 1$, $CLK = 1$

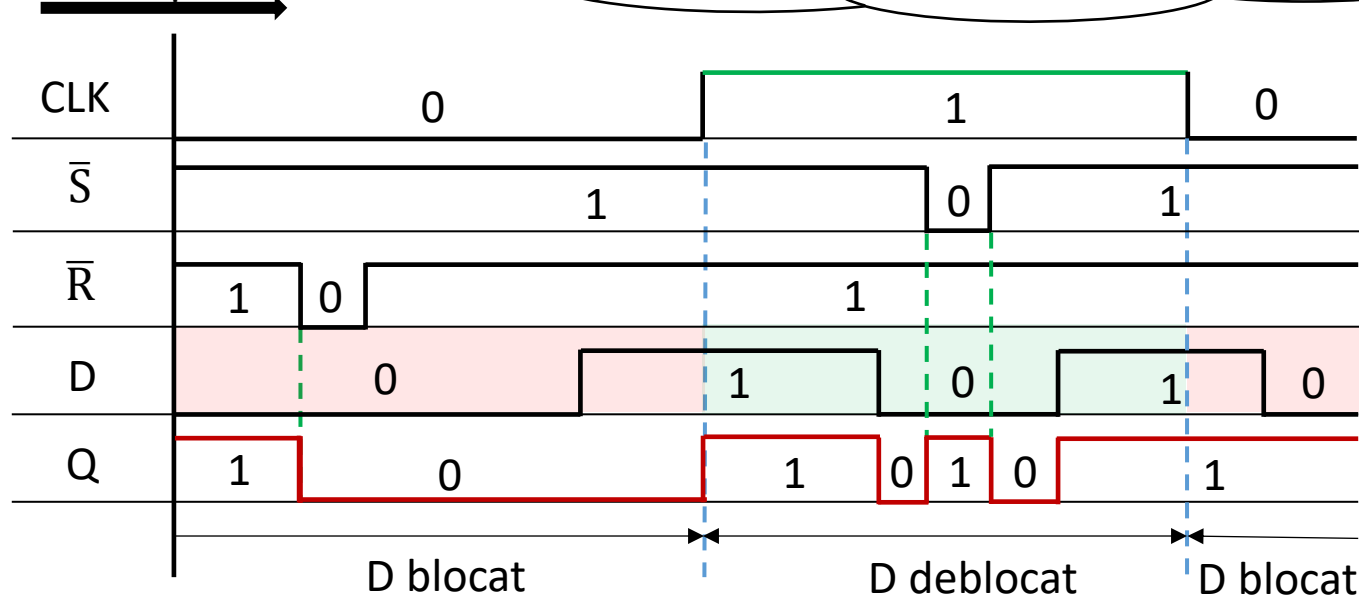


Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul D (D latch)**

Funcționare

Timpul



\bar{S} și \bar{R} sunt prioritare și au efect imediat, independent de CLK (asincrone)

Tabelul de adevăr

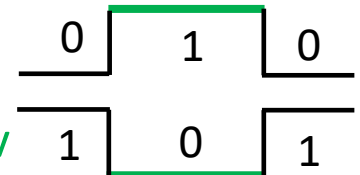
\bar{S}	\bar{R}	CLK	D	Q^{t+1}
0	0	X	X	*
0	1	X	X	1
1	0	X	X	0
1	1	0	X	Q^t
1	1	1	0	0
1	1	1	1	1

latch = activare pe nivelul semnalului de ceas

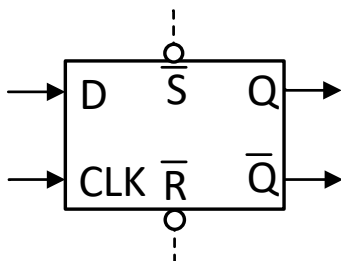


nivelul pozitiv

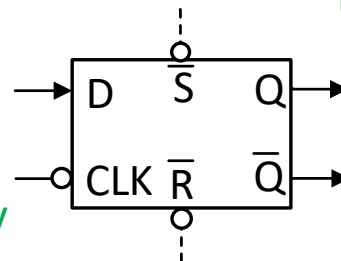
nivelul negativ



nivel
pozitiv

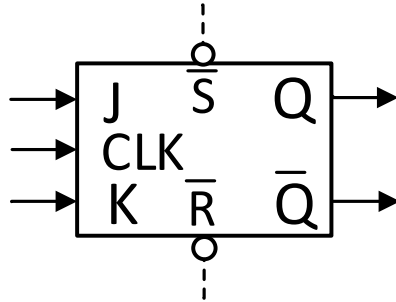


nivel
negativ



Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul JK (JK latch)**



- Reprezintă echivalentul bistabilului RS sincron cu diferența că atunci când ambele intrări sincrone sunt active ($J = K = 1$) are loc o tranziție a stării de la valoarea curentă la valoarea negată.
- Poate să prezinte intrările **asincrone** \bar{S} și \bar{R} de Set/Reset **opționale** și **prioritare**. Se va evita $\bar{S} = 0$ și $\bar{R} = 0$ simultan.

Tabelul de adevăr

\bar{S}	\bar{R}	CLK	J	K	Q^{t+1}
0	0	X	X	X	*
0	1	X	X	X	1
1	0	X	X	X	0
1	1	0	X	X	Q^t
1	1	1	0	0	Q^t
1	1	1	0	1	0
1	1	1	1	0	1
1	1	1	1	1	$\overline{Q^t}$

Tabelul de excitație

Q^t	Q^{t+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Circuite logice secvențiale

Circuite basculante bistabile – **bistabilul JK (JK latch)**

- Sinteza cu **ȘI-NU** – se bazează pe tabelul de adevăr:

Q^t	J	K	Q^{t+1}	$\overline{Q^{t+1}}$
0	0	0	0	1
0	0	1	0	1
0	1	0	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	1
1	1	0	1	0
1	1	1	0	1

Q^{t+1} :

$Q^t \backslash JK$	00	01	11	10
0	0	0	1	1
1	1	1	0	1

$\overline{Q^{t+1}}$:

$Q^t \backslash JK$	00	01	11	10
0	1	1	0	0
1	0	1	1	0

$$Q^{t+1} \xRightarrow{\text{FDM}} (\overline{Q^t} \cdot J) + (Q^t \cdot \overline{K}) =$$

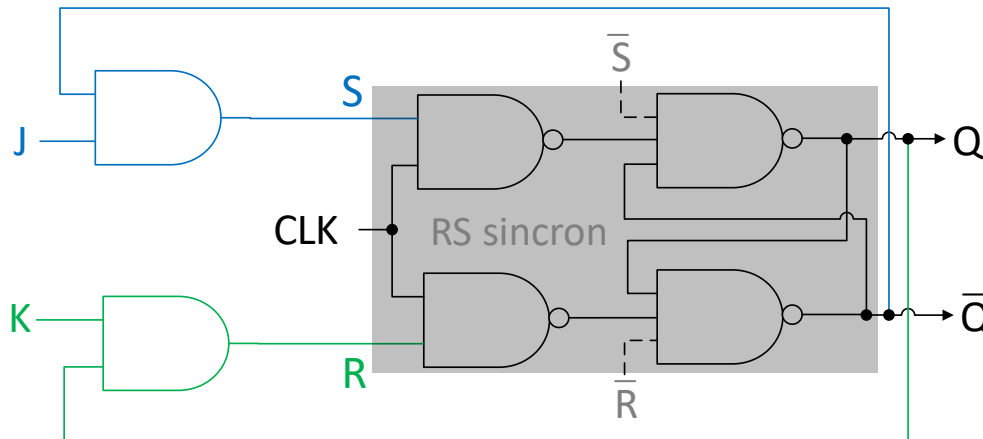
$$= (\overline{Q^t} \cdot J) + (Q^t \cdot \overline{K} \cdot Q^t)$$

$$\text{RS: } Q^{t+1} = S + (Q^t \cdot \overline{R})$$

$$\overline{Q^{t+1}} \xRightarrow{\text{FDM}} (Q^t \cdot K) + (\overline{Q^t} \cdot \overline{J}) =$$

$$= (Q^t \cdot K) + (\overline{Q^t} \cdot \overline{Q^t} \cdot \overline{J})$$

$$\text{RS: } \overline{Q^{t+1}} = R + (\overline{Q^t} \cdot \overline{S})$$



Se poate implementa
cu RS sincron dacă:

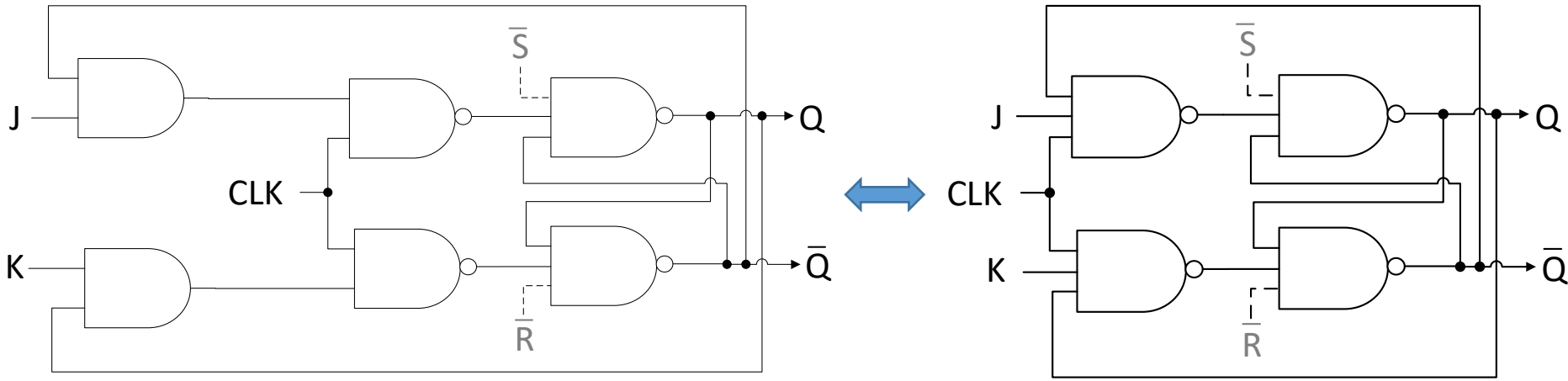
$$S = \overline{Q^t} \cdot J$$

$$R = Q^t \cdot K$$

Circuite logice secvențiale

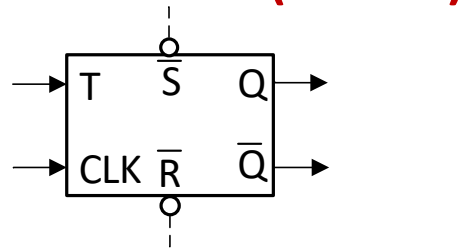
Circuite basculante bistabile – **bistabilul JK (JK latch)**

- Sinteza cu **ȘI-NU**



Circuite logice secvențiale

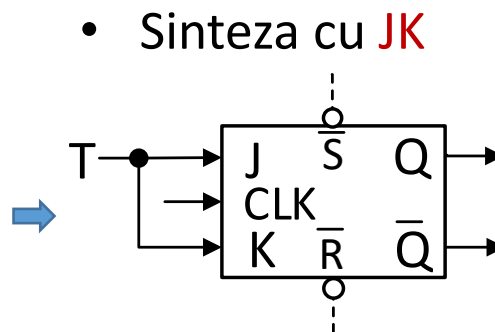
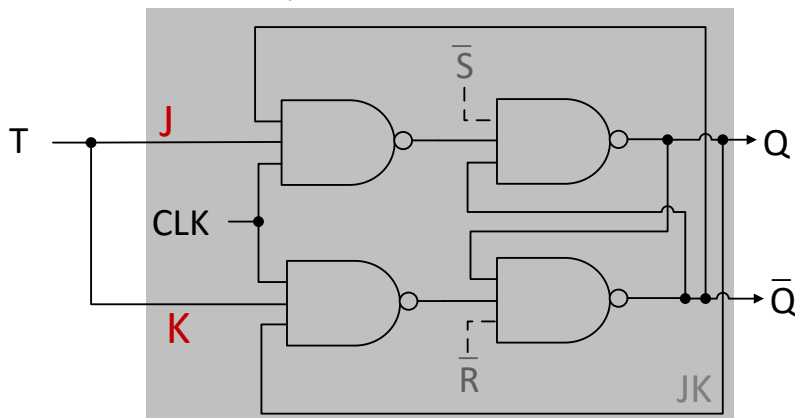
Circuite basculante bistabile – **bistabilul T (T latch)**



Tabelul de adevăr

\bar{S}	\bar{R}	CLK	T	Q^{t+1}
0	0	X	X	*
0	1	X	X	1
1	0	X	X	0
1	1	0	X	Q^t
1	1	1	0	Q^t
1	1	1	1	$\overline{Q^t}$

- Reprezintă echivalentul bistabilului JK cu o singură intrare T.
- Când CLK = 1 starea Q se păstrează dacă T = 0 sau se schimbă dacă T = 1.
- Poate să prezinte intrările **asincrone** \bar{S} și \bar{R} de Set/Reset **opționale** și **prioritare**. Se va evita $\bar{S} = 0$ și $\bar{R} = 0$ simultan.
- Sinteza cu **ȘI-NU**

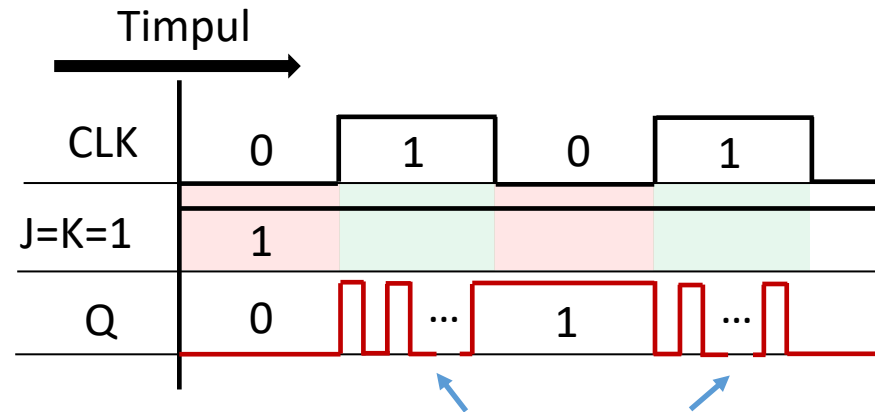
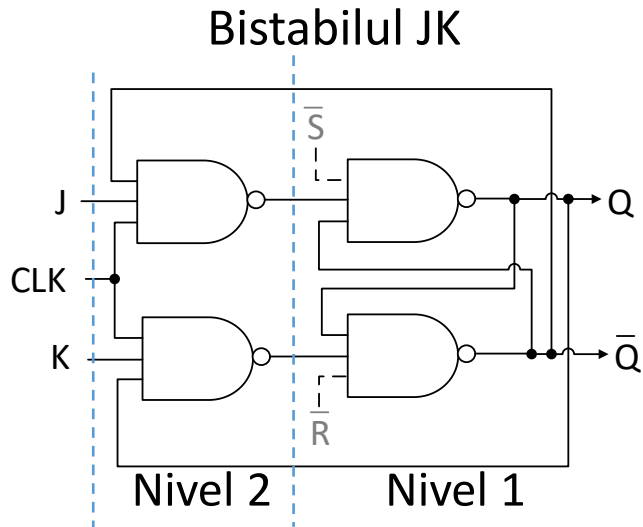


Tabelul de excitație

Q^t	Q^{t+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

Circuite logice secvențiale

Circuite basculante bistabile – Frecvența semnalului de tact CLK



număr necontrolat de oscilații dependent de perioada CLK

Obs: Dacă $J = K = 1$ bistabilul oscilează necontrolat între 0 și 1. Pentru o singură oscilație controlată într-o perioadă de tact se impune durata $CLK=1$ mai mică decât durata de propagare prin cele 2 niveluri de porți ȘI-NU.



Perioada CLK este limitată. **Dezavantaj:** Nu se poate integra în circuite cu alte frecvențe de CLK. ➡ Gama de frecvențe de lucru acceptate este limitată.

Soluție: Spargerea buclei de reacție prin renunțarea la comutarea stării pe nivel și adoptarea unei structuri master-slave cu comutare pe front.

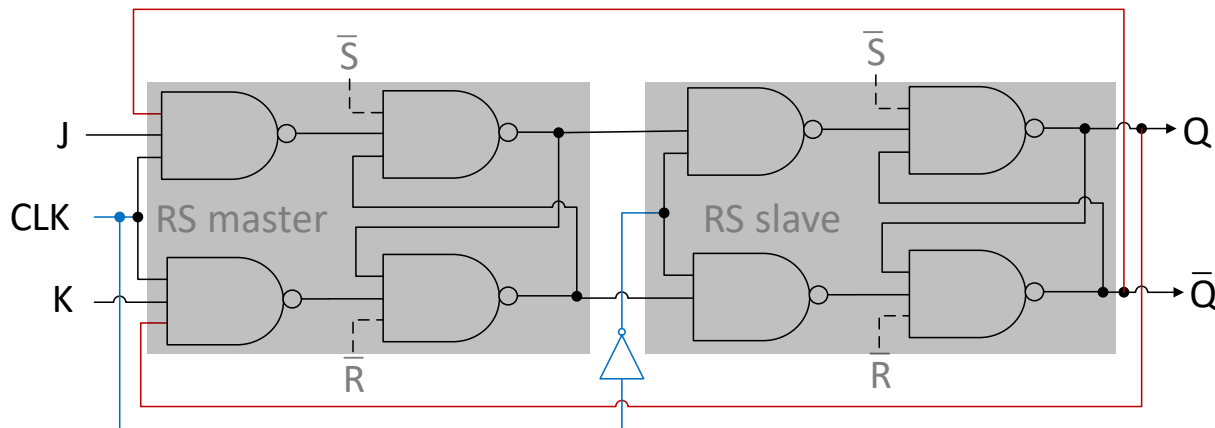
Circuite logice secvențiale

Circuite basculante bistabile **cu structură master-slave**

- Sunt compuse din 2 bistabile, unul cu rol *master* și unul cu rol *slave*.
- Principiul de organizare se poate aplica pentru orice tip de bistabile.
- Elimină oscilația continuă a stării întâlnită la bistabilul JK sincron atunci când intrările au valoarea 1.
- Efectul obținut constă în faptul că tranziția (comutarea) de stare se evidențiază pe ieșiri în momentul modificării semnalului CLK din 1 în 0 – **front descendent**.



Ex: Sinteza JK master-slave cu **ȘI-NU**

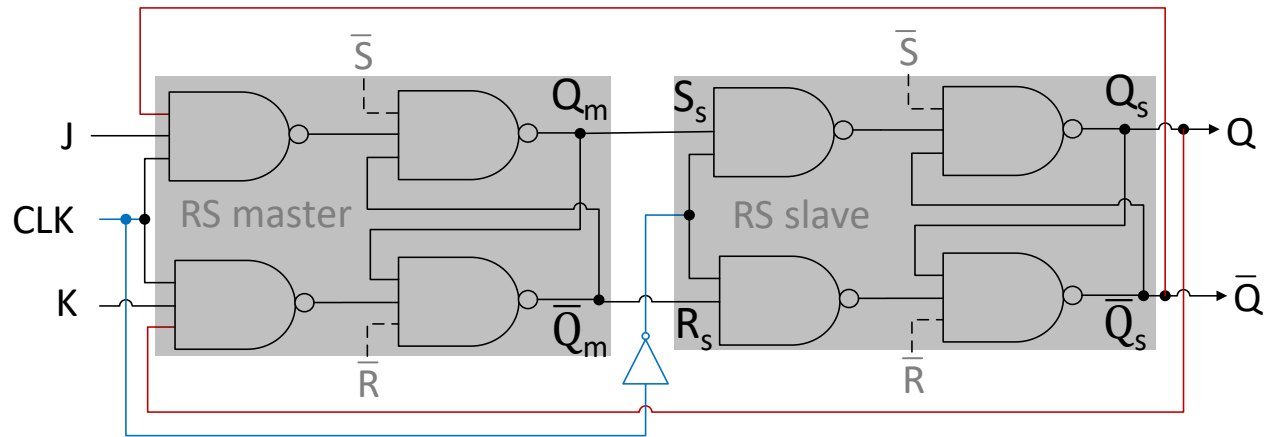


Obs: ieșirile master =
intrările slave

Circuite logice secvențiale

Circuite basculante bistabile cu structură master-slave

JK master-slave – Funcționare

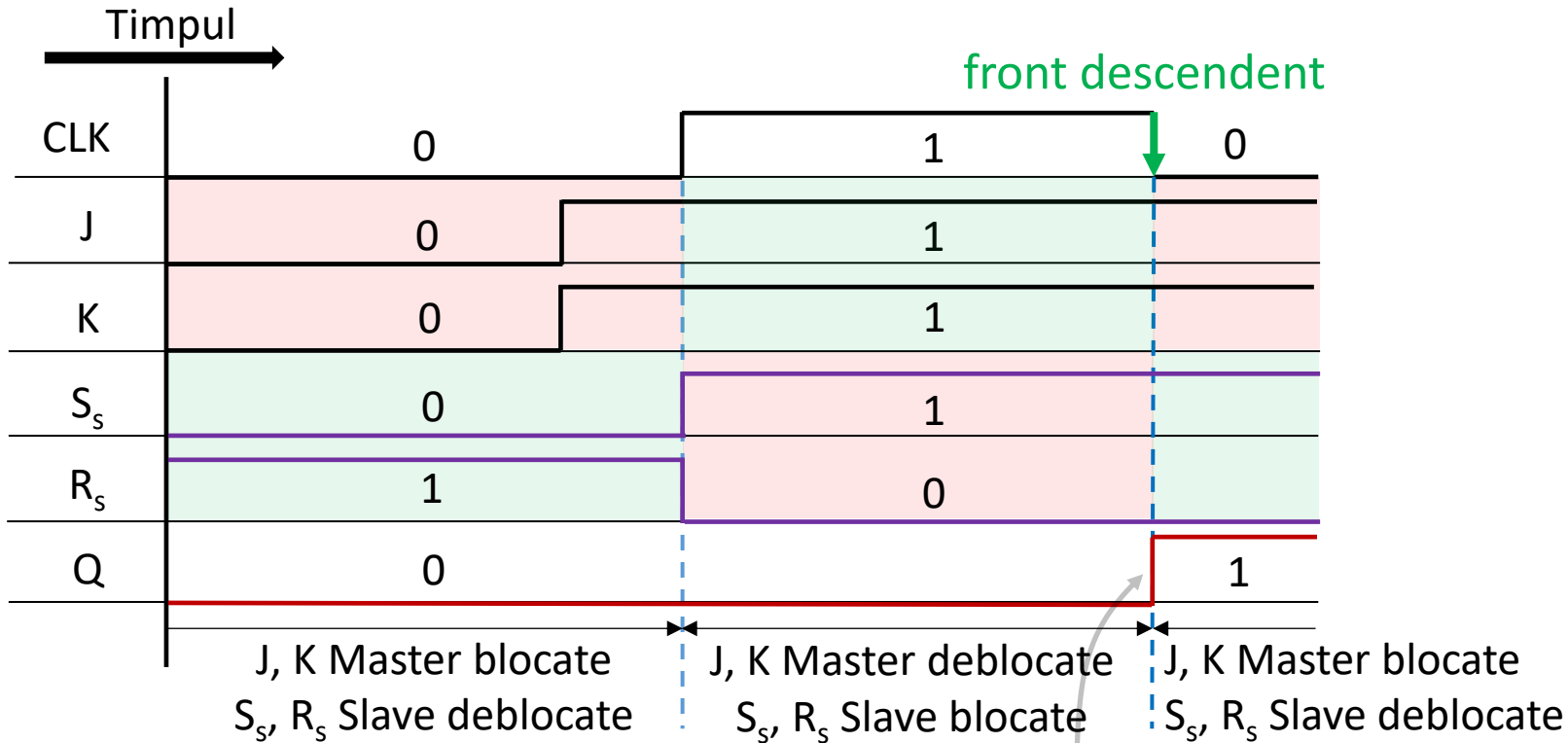


- Pe nivelul pozitiv al CLK ($CLK = 1$) bistabilul master este deblocat și bistabilul slave este blocat (doar semnalele sincrone). Ieșirile bistabilului master nu depind direct de ieșirile sale ci depind de intrări și de ieșirile bistabilului slave care este blocat, oprind în acest fel oscilarea automată.
- Pe nivelul negativ al CLK ($CLK = 0$) bistabilul master este blocat și bistabilul slave este deblocat (doar semnalele sincrone). Ieșirile bistabilului slave depind de ieșirile master.

Circuite logice secvențiale

Circuite basculante bistabile **cu structură master-slave**

JK master-slave – Funcționare



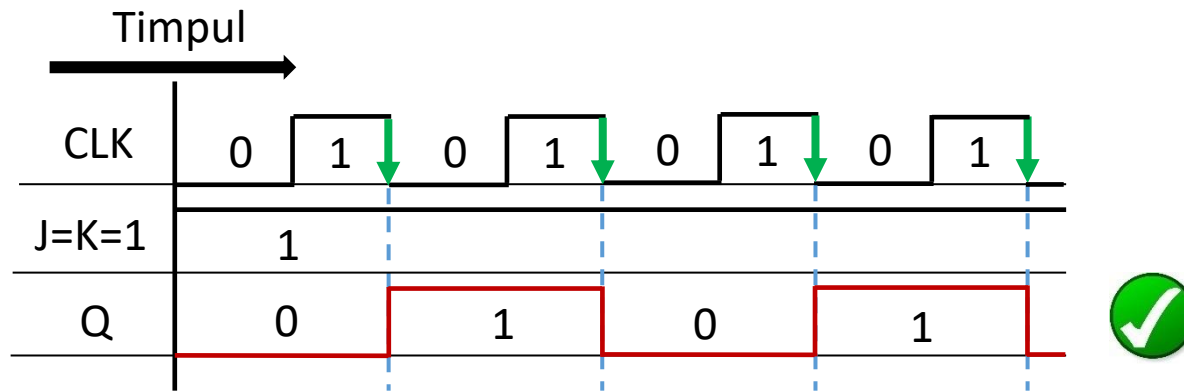
Efect: Bistabilului JK master-slave preia comanda și comută ieșirea pe **frontul descendent** al CLK.

Obs: Dacă se inversează CLK circuitul va comuta pe **frontul ascendent**.

Circuite logice secvențiale

Circuite basculante bistabile **cu structură master-slave**

JK master-slave – Funcționare oscilatorie

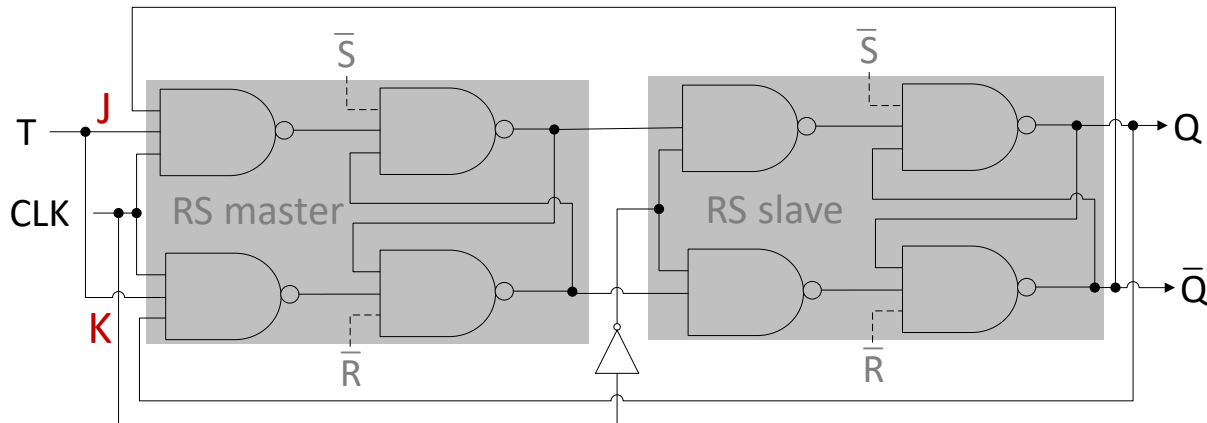


Avantaj: Oscilațiile apar **câte una** la ieșire numai pe frontul descendent, indiferent de perioada semnalului CLK => **fără constrângeri asupra perioadei semnalului CLK**, deci se poate integra în circuite cu diverse frecvențe de lucru .

Circuite logice secvențiale

Circuite basculante bistabile **cu structură master-slave**

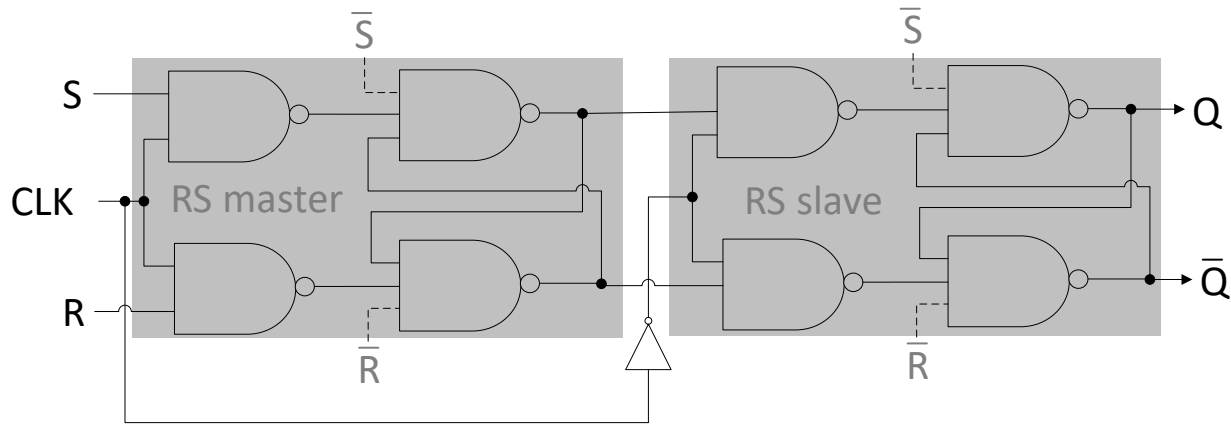
- Sinteza T master-slave cu **ȘI-NU**



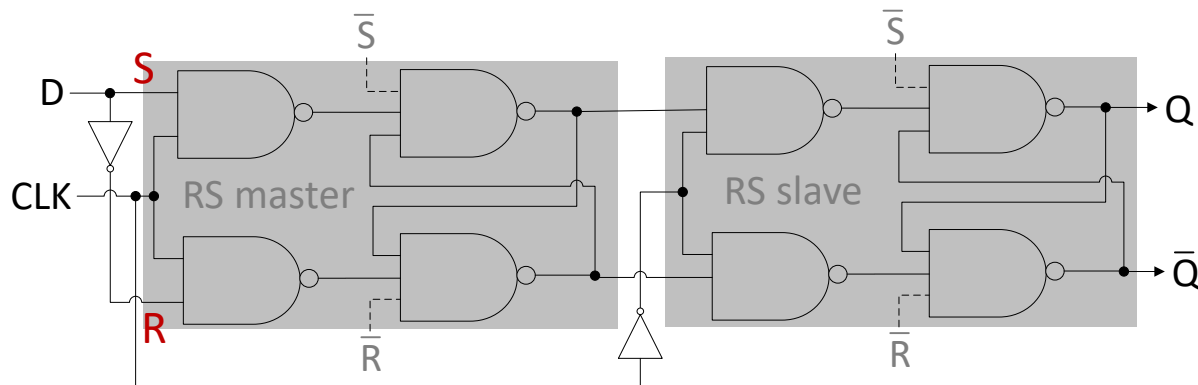
Circuite logice secvențiale

Circuite basculante bistabile **cu structură master-slave**

- Sinteza RS master-slave cu **ȘI-NU**



- Sinteza D master-slave cu **ȘI-NU**



Circuite logice secvențiale

Circuite basculante bistabile **cu sincronizare pe frontul de tact** (flip-flop)

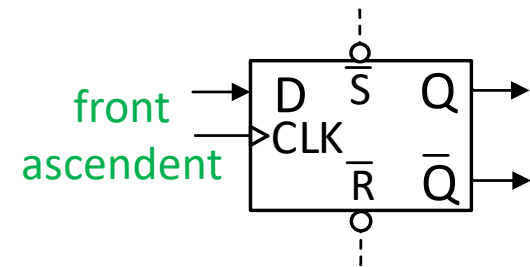
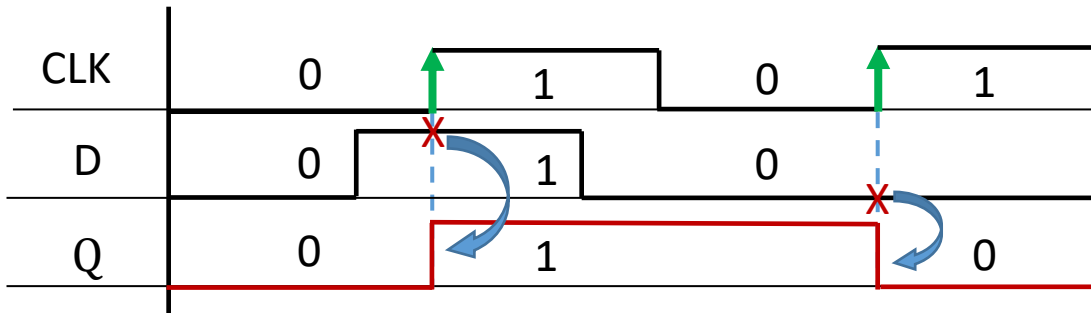
flip-flop = comutare pe frontul ceasului

ascendent $\begin{array}{c} 0 \uparrow 1 \\ \hline 1 \downarrow 0 \end{array}$

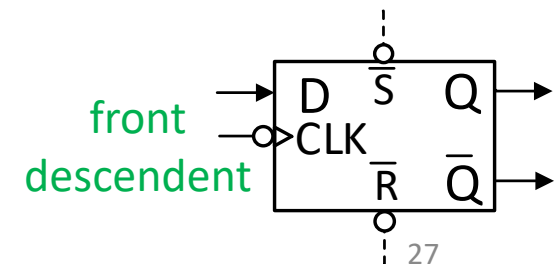
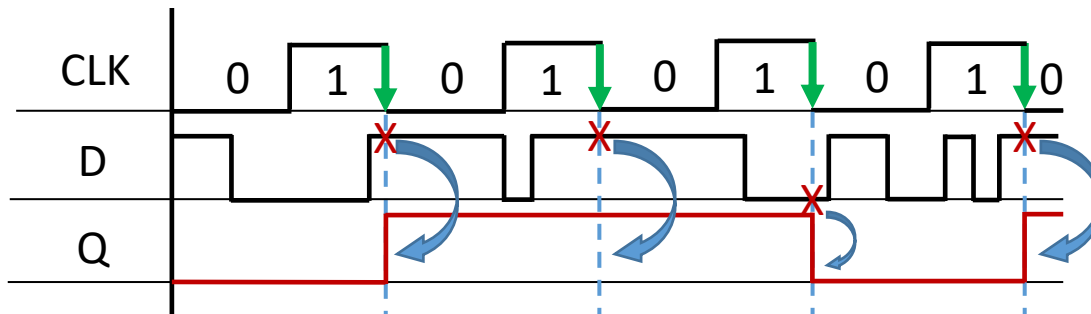
descendent

- Se citesc valorile de pe liniile de comandă în momentul frontului, iar ieșirea comută imediat după front dacă este cazul.

Ex₁: Bistabil D flip-flop cu comutare pe **frontul ascendent**



Ex₂: Bistabil D flip-flop cu comutare pe **frontul descendent**

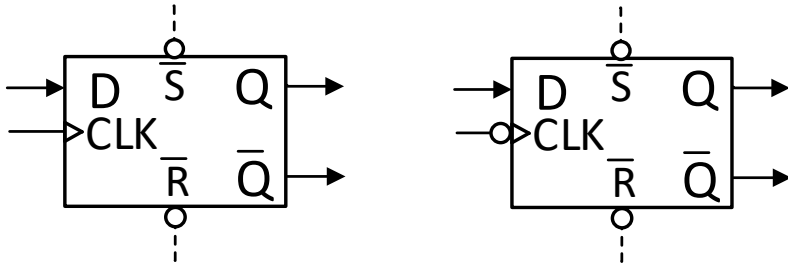


Circuite logice secvențiale

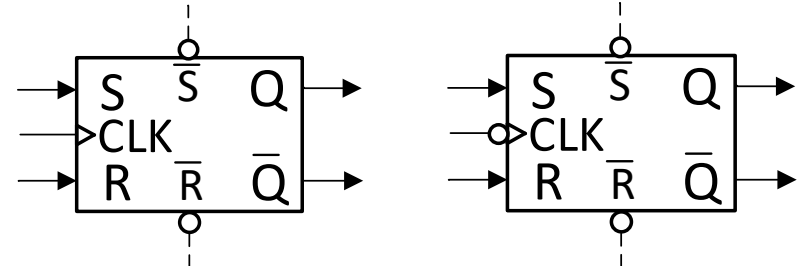
Circuite basculante bistabile **cu sincronizare pe frontul de tact (flip-flop)**

- Toate bistabilele există și în forma cu sincronizare pe frontul de tact **ascendent** sau **descendent**.

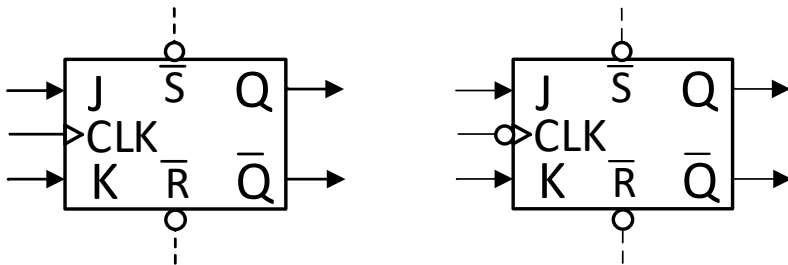
Bistabil D flip-flop



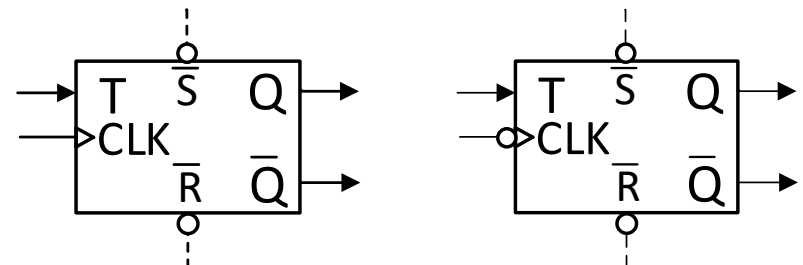
Bistabil RS flip-flop



Bistabil JK flip-flop



Bistabil T flip-flop



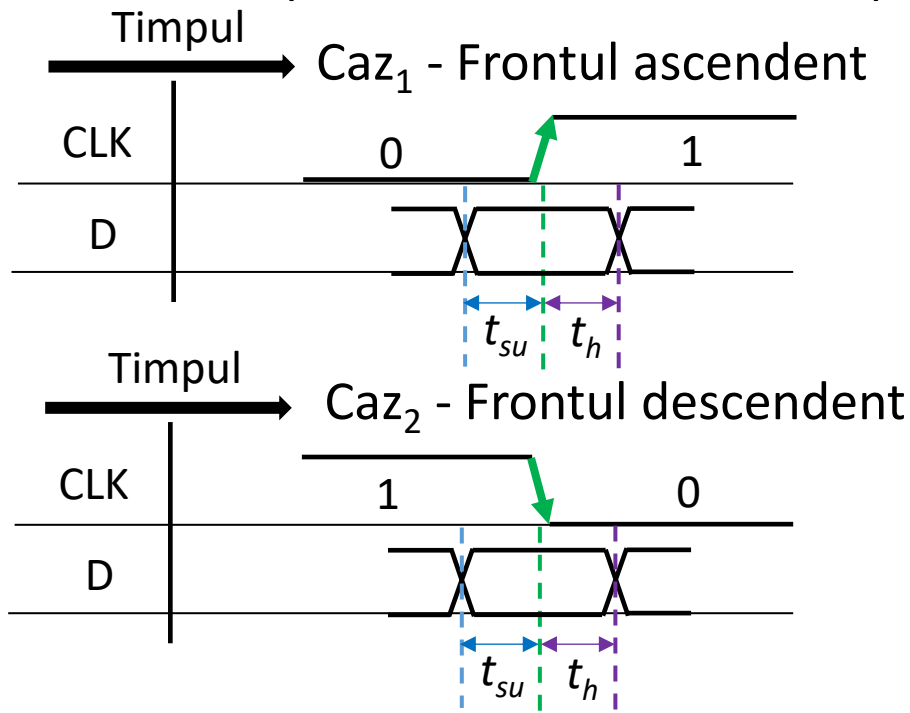
Circuite logice secvențiale

Circuite basculante bistabile **cu sincronizare pe frontul de tact (flip-flop)**

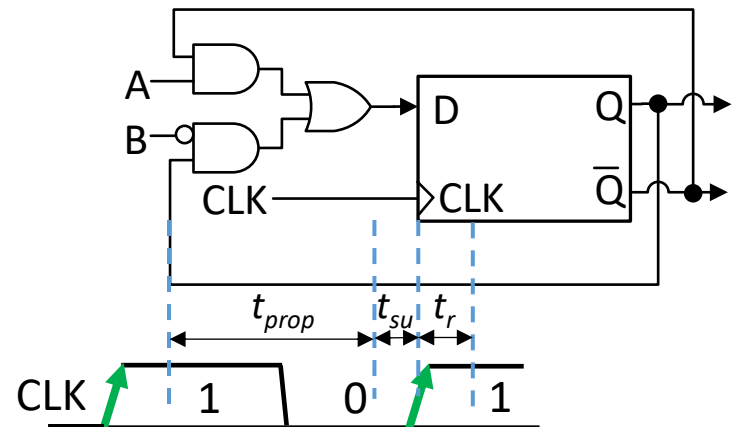
- Elemente de temporizare

Regulă: În practică la bistabilele flip-flop datele (comenzile) trebuie să persiste pe liniile asociate un timp minim $t_{su} + t_h$ unde:

- t_{su} – **perioada de set-up** – perioada minimă în care datele trebuie să fie înainte de **front** astfel încât să producă efect;
- t_h – **perioada de hold** – perioada cât datele trebuie să fie menținute după de **front** astfel încât să producă efect.



Ex: Bistabil D + logică



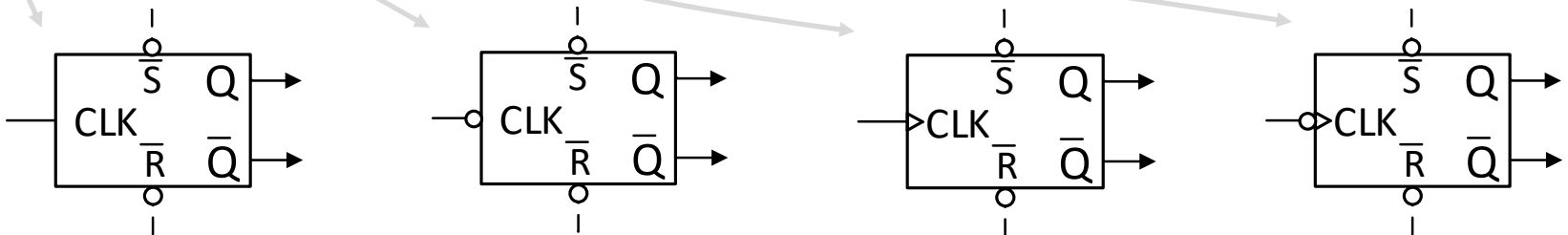
Reguli

$T_{CLK} \geq t_{prop} + t_{su} + t_r$, t_r – timp de răspuns al bistabilului
A și B stabile un timp $\geq t_{prop} + t_{su}$ înainte de front

Circuite logice secvențiale

Circuite basculante bistabile – **clasificare** (Concluzie)

- Cu sincronizare pe **nivel** (latch):
 - **Pozitiv** (cât timp CLK = 1) – se pot obține din cele cu sincronizare pe nivel negativ prin negarea semnalului CLK;
 - **Negativ** (cât timp CLK = 0) – se pot obține din cele cu sincronizare pe nivel pozitiv prin negarea semnalului CLK.
- Cu sincronizare pe **front** (flip-flop):
 - **Ascendent** ↑ (tranziție CLK din 0 în 1) – se pot obține din cele cu sincronizare pe front descendent prin negarea semnalului CLK;
 - **Descendent** ↓ (tranziție CLK din 1 în 0) – se pot obține din cele cu sincronizare pe front ascendent prin negarea semnalului CLK.



Circuite logice secvențiale

Implementarea unui tip de bistabil cu un alt tip de bistabil

Să se implementeze un bistabil de tip A cu un bistabil de tip B și porți logice.

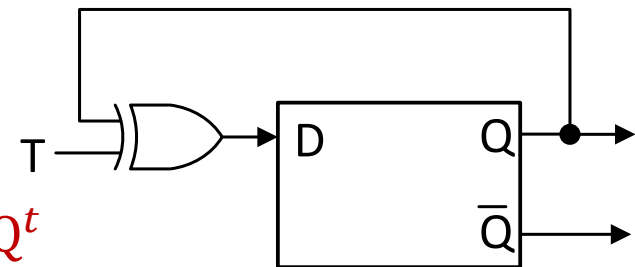
Metoda (dacă B latch => A latch, dacă B flip-flop => A flip-flop):

1. Se utilizează tabelele de excitație ale bistabilelor de tip A și B.
2. Se asociază combinațiile pentru care stările curentă și următoare (Q^t, Q^{t+1}) sunt identice și se creează un tabel de adevăr în care starea curentă Q^t și intrările bistabilului care se implementează (tip A) apar în partea stângă. În partea dreaptă apar doar intrările bistabilului cu care se realizează implementarea (tip B).
3. Folosind tabelul se determină expresiile intrărilor bistabilului de tip B folosind o metodă de minimizare.

T implementat cu D

Q^t	Q^{t+1}	T		Q^t	Q^{t+1}	D		Q^t	T	D
0	0	0		0	0	0		0	0	0
0	1	1	+	0	1	1	→	0	1	1
1	0	1		1	0	0		1	1	0
1	1	0		1	1	1		1	0	1

$D = T \oplus Q^t$



Circuite logice secvențiale

Implementarea unui tip de bistabil cu un alt tip de bistabil

Să se implementeze un bistabil de tip A cu un bistabil de tip B și porți logice.

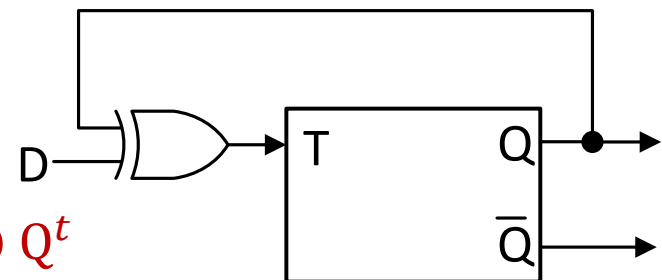
Metoda (dacă B latch => A latch, dacă B flip-flop => A flip-flop):

1. Se utilizează tabelele de excitație ale bistabilelor de tip A și B.
2. Se asociază combinațiile pentru care stările curentă și următoare (Q^t, Q^{t+1}) sunt identice și se creează un tabel de adevăr în care starea curentă Q^t și intrările bistabilului care se implementează (tip A) apar în partea stângă. În partea dreaptă apar doar intrările bistabilului cu care se realizează implementarea (tip B).
3. Folosind tabelul se determină expresiile intrărilor bistabilului de tip B folosind o metodă de minimizare.

D implementat cu T

Q^t	Q^{t+1}	D		Q^t	Q^{t+1}	T		Q^t	D	T
0	0	0	+	0	0	0	→	0	0	0
0	1	1		0	1	1		0	1	1
1	0	0		1	0	1		1	0	1
1	1	1		1	1	0		1	1	0

$$T = D \oplus Q^t$$



Circuite logice secvențiale

Implementarea unui tip de bistabil cu un alt tip de bistabil

Să se implementeze un bistabil de tip A cu un bistabil de tip B și porți logice.

Metoda (dacă B latch => A latch, dacă B flip-flop => A flip-flop):

1. Se utilizează tabelele de excitație ale bistabilelor de tip A și B.
2. Se asociază combinațiile pentru care stările curentă și următoare (Q^t, Q^{t+1}) sunt identice și se creează un tabel de adevăr în care starea curentă Q^t și intrările bistabilului care se implementează (tip A) apar în partea stângă. În partea dreaptă apar doar intrările bistabilului cu care se realizează implementarea (tip B).
3. Folosind tabelul se determină expresiile intrărilor bistabilului de tip B folosind o metodă de minimizare.

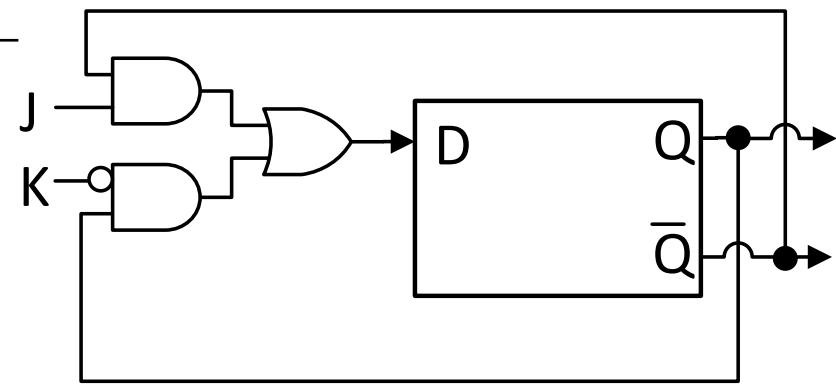
JK implementat cu D

Q^t	Q^{t+1}	J	K	Q^t	Q^{t+1}	D
0	0	0	X	0	0	0
0	1	1	X	0	1	1
1	0	X	1	1	0	0
1	1	X	0	1	1	1

+

→

Q^t	J	K	D
0	0	X	0
0	1	X	1
1	X	1	0
1	X	0	1



D:

$Q^t \backslash J K$	00	01	11	10
0	0	0	1	1
1	1	0	0	1

$$D = (\overline{Q^t} \cdot J) + (Q^t \cdot \overline{K})$$

Circuite logice secvențiale

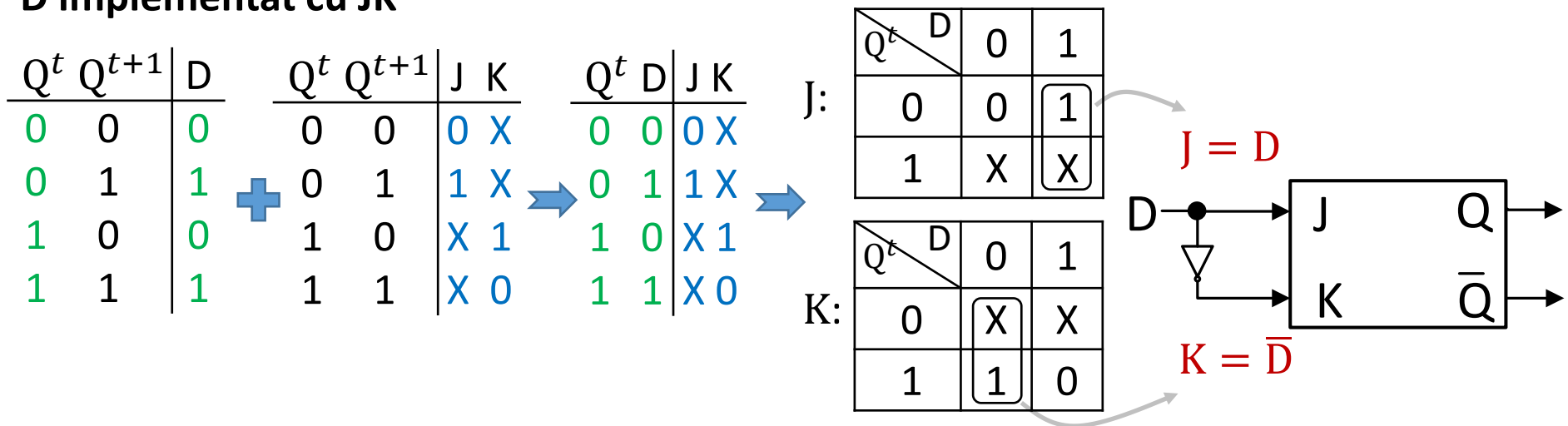
Implementarea unui tip de bistabil cu un alt tip de bistabil

Să se implementeze un bistabil de tip A cu un bistabil de tip B și porți logice.

Metoda (dacă B latch => A latch, dacă B flip-flop => A flip-flop):

1. Se utilizează tabelele de excitație ale bistabililor de tip A și B.
2. Se asociază combinațiile pentru care stările curentă și următoare (Q^t, Q^{t+1}) sunt identice și se creează un tabel de adevăr în care starea curentă Q^t și intrările bistabilului care se implementează (tip A) apar în partea stângă. În partea dreaptă apar doar intrările bistabilului cu care se realizează implementarea (tip B).
3. Folosind tabelul se determină expresiile intrărilor bistabilului de tip B folosind o metodă de minimizare.

D implementat cu JK



Circuite logice secvențiale

Implementarea unui tip de bistabil cu un alt tip de bistabil

Să se implementeze un bistabil de tip A cu un bistabil de tip B și porți logice.

Metoda (dacă B latch => A latch, dacă B flip-flop => A flip-flop):

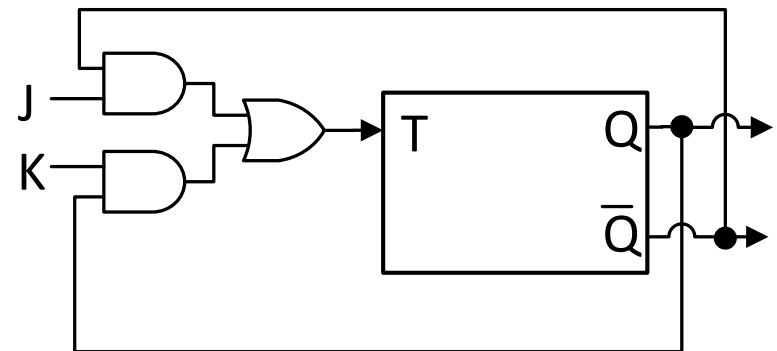
1. Se utilizează tabelele de excitație ale bistabilelor de tip A și B.
2. Se asociază combinațiile pentru care stările curentă și următoare (Q^t, Q^{t+1}) sunt identice și se creează un tabel de adevăr în care starea curentă Q^t și intrările bistabilului care se implementează (tip A) apar în partea stângă. În partea dreaptă apar doar intrările bistabilului cu care se realizează implementarea (tip B).
3. Folosind tabelul se determină expresiile intrărilor bistabilului de tip B folosind o metodă de minimizare.

JK implementat cu T

Q^t	Q^{t+1}	J	K	Q^t	Q^{t+1}	T	Q^t	J	K	T
0	0	0	X	0	0	0	0	0	X	0
0	1	1	X	0	1	1	0	1	X	1
1	0	X	1	1	0	1	1	X	1	1
1	1	X	0	1	1	0	1	X	0	0

$Q^t \backslash J K$	00	01	11	10
0	0	0	1	1
1	0	1	1	0

$$T = (\overline{Q^t} \cdot J) + (Q^t \cdot K)$$



Circuite logice secvențiale

Implementarea unui tip de bistabil cu un alt tip de bistabil

Să se implementeze un bistabil de tip A cu un bistabil de tip B și porți logice.

Metoda (dacă B latch => A latch, dacă B flip-flop => A flip-flop):

1. Se utilizează tabelele de excitație ale bistabilelor de tip A și B.
2. Se asociază combinațiile pentru care stările curentă și următoare (Q^t, Q^{t+1}) sunt identice și se creează un tabel de adevăr în care starea curentă Q^t și intrările bistabilului care se implementează (tip A) apar în partea stângă. În partea dreaptă apar doar intrările bistabilului cu care se realizează implementarea (tip B).
3. Folosind tabelul se determină expresiile intrărilor bistabilului de tip B folosind o metodă de minimizare.

T implementat cu JK

