

9 Circuite logice secvențiale – numărătoare

9.1 Obiective

Se definesc numărătoarele și se studiază proprietățile lor generale. Se analizează avantajele și dezavantajele implementării numărătoarelor asincrone și sincrone cu bistabile JK în configurație *toggle*. Se studiază numărătoare directe și reversibile pe 4 biți, disponibile sub formă de circuite integrate, comportamentul și particularitățile de funcționare ale acestora.

9.2 Considerații teoretice

Numărătoarele sunt circuite logice secvențiale care contorizează numărul de impulsuri aplicate pe intrarea de ceas. Numărătoarele sunt implementate cu bistabile. Numărul de bistabile determină numărul de biți pe care se face numărarea. Numărul de valori din secvența de numărare definește *capacitatea numărătorului*. Un numărător este *asincron*, dacă bistabilele din componența sa comută la momente diferite, și este *sincron*, dacă bistabilele comută simultan cu impulsul de ceas. În funcție de direcția de numărare, numărătoarele pot fi *directe*, *inverse* sau *reversibile*. În general, numărarea directă este crescătoare, cea inversă este descrescătoare, iar numărătoarele reversibile pot număra în ambele direcții. Numărarea poate fi *binară*, *binar-zecimală* sau *modulo p* . La numărarea *modulo p* secvența de numărare conține p valori ($p < 2^n$) pe n biți.

9.2.1 Numărătorul binar asincron direct

Numărătorul binar asincron direct are structura cea mai simplă, bazată pe bistabile JK în configurație *toggle* ($J=K=1$), fără alte circuite adiționale. Comutarea este asincronă deoarece, exceptând bistabilul de rang 0, care este conectat la CLK, celelalte bistabile au ca semnal de ceas ieșirea bistabilului de rang inferior. Schema logică de implementare a unui numărător pe 3 biți, folosind 3 bistabile JK, cu sincronizare pe frontul descendent, este prezentată în Figura 9. 1. Extinderea la un număr mai mare de biți se poate realiza prin adăugarea de bistabile adiționale. **Notă:** Comanda \overline{RST} activă pe 0, realizează resetarea asincronă a numărătorului prin aducerea imediată la valoarea 0.

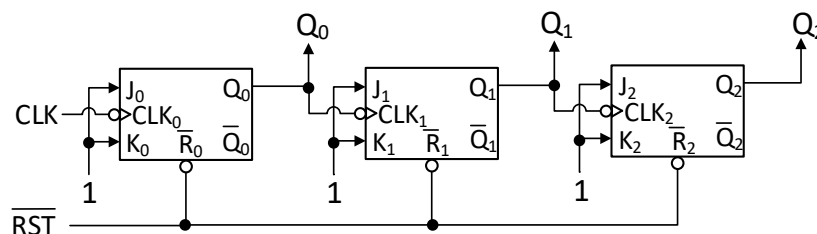


Figura 9. 1 Implementarea numărătorului binar asincron direct, pe 3 biți, cu bistabile JK

Diagrama de timp a funcționării numărătorului asincron, prezentată în Figura 9. 2, evidențiază valoarea pe ieșirile numărătorului la fiecare impuls de ceas. Numărarea se realizează în bucla $0 \div 7$. Numărarea avansează la fiecare front descendent al CLK. Se

observă faptul că un front descendent generat pe ieșirea unui bistabil determină comutarea bistabilului de rang superior. Tranziția de la 111_2 la 000_2 este cea mai lentă deoarece necesită comutarea consecutivă a tuturor bistabilelor. Perioada de ceas trebuie să depășească durata pentru tranziția cea mai lentă. Creșterea numărului de bistabile reprezintă un dezavantaj, deoarece limitează frecvența de lucru a numărătorului.

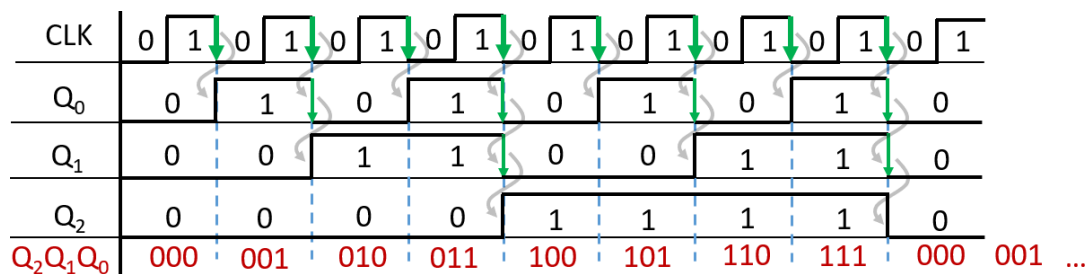


Figura 9. 2 Diagrama de funcționare a numărătorului binar asincron direct, pe 3 biți

Analizând formele de undă generate pe ieșiri se observă faptul că fiecare bistabil generează pe ieșirea sa un semnal de ceas cu perioada dublă față de cel de rang inferior. Bistabilele JK în configurație *toggle* funcționează ca *divizoare de frecvență* a semnalului primit pe intrarea de ceas. Raportat la semnalul CLK, cu cât crește rangul unui bistabil, cu atât crește factorul de divizare: Q₀, Q₁, Q₂ au factorul de divizare 2, 4, respectiv 8.

9.2.2 Numărătorul binar sincron serie direct

Problema frecvenței de lucru reduse la numărătorul asincron este parțial rezolvată de numărătorul sincron serie, la care comutarea bistabilelor JK este sincronă, prin conectarea acestora la semnalul CLK, ca în Figura 9. 3. Intrările sincrone J și K sunt conectate, dar pentru identificarea expresiilor aplicate pe acestea se analizează comportamentul fiecărui bit în parte, în cadrul buclei de numărare. Tabelul 9. 1 prezintă valorile înregistrate pe ieșirile bistabilelor în bucla 0 ÷ 15.

Analizând fiecare coloană Q_i în parte, se constată următoarele asocieri: bistabilul Q₀ comută la fiecare perioadă de ceas; bistabilul Q₁ comută când Q₀=1; bistabilul Q₂ comută când Q₁=1 și Q₀=1; bistabilul Q₃ comută când Q₂=1 și Q₁=1 și Q₀=1. Prin analogie, un bistabil comută întotdeauna atunci când toate cele de rang inferior au valoarea 1. Pe baza acestor observații se deduc următoarele expresii pentru intrările de comandă J_i, K_i:

$$\begin{aligned}
 J_0 &= K_0 = 1 \\
 J_1 &= K_1 = Q_0 \\
 J_2 &= K_2 = Q_1 \cdot Q_0 \\
 J_3 &= K_3 = Q_2 \cdot Q_1 \cdot Q_0
 \end{aligned} \tag{9.1}$$

Pentru implementarea operațiilor ȘI se utilizează numai porți cu 2 intrări, conectate serial, deoarece au structură mai simplă. Dezavantajul îl constituie creșterea timpului de propagare, odată cu creșterea numărului de porți conectate

Tabelul 9. 1 Ieșirile numărătorului pe 4 biți

Nr.	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0

serial, dacă se dorește extinderea numărului de biți. Timpul de propagare determină perioada de ceas, limitând astfel frecvența de lucru.

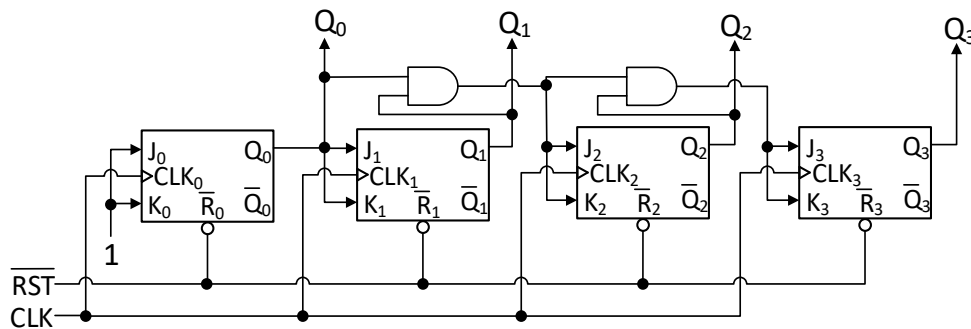


Figura 9. 3 Implementarea unui numărător sincron serie direct, pe 4 biți, cu bistabile JK

9.2.3 Numărătorul binar sincron paralel direct

Limitarea timpului de propagare pe porțile conectate serial are ca soluție utilizarea, în paralel, de porți ȘI cu mai mult de 2 intrări, ca în Figura 9. 4. Astfel, timpul de propagare se rezumă la întârzierea indusă de poarta ȘI cea mai complexă (cu cel mai mare număr de intrări), care este semnificativ mai mică decât cea corespunzătoare mai multor porți ȘI conectate în serie. În consecință, frecvența de lucru este mai puțin afectată, odată cu creșterea numărului de bistabile.

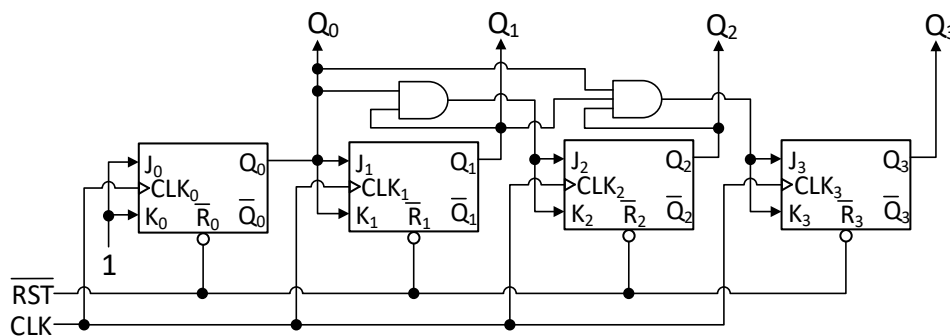


Figura 9. 4 Implementarea unui numărător sincron paralel direct, pe 4 biți

9.2.4 Numărătorul zecimal sincron reversibil 74192

Circuitul TTL 74192, din Figura 9. 5, este un numărător reversibil pe 4 biți, care are bucla de numărare 0÷9, asociată cifrelor zecimale. Acesta prezintă comanda asincronă MR (Master Reset), de reset la 0, și intrarea asincronă \overline{PL} (Parallel Load), de încărcare paralelă a valorii pe 4 biți de pe intrările $P_{3:0}$. Comanda de reset are prioritate față de comanda de încărcare paralelă, care funcționează în logica negativă. Valoarea curentă a numărătorului este disponibilă pe ieșirile $Q_{3:0}$. Rolul semnalelor este prezentat în tabelul din Figura 9. 5.

Pentru numărare directă, se aplică semnalul de ceas pe intrarea CP_U (Count Up) și valoarea 1 intrarea CP_D (Count Down). Pentru numărare inversă, se aplică semnalul de ceas pe CP_D și valoarea 1 pe CP_U .

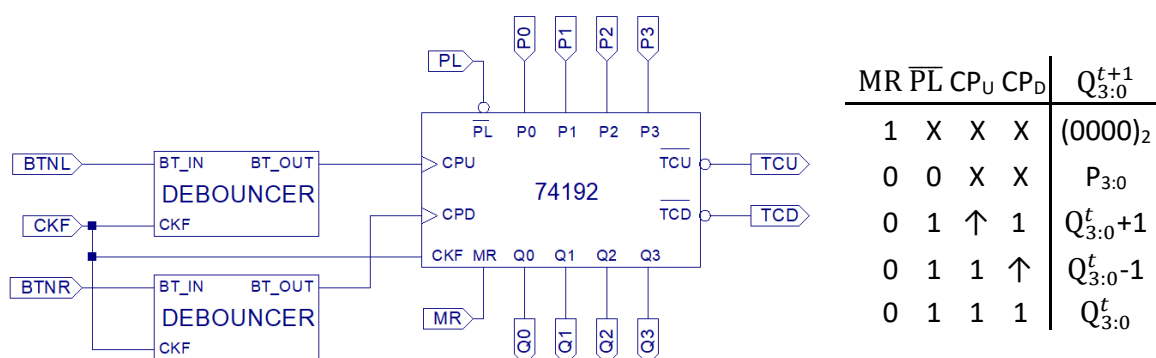


Figura 9. 5 Testarea număratorului 74192 (stânga) și tabelul de adevăr (dreapta)

La numărare directă, ieșirea \overline{TC}_U (Terminal Count Up) semnalizează prin $\overline{TC}_U = 0$ (în logica negativă), atingerea valorii zecimale maxime $Q_{3:0}=1001$. Similar, la numărare inversă, ieșirea \overline{TC}_D (Terminal Count Down) semnalizează prin $\overline{TC}_D = 0$, atingerea valorii minime $Q_{3:0}=0000$. **Notă:** Semnalizarea are loc în a doua parte a perioadei de ceas, precum în Figura 9. 6. Expresiile ieșirilor \overline{TC}_U și \overline{TC}_D sunt:

$$\begin{aligned}\overline{TC}_U &= \overline{Q_3 \cdot Q_0 \cdot \overline{CP}_U} \\ \overline{TC}_D &= \overline{Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 \cdot \overline{CP}_D}\end{aligned}\quad (9.2)$$

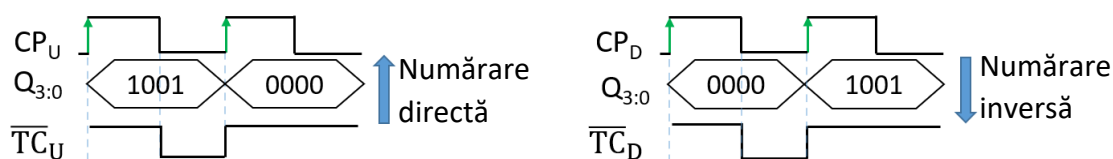


Figura 9. 6 Activarea indicatorilor la atingerea limitelor de numărare ale 74192

Numărătorul 74192 este implementat cu un mecanism de *autocorecție sincronă*: dacă valoarea curentă este în afara buclei 0÷9, atunci va reveni la o valoare din cadrul acesteia, după câteva perioade de ceas, reluându-și funcționarea normală.

9.2.5 Numărătorul binar sincron reversibil 74193

Circuitul TTL 74193, din Figura 9. 7, reprezintă varianta binară a numărătorului 74192, având bucla de numărare 0÷15. Intrările și ieșirile au denumire diferită, dar funcționalitate similară cu cele ale numărătorului 74192.

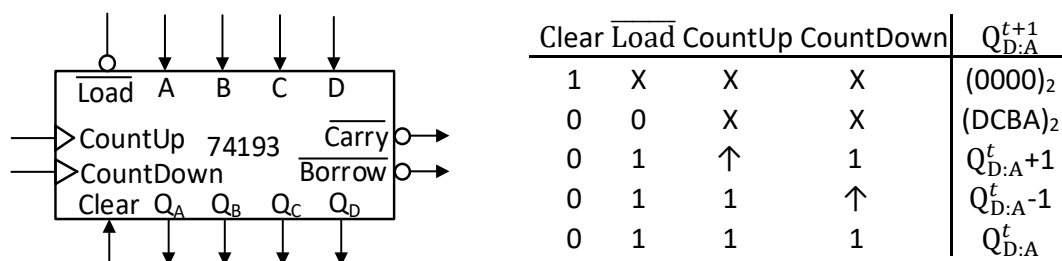


Figura 9. 7 Simbolul numărătorului 74193 (stânga) și tabelul de adevăr (dreapta)

Semnalele Clear și \overline{Load} reprezintă comenzile asincrone de reset, respectiv de încărcare cu valoarea binară DCBA₂. Intrările CountUp și CountDown sunt dedicate pentru

semnalul de ceas folosit la numărare directă, respectiv inversă. Intrarea de ceas secundară trebuie conectată la 1. Valoarea numărătorului este disponibilă pe ieșirile $Q_{D:A}$. Conform diagramelor din Figura 9. 8, ieșirea $\overline{\text{Carry}}$ semnalizează valoarea maximă 15 la numărare directă și ieșirea $\overline{\text{Borrow}}$ semnalizează valoarea minimă 0 la numărare inversă. Semnalizarea are loc numai când semnalul de ceas este 0. Expresiile celor două ieșiri sunt:

$$\begin{aligned}\overline{\text{Carry}} &= \overline{Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 \cdot \text{CountUp}} \\ \overline{\text{Borrow}} &= \overline{\overline{Q_3} \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot \overline{Q_0} \cdot \text{CountDown}}\end{aligned}\quad (9.3)$$

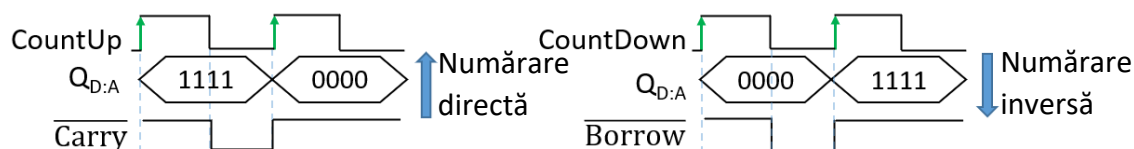


Figura 9. 8 Activarea indicatorilor la atingerea limitelor de numărare ale 74193

9.2.6 Numărătorul zecimal sincron direct 74162

Numărătorul 74162 (Figura 9. 9) numără cifrele zecimale pe 4 biți, în bucla 0÷9. Starea acestuia se poate citi pe ieșirile $Q_{3:0}$. Semnalul de ceas se aplică pe CP (Clock Pulse). Comanda $\overline{\text{SR}}$ (Synchronous Reset), în logica negativă, realizează resetarea sincronă (pe frontul de ceas), punând starea pe 0. Comanda $\overline{\text{PE}}$ (Parallel Enable), funcțională tot în logica negativă, realizează încărcarea sincronă a numărătorului cu valoarea de pe intrările $P_{3:0}$. Conform tabelului de funcționare din Figura 9. 9, comanda $\overline{\text{SR}}$ este prioritară față de $\overline{\text{PE}}$. Ambele au prioritate față de operația de numărare.

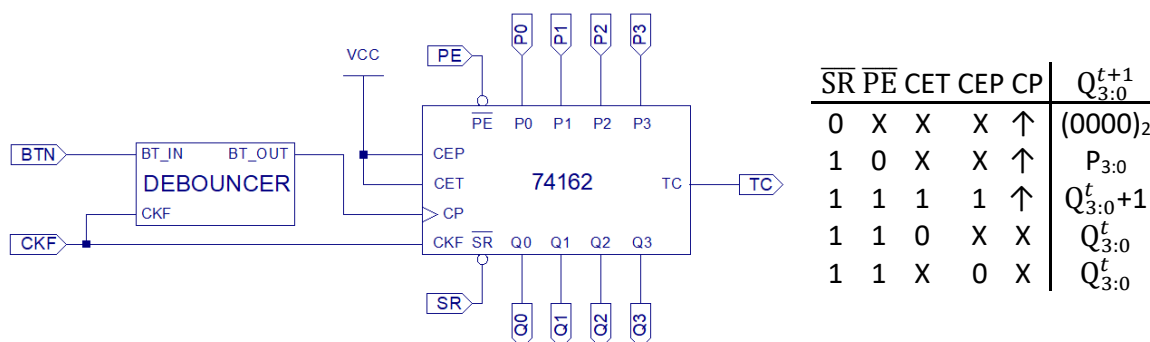


Figura 9. 9 Testarea numărătorului 74162 (stânga) și tabelul de adevăr (dreapta)

Pentru a activa modul de numărare directă este necesar ca semnalele CEP și CET să fie active ($\text{CEP}=\text{CET}=1$) și comenzile $\overline{\text{SR}}$ și $\overline{\text{PE}}$ să fie inactive ($\overline{\text{SR}} = \overline{\text{PE}} = 1$). Ieșirea TC (Terminal Count) semnalizează (prin $\text{TC}=1$) atingerea maximumului, când $Q_{3:0}=1001$ (Figura 9. 10). Funcționarea ieșirii TC este condiționată de activarea intrării CET, conform expresiei:

$$\text{TC} = Q_3 \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot Q_0 \cdot \text{CET} \quad (9.4)$$

Având în vedere faptul că se pot încărcă valori din afara buclei de numărare, circuitul este dotat cu un mecanism de *autocorecție sincronă*, astfel încât se revine în buclă, într-un număr de maxim 2 perioade de ceas.

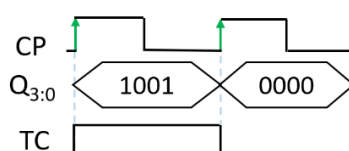


Figura 9. 10 Ieșirea TC indică atingerea valorii maxime la numărătorul 74162

9.2.7 Numărătorul binar sincron direct 74163

Numărătorul 74163 este asemănător cu 74162 din secțiunea anterioară, dar are bucla de numărare 0÷15. Conform simbolului din Figura 9. 11, denumirea pinilor diferă, însă păstrează funcționalitatea de la varianta zecimală, așa cum este descrisă în tabel.

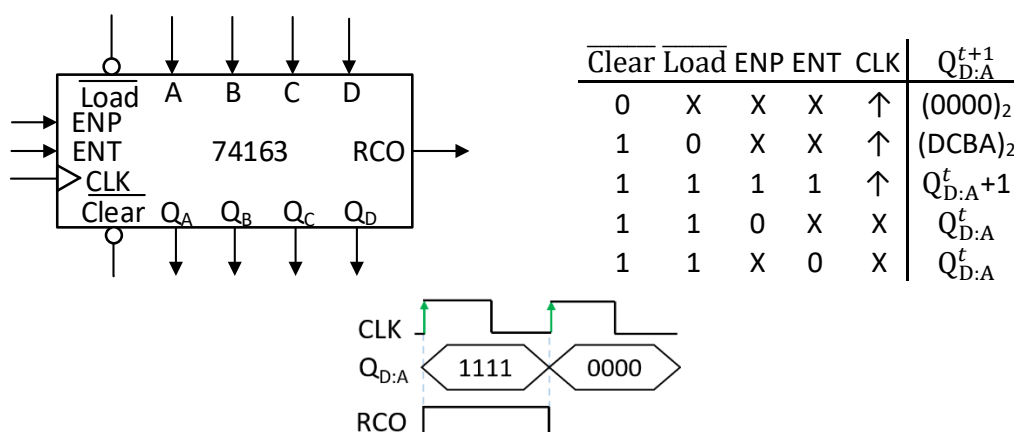


Figura 9. 11 Numărătorul 74163, tabelul de adevăr și semnalizarea limitei superioare

Comenzile $\overline{\text{Clear}}$ și $\overline{\text{Load}}$, funcționale în logica negativă, realizează reset sincron, respectiv încărcare sincronă cu valoarea binară $DCBA_2$. Ambele au prioritate față de modul de numărare directă, care este activ numai dacă $ENP=ENT=1$. Valoarea numărătorului este disponibilă pe ieșirile $Q_{D:A}$. Ieșirea RCO (Ripple Carry Output) semnalizează atingerea valorii maxime 15, conform diagramei de timp din Figura 9. 11, după formula:

$$RCO = Q_D \cdot Q_C \cdot Q_B \cdot Q_A \cdot ENT \quad (9.5)$$

9.3 Activități practice

1. Implementați pe placă numărătorul 74192. Testați comenzile de reset și încărcare paralelă, numărarea în ambele sensuri, autocorecția și semnalizarea limitelor buclei.
2. Implementați pe placă numărătorul 74162. Testați comenzile de reset și încărcare paralelă, numărarea, autocorecția și semnalizarea limitei buclei.
3. Implementați în Logisim numărătorul 74193. Testați comenzile de reset și încărcare paralelă, numărarea în ambele sensuri și semnalizarea limitelor buclei.
4. Implementați în Logisim numărătorul 74163. Testați comenzile de reset și încărcare paralelă, numărarea și semnalizarea limitei buclei.
5. Implementați în Logisim un numărător binar asincron direct, pe 3 biți, cu bistabile JK 7473. Testați bucla de numărare.
6. Implementați în Logisim un numărător binar sincron serie direct, pe 4 biți, cu bistabile JK 7473. Testați bucla de numărare.