

## 8 Circuite logice secvențiale – bistabile

### 8.1 Obiective

Se studiază circuitele basculante bistabile uzuale, implementarea lor cu porți logice fundamentale și funcționalitatea acestora sub acțiunea comenzilor primite pe semnalele de intrare. Se analizează efectul comenzilor asincrone și a celor sincrone pe nivel sau pe frontul semnalului de tact, precum și avantajele și dezavantajele care decurg din modul în care se realizează sincronizarea. Se studiază metoda de realizare a unui tip de bistabil cu un alt tip de bistabil și porți logice adiționale.

### 8.2 Considerații teoretice

Circuitele logice secvențiale sunt automate de ordinul 1, care prezintă o stare internă și ieșiri ce depind de această stare și de comenzile primite pe intrări. Din categoria circuitelor logice secvențiale fac parte circuitele basculante bistabile, numite pe scurt *bistabile*. Acestea sunt cele mai elementare structuri secvențiale, care au două stări distincte, reprezentate prin valorile 0 sau 1, așadar sunt capabile să memoreze 1 bit. Starea circuitului se poate menține oricât de mult, dar poate să se schimbe sub acțiunea comenzilor pe care circuitul le primește pe intrările sale. Bistabilul prezintă 2 ieșiri complementare, reprezentând starea internă și inversul ei.

În funcție de reacția la comenzile primite pe semnalele de intrare, bistabilele pot fi *asincrone* sau *sincrone*. Cele asincrone reacționează imediat la comenzile primite pe intrări, iar cele sincrone reacționează la momente bine determinate de un semnal de sincronizare numit *tact* sau *ceas*. Tactul este un semnal oscilatoriu între 0 și 1, care se repetă cu o perioadă  $T$  și are frecvența  $f=1/T$ . Bistabilele sincrone pot să prezinte și intrări de comandă asincrone, care au efect imediat și prioritar față de intrările sincrone și sunt folosite, în general, la inițializarea stării bistabilului cu valoarea 0 sau 1.

#### 8.2.1 Bistabilul RS asincron

Bistabilul RS asincron are 2 intrări de comandă asincrone: R (reset) și S (set). Funcționarea circuitului este prezentată în Tabelul 8. 1.

Tabelul 8. 1 Funcționarea RS asincron ( $Q^t$  = starea curentă,  $Q^{t+1}$  = starea viitoare)

S	R	$Q^{t+1}$
0	0	$Q^t$
0	1	0
1	0	1
1	1	*

Implementarea cu porți ȘI-NU se poate obține din expresiile în forma disjunctivă minimă (FDM) pentru ieșiri, aplicând dubla negație și relațiile lui De Morgan (Figura 8. 1). **Notă:** Funcționalitatea comenzilor **Sn**, **Rn** pentru circuitul obținut este în logica negativă.

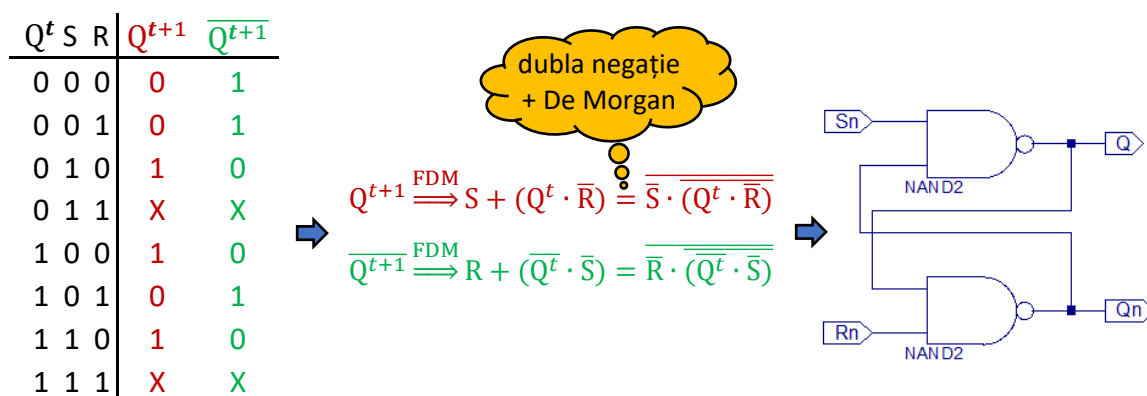


Figura 8. 1 Implementarea bistabilului RS asincron cu porți ȘI-NU ( $S_n = \overline{S}$ ,  $R_n = \overline{R}$ ,  $Q_n = \overline{Q}$ )

### 8.2.2 Bistabilul RS sincron

Bistabilul RS sincron prezintă semnalul de tact CLK și 2 intrări de comandă S, R, sincronizate cu semnalul de tact, în logica pozitivă. Efectul intrărilor este identic cu cel din Tabelul 8. 1, doar că se manifestă atunci când CLK=1. Implementarea cu porți ȘI-NU se obține prin extinderea variantei asincrone, conform schemei din Figura 8. 2.

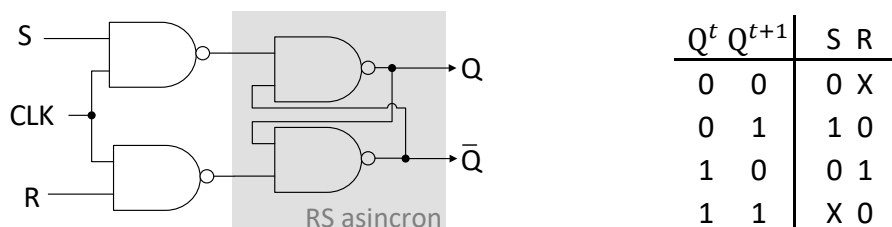


Figura 8. 2 Implementarea bistabilului RS sincron cu porți ȘI-NU (stânga) și tabelul de excitație al acestuia (dreapta)

Ținând cont de efectul comenzilor sincrone se poate deduce *tabelul de excitație*, redat în Figura 8. 2 – dreapta. Acesta precizează valorile care trebuie să fie pe intrările de comandă sincrone astfel încât să se obțină o anumită evoluție a stării bistabilului. Aceste valori se menționează pentru toate combinațiile posibile de stare curentă și stare viitoare. De exemplu, primul rând din tabel precizează faptul că dacă se dorește păstrarea stării curente  $Q^t=0$ , astfel încât  $Q^{t+1}=0$ , atunci trebuie ca  $S=0$  și  $R=X$  ( $R$  poate fi 0 sau 1). Conform rândului al 2-lea, pentru tranziția din  $Q^t=0$  în  $Q^{t+1}=1$ , trebuie ca  $S=0$  și  $R=1$ .

### 8.2.3 Bistabilul D (data/delay)

Bistabilul D are o intrare sincronă de comandă, denumită D. În momentul sincronizării cu semnalul de tact CLK starea bistabilului preia valoarea prezentă pe D. Simbolul bistabilului și implementarea cu porți ȘI-NU sunt prezentate în Figura 8. 3.

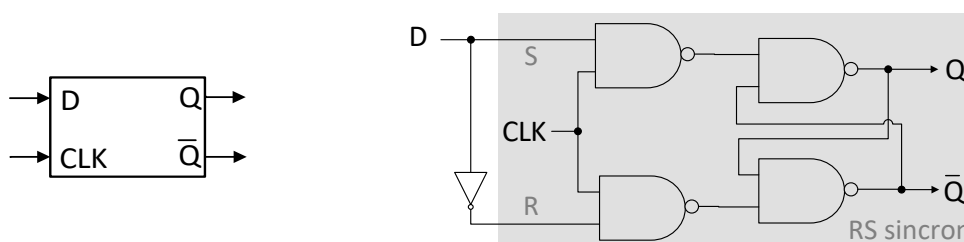


Figura 8. 3 Simbolul bistabilului D (stânga) și implementarea cu ȘI-NU (dreapta)

**Notă:** Un bistabil D se obține dintr-un bistabil RS sincron cu intrările  $S=D$  și  $R=\overline{D}$ .

Tabelele de adevăr și de excitație (Tabelul 8. 2) evidențiază relația  $Q^{t+1} = D$  dintre starea viitoare și intrarea D. Expresia poartă denumirea de *ecuația caracteristică*.

Tabelul 8. 2 Tabelele de adevăr (stânga) și de excitație (dreapta) ale bistabilului D

CLK	D	$Q^{t+1}$	$Q^t$	$Q^{t+1}$	D
0	X	$Q^t$	0	0	0
1	0	0	0	1	1
1	1	1	1	0	0
				1	1

Comportamentul bistabilului este evidențiat în diagrama de timp următoare. Intrarea D are efect cât timp CLK=1 – sincronizare pe *nivelul pozitiv* – și este blocată când CLK=0. Cele 2 intervale sunt marcate cu verde, respectiv roșu, în diagramă.

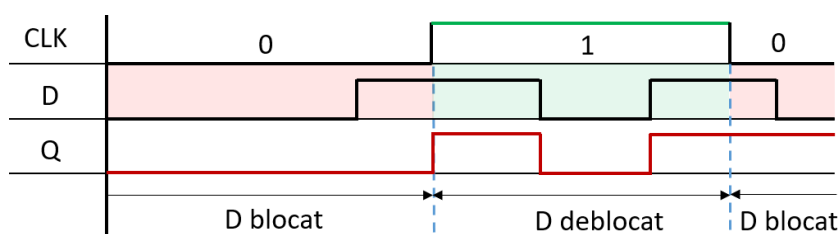


Figura 8. 4 Funcționarea bistabilului D cu sincronizare pe nivelul pozitiv

**Notă:** Există și varianta de bistabil D cu sincronizare pe *nivelul negativ*, efectul intrării D fiind valabil când CLK=0.

Circuitul TTL 7474 implementează bistabilul D cu 2 intrări asincrone suplimentare, de set ( $\overline{PR}$ ) și reset ( $\overline{CLR}$ ), funcționale în logica negativă. Comenzile  $\overline{PR}$  (preset) și  $\overline{CLR}$  (clear) au efect imediat și sunt prioritare intrării D. Când  $\overline{PR} = \overline{CLR} = 1$  (sunt inactive) intrarea D are efect pe *frontul ascendent* (rising edge). Frontul ascendent îl reprezintă comutarea semnalului CLK din 0 în 1. Bistabilele care sunt sincrone pe nivel mai poartă denumirea de *latch*, iar cele care comută pe front se mai numesc *flip-flop*. Funcționarea este prezentată în diagrama de timp din Figura 8. 5, care evidențiază efectul intrării D pe frontul ascendent, cu comutarea stării bistabilului, dacă este cazul, imediat după front.

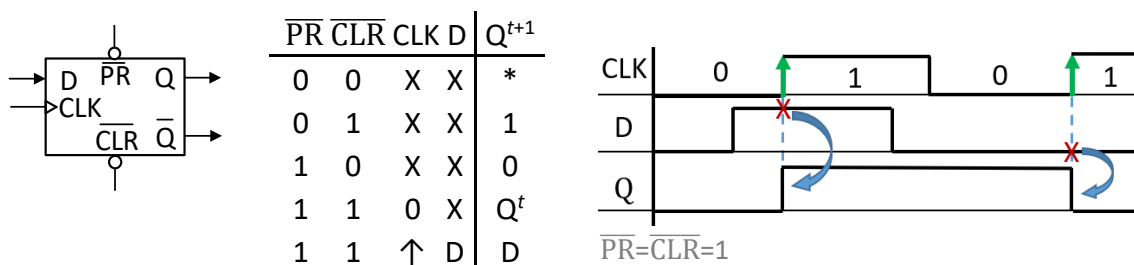


Figura 8. 5 Bistabilul D 7474 (stânga), tabelul de adevăr (mijloc) și sincronizarea pe frontul ascendent (dreapta)

**Observație:** În Project Navigator, în cadrul proiectului *ttl\_env*, toate circuitele TTL secvențiale TTL prezintă o intrare suplimentară denumită CKF (Clock-Fpga), care trebuie

conectată la semnalul de ceas al plăcii cu același nume. Pentru aceasta se va introduce în fișierul .ucf secțiunea legată de semnalul de ceas:

```
## Clock signal
NET "CKF" LOC = "E3" | IOSTANDARD = "LVCMOS33";
NET "CKF" TNM_NET = sys_clk_pin;
TIMESPEC TS_sys_clk_pin = PERIOD sys_clk_pin 100 MHz HIGH 50%;
```

**Important:** Pe plăcile de dezvoltare semnalul de ceas utilizator va fi generat cu ajutorul butoanelor. La fiecare apăsare și relaxare a acestora se pot genera mai multe impulsuri nedorite, în loc de unul singur, datorate uzării mecanice. Pentru eliminarea impulsurilor false este necesară utilizarea circuitului DEBOUNCER (Figura 8. 6), disponibil în librăria proiectului *ttl\_env*. Pe intrarea BT\_IN se aplică semnalul de la buton, iar pe ieșirea BT\_OUT se obține semnalul filtrat. Semnalul CKF se conectează la ceasul plăcii. Circuitul de test pentru bistabilul 7474 este prezentat în figura următoare:

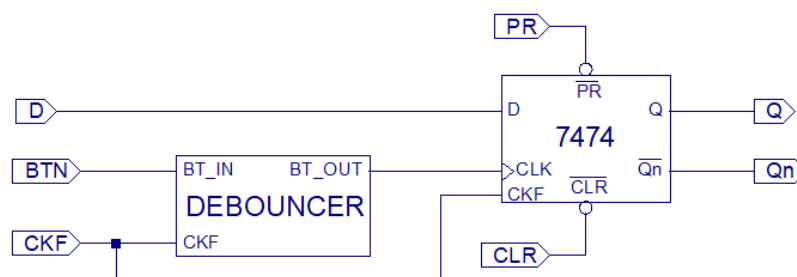


Figura 8. 6 Circuitul de test în Project Navigator pentru bistabilul 7474

În fișierul .ucf există o secțiune dedicată declarării butoanelor:

```
## Buttons
NET "BTN" LOC=N17 | IOSTANDARD=LVCMOS33; # center
```

În Logisim, semnalul CKF nu apare, fiind specific plăcilor FPGA, și nici folosirea unui DEBOUNCER nu este necesară, fiindcă simulatorul nu reproduce zgomotele mecanice.

**Notă:** Există și bistabile D cu sincronizare pe *frontul descendent* (falling edge), la comutarea CLK din 1 în 0. Soluțiile de implementare a bistabilelor cu comutare pe front variază. O posibilitate de implementare a bistabilului D flip-flop cu sincronizare pe frontul descendent este prin conectarea, în configurație *master-slave*, a două bistabile RS cu sincronizare pe nivel. Intrarea D este conectată la bistabilul master, iar ieșirea Q provine de la bistabilul slave. Ieșirile bistabilului master sunt conectate la intrările bistabilului slave. Figura 8. 7 prezintă implementarea cu porți ȘI-NU a bistabilului D master-slave. Semnalul CLK este conectat direct la master și inversat la slave, ceea ce provoacă o comutare alternativă, în timp, a bistabilelor. **Funcționare:** O comandă aplicată pe intrarea D are efect asupra bistabilului master dacă CLK=1, dar nu se va propaga pe bistabilul slave, decât după ce CLK=0. Efectul apare imediat după frontul descendent. Diagrama de timp din Figura 8. 8 prezintă propagarea semnalelor în funcție de valoarea semnalului CLK și scoate în evidență alternanța perioadelor de blocare și deblocare. Se observă că intrarea D activată înainte de frontul descendent are efect pe ieșirea Q imediat după front.

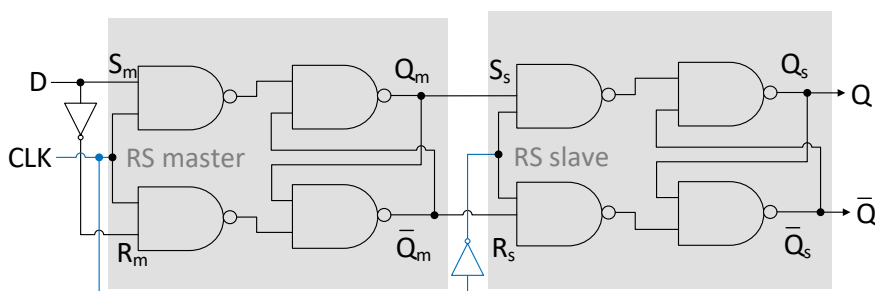


Figura 8. 7 Bistabilul D master-slave implementat cu porți ȘI-NU

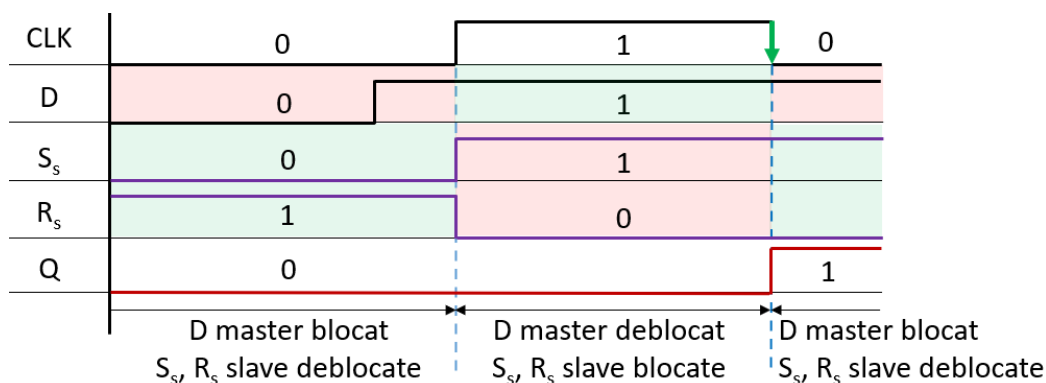


Figura 8. 8 Funcționarea în timp a bistabilului D master-slave

### 8.2.4 Bistabilul JK

Bistabilul JK prezintă intrările sincrone J și K, și are funcționalitatea bistabilul RS sincron ( $J \approx S$ ,  $K \approx R$ ), cu deosebirea că dacă  $J=K=1$ , starea bistabilului se inversează. Tabelele de adevăr și de excitație sunt următoarele:

Tabelul 8. 3 Tabelele de adevăr (stânga) și de excitație (dreapta) ale bistabilului JK

CLK	J	K	$Q^{t+1}$	$Q^t$	$Q^{t+1}$	J	K
0	X	X	$Q^t$	0	0	0	X
1	0	0	$Q^t$	0	1	1	X
1	0	1	0	1	0	X	1
1	1	0	1	1	1	X	0
1	1	1	$\overline{Q^t}$				

Implementarea variantei latch cu porți ȘI-NU presupune extinderea bistabilului RS sincron cu expresiile:  $S = \overline{Q^t} \cdot J$  și  $R = Q^t \cdot K$  (Figura 8. 9 – stânga). Porțile ȘI se pot contopi cu porțile ȘI-NU, și se obține un circuit cu 2 niveluri logice (Figura 8. 9 – dreapta).

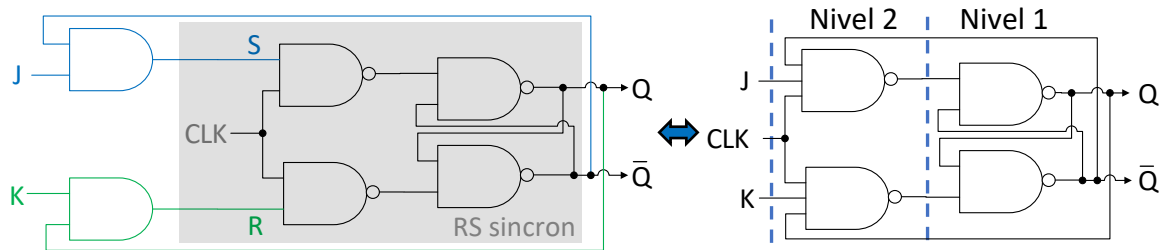


Figura 8. 9 Bistabilul JK latch implementat cu porți logice

În varianta master-slave bistabilul JK este sincron pe frontul descendent și presupune conectarea reacțiilor de la ieșirile bistabilului slave pe intrările bistabilului master, ca în Figura 8. 10.

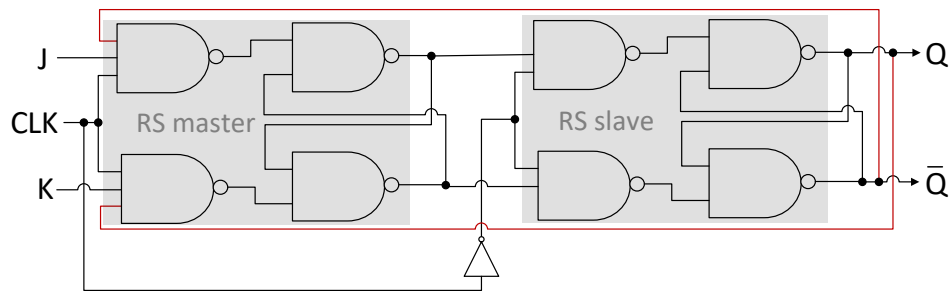


Figura 8. 10 Bistabilului JK master-slave implementat cu porți ȘI-NU

Avantajul sincronizării pe front îl reprezintă faptul că, atunci când  $J=K=1$ , are loc singură comutare în decursul unei perioade de tact, la momentul frontului (Figura 8. 11). La sincronizarea pe nivel pot avea loc mai multe comutări, în funcție de durata perioadei de ceas, ceea ce introduce o situație de incertitudine și limitări de utilizare.

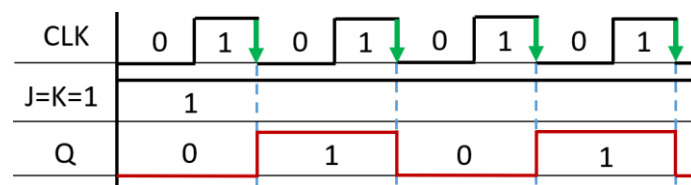


Figura 8. 11 Bistabilul JK master-slave comută o singură dată în decursul unei perioade

Circuitele 7473 și 7476 implementează bistabile JK master-slave. Bistabilul JK 7473 are o intrare asincronă de reset  $\overline{CLR}$  (clear), iar JK 7476 are o intrare asincronă de reset  $\overline{CLR}$  (clear) și una de set  $\overline{PR}$  (preset). Intrările asincrone sunt funcționale în logica negativă și prioritare față de cele sincrone. Circuitele sunt prezentate în Figura 8. 12.

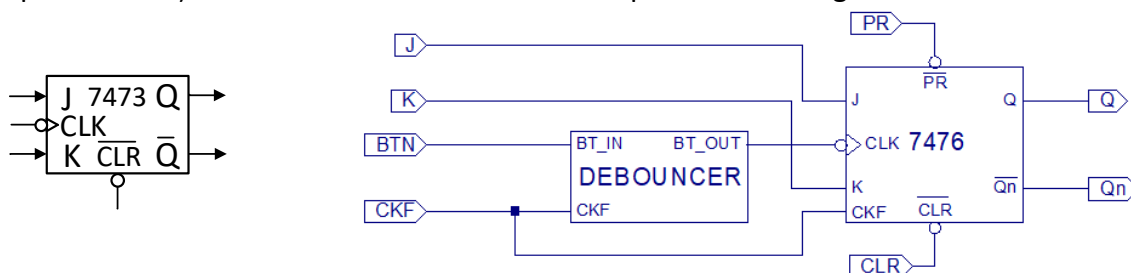


Figura 8. 12 Simbolul JK 7473 (stânga) și circuitul de test pentru JK 7476 (dreapta)

### 8.2.5 Bistabilul T (toggle)

Bistabilul T are o singură intrare sincronă, denumită T. Dacă  $T=0$  bistabilul își menține starea curentă, iar dacă  $T=1$  bistabilul își inversează starea (toggling). Bistabilul T există atât în varianta latch cât și flip-flop. În Figura 8. 13 este prezentat bistabilul în varianta flip-flop cu sincronizare pe frontul descendent. Din tabelul de adevăr reiese *ecuația caracteristică*:  $Q^{t+1} = T \oplus Q^t$ . Comportamentul său este identic cu al unui bistabil JK, ale cărui intrări de comandă sunt conectate la semnalul T. În Figura 8. 13 – dreapta este prezentată implementarea cu un bistabil JK 7476.

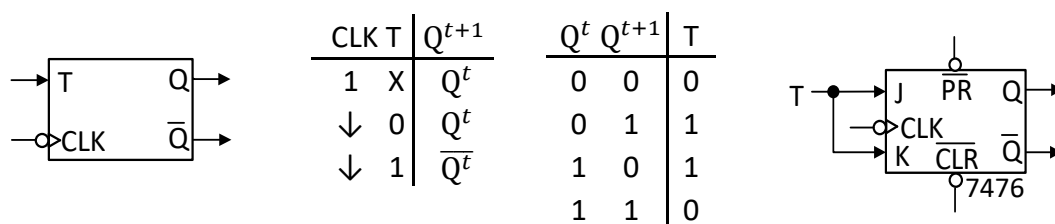


Figura 8. 13 Bistabilul T flip-flop sincron pe frontul descendent (stânga), tabelele de adevăr și de excitație (mijloc) și implementarea cu un bistabil JK 7476 (dreapta)

### 8.2.6 Implementarea unui bistabil folosind un alt bistabil

Atunci când se dorește implementarea unui bistabil de tip A cu un bistabil de tip B se utilizează tabelele de excitație ale acestora, astfel:

1. Se asociază perechile pentru care stările curentă și următoare ( $Q^t, Q^{t+1}$ ) sunt identice și se creează un tabel de adevăr în care starea curentă  $Q^t$  și intrările bistabilului de tip A apar în partea stângă. În partea dreaptă apar doar intrările bistabilului de tip B.
2. Din tabelul de adevăr se determină expresiile intrărilor bistabilului B.

Exemple de implementare a unui bistabil cu un alt tip de bistabil:

#### a) Implementarea D cu JK

Implementarea unui bistabil D cu JK folosește tabelele de excitație ale lui D și JK:

$Q^t$	$Q^{t+1}$	D	$Q^t$	$Q^{t+1}$	J	K
0	0	0	0	0	0	X
0	1	1	0	1	1	X
1	0	0	1	0	X	1
1	1	1	1	1	X	0

Prin împerecherea perechilor ( $Q^t, Q^{t+1}$ ) comune în cele 2 tabele de excitație se obține tabelul de adevăr de mai jos, care exprimă intrările J, K în funcție de starea  $Q^t$  și intrarea D. Prin minimizare la Forma Disjunctivă Minimă cu diagrame Karnaugh se obțin expresiile intrărilor bistabilului JK:  $J = D$  și  $K = \overline{D}$ . Implementarea corespunzătoare acestor expresii este prezentată în Figura 8. 14.

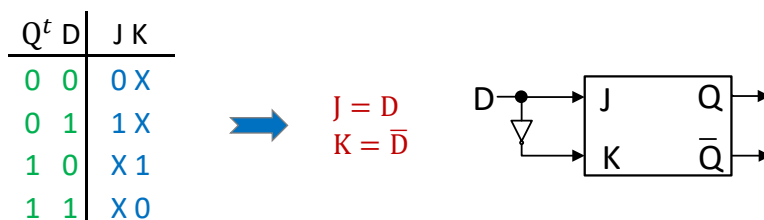


Figura 8. 14 Tabelul de adevăr pentru intrările J, K și implementarea bistabilului D cu JK

#### b) Implementarea D cu T

În acest caz se folosesc tabelele de excitație ale lui D și T din care reiese tabelul de adevăr pentru intrarea T și expresia acestuia pe baza căreia se realizează schema logică:

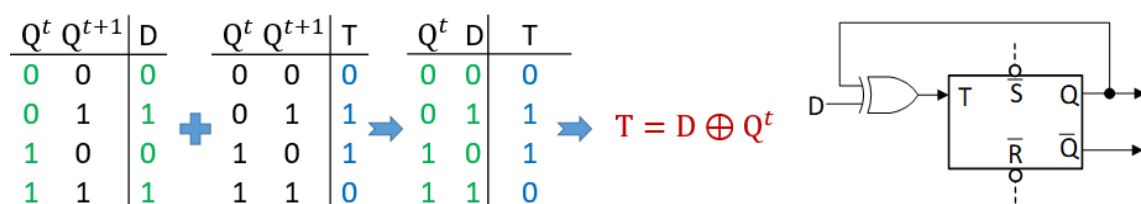


Figura 8. 15 Implementarea bistabilului D cu bistabilul T – pași de rezolvare

## c) Implementarea T cu JK

Pe baza tabelului de excitație ale lui T și JK se generează tabelul de adevăr pentru intrările J și K din care se deduc expresiile logice ale acestora și circuitul rezultat:

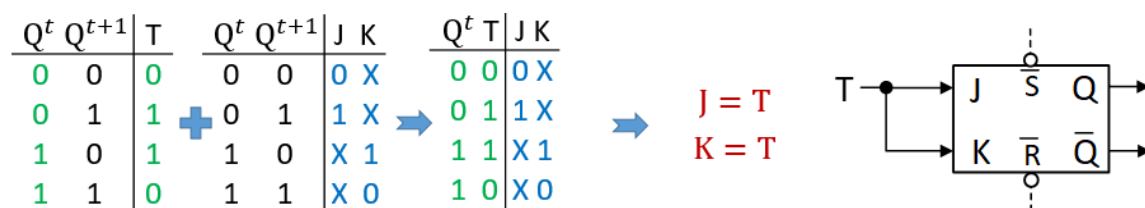


Figura 8. 16 Implementarea bistabilului T cu bistabilul JK – pași de rezolvare

## 8.3 Activități practice

1. Implementați cu porți ȘI-NU și testați pe placă bistabilul RS asincron.
2. Implementați pe placă bistabilul D 7474. Testați comenzile sincrone și asincrone.
3. Implementați pe placă bistabilul JK 7476. Testați comenzile sincrone și asincrone.
4. Implementați cu porți ȘI-NU și testați în Logisim bistabilul RS sincron.
5. Implementați în Logisim un bistabil T folosind bistabilul JK 7476. Testați comenzile sincrone și asincrone.
6. Implementați în Logisim bistabilul JK 7473. Testați comenzile sincrone și asincrone.
7. Implementați în Logisim un bistabil JK folosind bistabilul D 7474. Inactivați comenzile asincrone prin conectare la VCC și testați comenzile sincrone.