## Chapter 19. DDR

**19.1 DDR模块简介**

DDR模块包括总线接口、DDR控制器和DDR高速接口（PHY），以实现各主模块通过总线访问DDR存储颗粒的功能。

**19.2 模块框图**

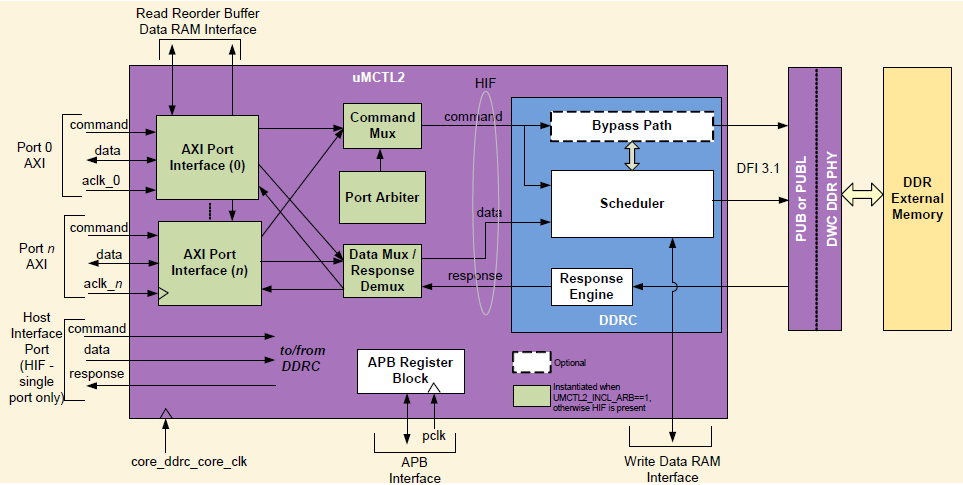


Fig. 19.1 DDR模块框图

* 1. **特性**
* 支持的DDR颗粒类型  
  ■ DDR4

■ DDR3/DDR3L/DDR3U

■ DDR2

■ LPDDR3

■ LPDDR2

* 支持的DDR速率

■ DDR4最高支持2400Mbps

■ DDR3最高支持2133Mbps

■ DDR3L 最高支持1866Mbps

■ LPDDR3 最高支持2133Mbps

■ LPDDR2 最高支持1066Mbps

* 总线特性

■ AXI总线

■ 6个AXI主设备接口

* DDR颗粒数据位宽

■ 全带宽模式下为64位

■ 半带宽模式下为32位

■ 四分之一带宽模式下为16位

* 错误检查和纠正（ECC）

■ 支持全带宽模式下的ECC功能

■ 支持一位错误自动纠正功能

■ 支持两位及以上错误报错功能

* 支持拓展时钟（SSC）功能