## Chapter 1. PCI Express

## （Peripheral Component Interconnect Express）

**1.1 PCIe模块概述**

Sirius项目中的PCIe模块通过两个AXI Slave端口和一个AXI master端口与片上网络进行通信。其中一个AXI Slave端口为配置端口，CPU可以通过这个端口对PCIe进行配置。另一个AXI Slave端口为数据端口，CPU或者DMA通过这个端口对PCIe进行数据访存。另外，PCIe内部也有DMA可以通过AXI Master端口与片上网络进行数据通信。此款PCIe可以作为RC（Root Complex）来连接各类PCIe设备，也可以作为EP（Endpoint）挂载到其他RC上。Sirius项目中PCIe采用V2.0总线规范，具有两条链路，峰值带宽可以达到10Gbps.

**1.2 框架图**

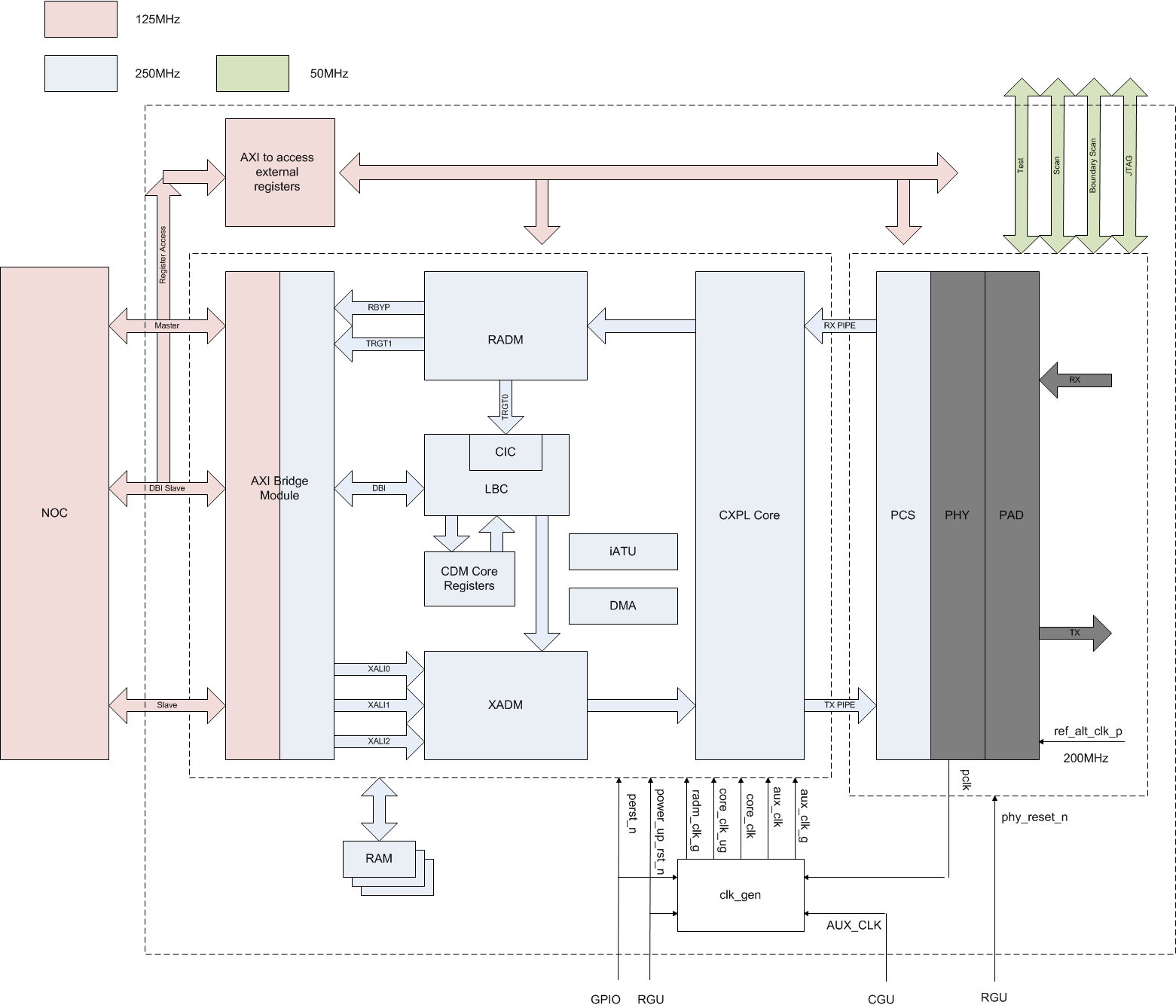


图 1.1 PCIe框架图

PCIe模块主要包括三部分：AXI总线接口、PCIe控制器以及PCIe高速接口（PHY），如图1.1所示。

**1.3 特征**

* 以下为Sirius项目中PCIe的特征：  
  ■ 支持PCIe V2.0 总线规范中的所有必要功能。  
  ■ 支持两条链路，兼容V1.1总线规范。  
  ■ 控制器为32比特内部数据宽度，工作频率125MHz或250MHz。  
  ■ 优化功耗和时钟管理。

■ 支持数据访问地址转换。   
 ■ 内置MSI-X模块。

■ 支持AXI4标准接口。

■ 内置两个DMA模块。

■ 支持自动链路翻转。

■ 支持三路应用发送端。

■ 支持TYPE0、TYPE1配置空间。

■ 支持PHY寄存器访问。