**TOP to DOWN:**

**TB结构；**



1. apb\_cfg：local配置register, 在TB中配置；
2. video\_tx: 在TX TOP中配置下列参数：

video\_frame\_lw/

video\_line\_frame\_blk/

data\_type/

video\_start/

HSD/HBP/VSYNC\_DLY在各自的GEN模块中配置；

VIDEO\_IF ARCH

ARCH:



1, REG\_BANK

10’h000 -- 10’h02C: MIPI相关寄存器；

10’h050 -- 10’h078: ISP相关寄存器；

2, RSTN\_GEN

main\_rstn产生，同步到各时钟域;

<异步复位同步释放结构保证同步没有问题>

3,video\_ram

1024x64x2 <位拼接而成>

4, video2sync

<Hsync, Vsync, Data\_vld, Pix\_data>

<Hsync, Vsync>由低频到高频，同步没有问题；

5，VIDEO\_INIT;

已放在VIDEO2SYNC模块内

VIDEO\_ISPIF



wr\_ctrl: mux选择FR\_LEN&&{pixen, pixdata};

为支持conner case，设置一小FIFO，存储两笔数据；

ISP\_FR\_LEN和RAM\_DEPTH< 寄存器配置>

Wr\_addr由wr\_en信号计数产生；

Wr\_data: 00在LSB;

基本正常！

RAM\_CTRL：

WR/ADDR/DATA MUX

ISP\_RD\_CTRL

DVPIF

支持单沿和双沿及双DVP接口的合并；

单沿采用上升沿，双沿采用下降沿，时钟的balance和MUX在VIDEO\_IF外面处理后输入；

数据COMB成32bit后输出，[Y, U, Y, V], 假设DVP的分辨率为双数；

dvp\_mode: 00: 单沿独立， cnt[1:0] ==2’b11时输出；

dvp\_mode: 01: 单沿MERGE, cnt[0] == 1’b1时输出；

dvp\_mode: 10: 双沿独立， cnt[0] == 1’b1时输出；

dvp\_mode: 11: 双沿MERGE, 下降沿时输出；

从PAD过来的数据sync一拍，HSYNC,VSYNC;

Pixen没有同步，MUX后使用；？？？