

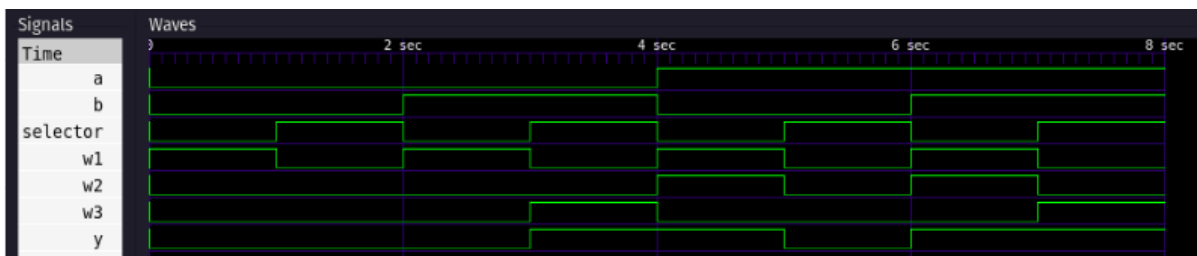
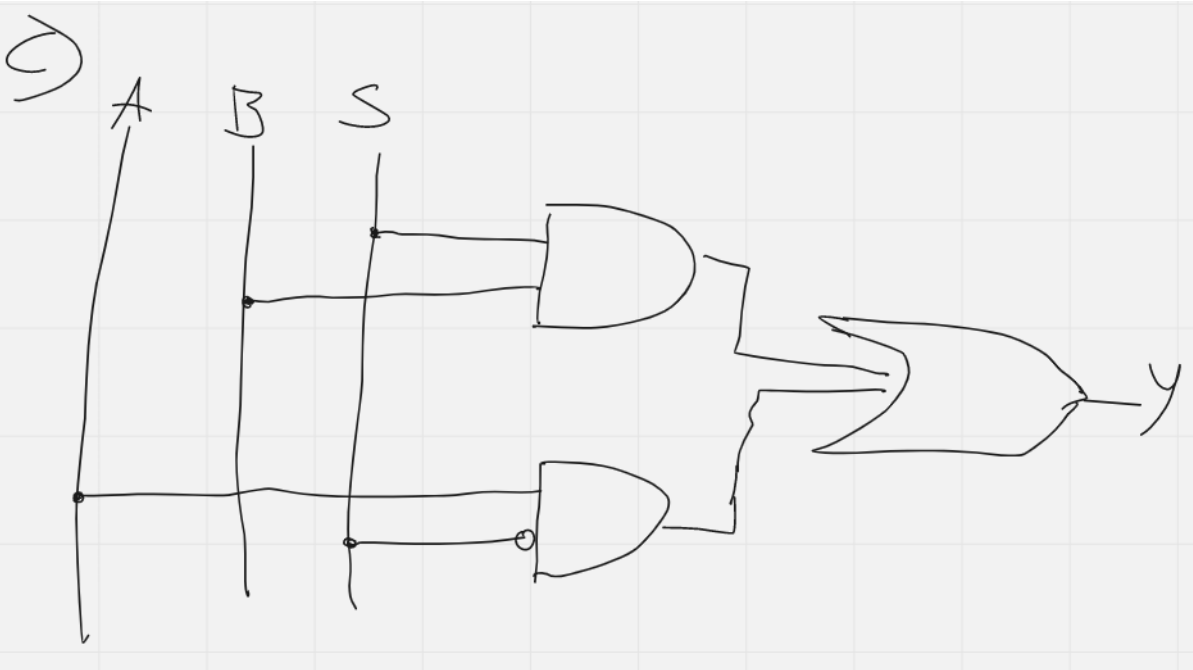
**Question 1. Design a Multiplexer 2:1 (structural using Verilog gates):** a) write the truth table, b) write the K-map and the minimal form using it, c) draw the circuit schematic c) write the Verilog code for the design and testbench, d) draw the mux waveform and explain the signal behavior obtained with Vivado.

a)

A	B	S	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

b)

S \ AB	00	01	11	10
0	0	0	1	1
1	0	1	1	0

$$Y = S \cdot B + \bar{S} \cdot A$$


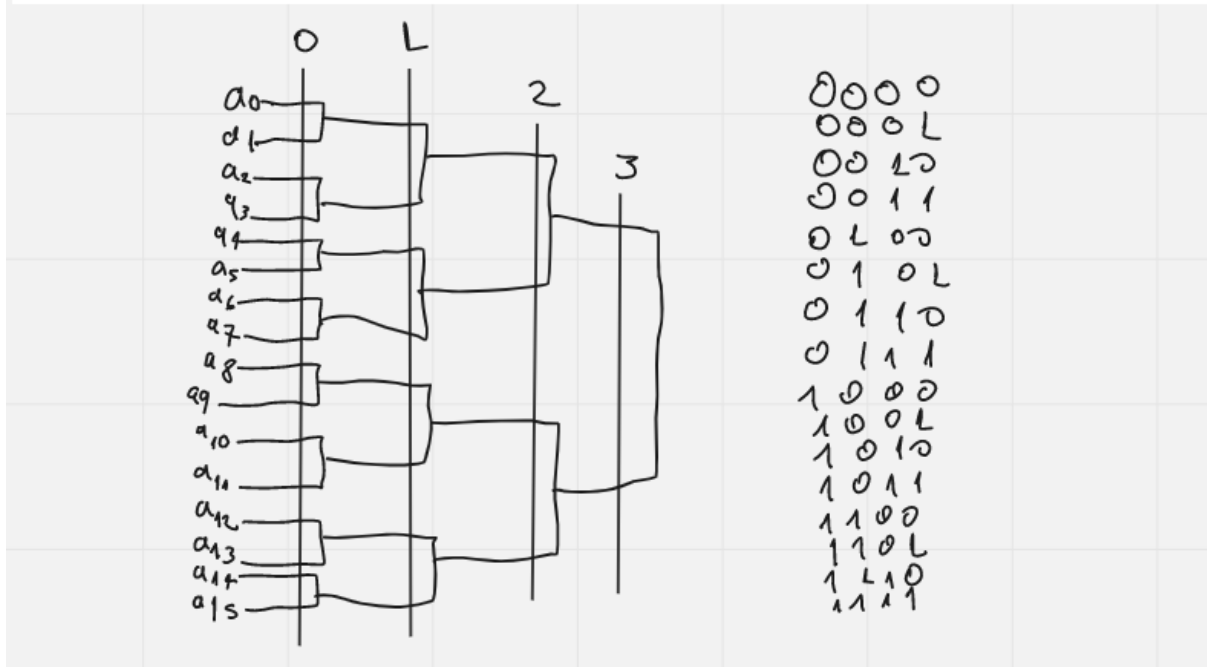
El input "a" y "b" siguen el comportamiento de la tabla de verdad. El selector va intercalando de 0 y 1, porque así se especificó en el testbench. Por otro lado el cable w1, debido a que es su complemento del input "selector" se quedará inverso, el cable w2 es el output del and entre a y w1; el cable w3 es el and entre b y w1. Cabe destacar w2 y w3 nunca serán 1 al mismo tiempo. Por otro lado "y" modela el resultado de la tabla de verdad.

## PREGUNTA 2

b) El análisis es el mismo del primer ejercicio.

## PREGUNTA 3

**Question 3. Design a Multiplexer 16:1 using Mux 2:1 (behavioral) with 16 bit inputs. Report all the relevant information as previous items and test using Vivado.**



Las preguntas que faltan no las pude hacer, porque no tengo vivado.