

**Instituto Tecnológico de Costa Rica**

**Área Académica de Ingeniería en Computadores**

(Computer Engineering Academic Area)

**Programa de Licenciatura en Ingeniería en Computadores**

(Licentiate Degree Program in Computer Engineering)

**Curso: CE5302- Proyecto de Diseño de Ingeniería en Computadores**

(Course: CE5302 Computer Engineering Design Project)



**Plan de Proyecto: Herramienta de perfilado para obtención de estadísticas de tiempos de ejecución en un procesador basado en RISC V**

(Project Plan: Profiling Tool for obtaining statistics of execution times on a processor based on RISC-V)

**Realizado por:**

(Made by:)

**Arturo Salas Delgado, 201229804**

**Profesor:**

(Professor)

**Gustavo Cubas Euceda**

**Fecha: Cartago, 23 de Febrero, 2018**

(Date: Cartago, February 23, 2018)

- **Nombre del proyecto**

Herramienta de perfilado para obtención de estadísticas de tiempos de ejecución en un procesador basado en RISC V.

- **Institución donde se realiza el proyecto**

Instituto Tecnológico de Costa Rica. Laboratorio de Diseño de Circuitos Integrados (DCILAB) en conjunto con el Laboratorio de Computación de Alto Rendimiento (HPCLAB). Escuela de Ingeniería Electrónica.

- **Requerimientos de confidencialidad**

No aplica para este proyecto.

- **Descripción del problema**

Investigadores y estudiantes de la escuela de Ingeniería Electrónica, junto con las áreas de Ingeniería en Computadores e Ingeniería en Mecatrónica, colaboran con científicos del Departamento de Neurociencia del Centro Médico Erasmus, en Rotterdam, Países Bajos, para el desarrollo de dispositivos electrónicos que apoyen la creación de sustitutos para zonas dañadas del cerebro humano.

Es por esto que los ingenieros involucrados trabajan para la resolución de múltiples problemas en la utilización de dispositivos de hardware que emulen el proceso cognitivo. Se utilizan FPGAs (Field Programmable Gate Array) para la creación de distintos bloques de hardware, de manera personalizada, para la realización de tareas complejas. De acá surge la necesidad de la creación de un nuevo procesador basado en la arquitectura RISC V para la ejecución de programas escritos en código C estándar.

Consigo, los diseños de arquitecturas de procesadores y los ISAs (Instruction Set Architecture) en su mayoría son de carácter privativo y es necesario de un pago monetario para poder ser utilizados. En el año 2010 se comenzó con una iniciativa OpenSource que consiste en el desarrollo de un ISA, para que la persona que lo desee lo pueda utilizar con fines ingenieriles; esta herramienta fue llamada con el nombre de RISC V.

El conjunto de Instrucciones de RISC V a pesar de ser OpenSource, tener herramientas para la compilación de código y de varios simuladores, no cuenta con hardware libre para obtener estadísticas o perfilados sobre algún procesador con dicha arquitectura, es por esto que se ve en la necesidad de emplear conocimientos ingenieriles para el desarrollo de esta nueva herramienta de perfilado basada en la arquitectura RISC V.

En general, este proyecto busca brindar una herramienta sencilla para la generación de estadísticas de tiempos de ejecución para una microarquitectura predefinida y para brindar una mejora en su rendimiento mediante la optimización del uso de instrucciones de tipo flotante al momento de utilizar un conjunto de instrucciones RISC V.

- **Objetivo general**

- ❖ Diseñar una herramienta de perfilado para un microprocesador basado en el set de instrucciones RISC V.

- **Objetivos específicos**

- ❖ Generar código binario basado en RISC V para una arquitectura *baremetal* a partir de un código en C estándar.
- ❖ Implementar una sustitución de las rutinas para el manejo de instrucciones en punto flotante de manera que se optimice el rendimiento en hardware cuando se utiliza un conjunto de instrucciones RISC V.
- ❖ Evaluar el rendimiento de un procesador con una arquitectura predefinida basada en RISC V versión RV32I (de solamente coma fija) en función de las características dadas con respecto a la versión RV32IMAFDC (coma fija y coma flotante).

- **Interesados/Organigrama de las personas involucradas en el proyecto**

El proyecto de diseño de una herramienta de perfilado para una arquitectura de hardware basada en RISC V es parte de una investigación académica en el Tecnológico de Costa Rica, específicamente en el Laboratorio de Diseño de Circuitos Integrados (DCILAB) en conjunto con el Laboratorio de Computación de Alto Rendimiento (HPCLAB), que son parte de la escuela de Ingeniería Electrónica.

Debido a que es parte de una universidad, el proyecto va a requerir de múltiples facultades que tendrán un papel administrativo. Por ejemplo, para la utilización del equipo requerido para el cumplimiento de los objetivos, el espacio de trabajo, personal de cooperación, entre otros.

Para esta herramienta se deberá de crear suficiente documentación para que el proyecto sea considerado como una investigación y en algún momento pueda ser continuado por otras personas referentes al Tecnológico de Costa Rica o entes externos a la misma, de esta manera poder mostrar resultados que puedan ser base de nuevas investigaciones.

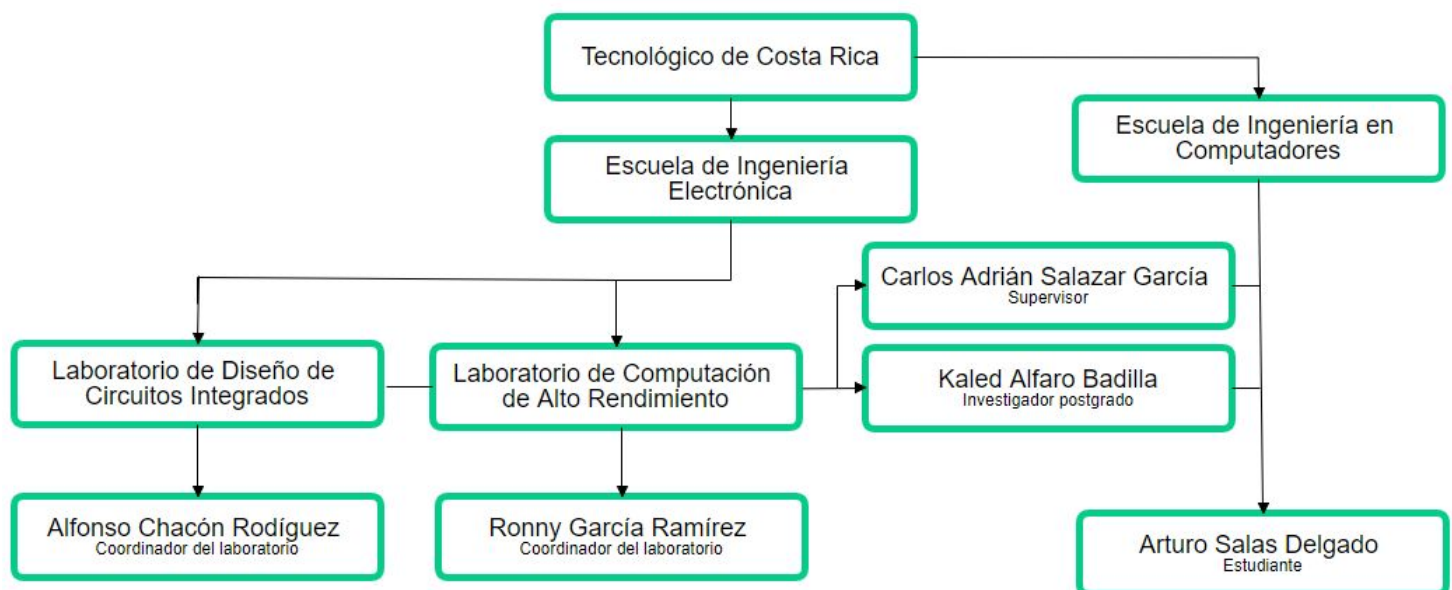
A continuación, se muestra una tabla con los interesados y su relación con el proyecto:

| Interesado                | Relación  |
|---------------------------|---|
| Tecnológico de Costa Rica | Universidad donde se estará llevando a cabo el desarrollo del proyecto.   |
| Arturo Salas Delgado      | Encargado de la generación del código binario basado en C estándar, de la herramienta de estadísticas y de implementar una estrategia para el manejo de instrucciones en punto flotante para una arquitectura RISC V. |

|  |   |
|--|---|
| Carlos Adrián Salazar García                   | Supervisor del proyecto.  |
| Escuela de Ingeniería Electrónica              | Escuela donde se encuentran ubicados los laboratorios en donde se trabaja.  |
| Escuela de Ingeniería en Computadores          | Área académica que recibirá el proyecto terminado.  |
| Laboratorio de Diseño de Circuitos Integrados  | Lugar afín al HPCLab para la implementación del proyecto.   |
| Laboratorio de Computación de Alto Rendimiento | Lugar donde se realiza la implementación del proyecto.  |
| Ronny García Ramírez                           | Coordinador del HPCLab.   |
| Alfonso Chacón Rodríguez                       | Profesor de la escuela de Ingeniería Electrónica, coordinador del DCILab y coordinador del proyecto de investigación. |
| Kaled Alfaro Badilla                           | Investigador postgrado en el proyecto de investigación.   |

**Tabla 1.** Lista de interesados en el proyecto y su relación con el mismo

El organigrama de los interesados y personas involucradas en el proyecto es el que se muestra a continuación:



**Figura 1.** Organigrama de interesados en el proyecto

- **Descripción de la solución**

La solución del problema mencionado anteriormente consta de la generación de código binario basado en la arquitectura RISC V, su optimización y la generación de estadísticas.

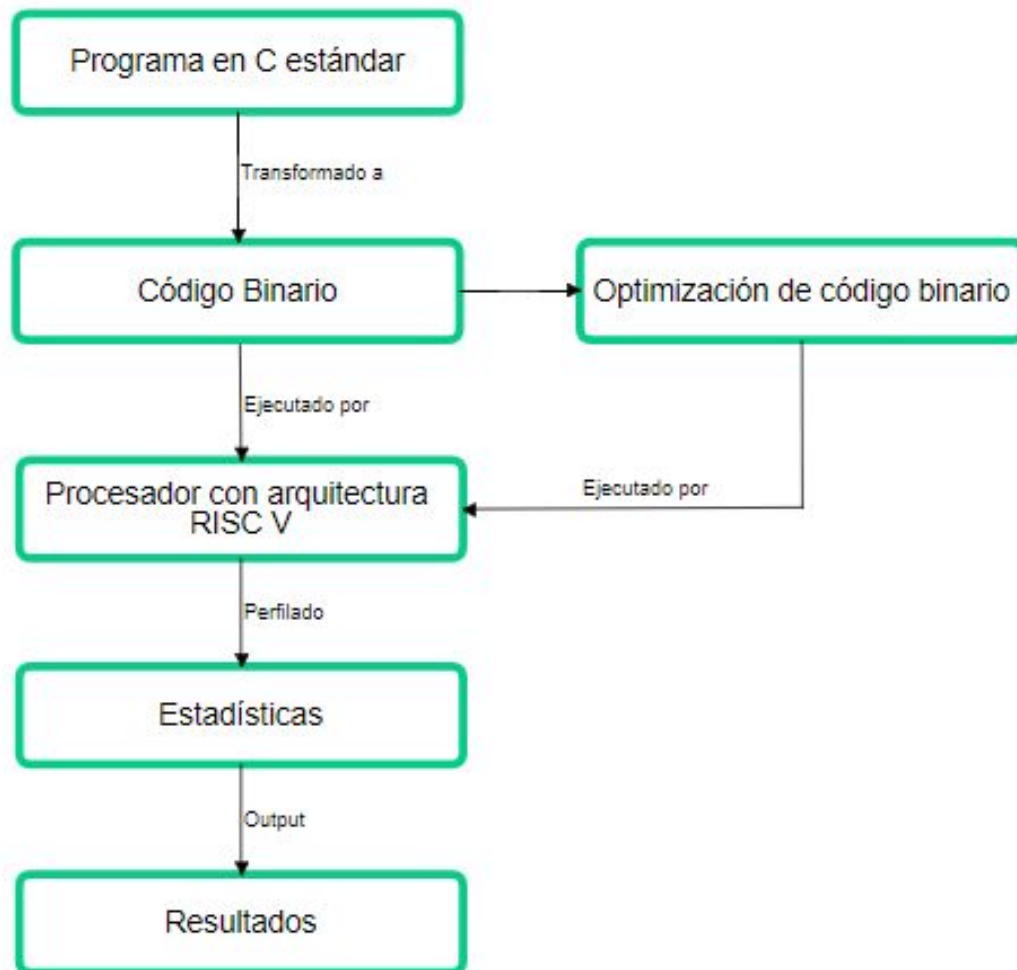
Para un correcto desarrollo de este proyecto se ve necesario su división en tres etapas principales:

1. Se va tener un código programado en C estándar con instrucciones aritméticas básicas. A partir de este código en C se debe de generar su similar en código binario basado en la arquitectura RISC V.
2. Diseñar e implementar una herramienta de perfilado que va a depender de dos aspectos principales: del código binario que se genera en la etapa anterior y de un archivo de configuración con la especificación del microprocesador a la medida basado en el mismo código en C creado en el primer proyecto.

Una vez que se tienen ambas partes, se procede al diseño de una herramienta capaz de obtener el tiempo de ejecución del binario sobre la arquitectura de hardware predefinida, para así obtener conclusiones sobre su rendimiento.

3. La utilización de instrucciones en punto flotante para la arquitectura RISC V puede traer consigo inconvenientes de compilación, ya que se realiza de manera no optimizada. Es por esto que se debe de definir una estrategia de soporte para estas instrucciones de la primera etapa mencionada anteriormente.

En el siguiente diagrama se muestran las etapas de elaboración de la herramienta de perfilado.



**Figura 2.** Proceso de elaboración del proyecto

- **Entregables y criterios de aceptación**

- ❖ Documento de requerimientos: en este documento se incorpora la declaración oficial de lo que se debe implementar para el desarrollo de la herramienta de perfilado. Se incluye una especificación de su alcance, los requerimientos funcionales y no funcionales del sistema y sus dependencias.
- ❖ Documento de diseño: en este documento se encuentra la justificación de todas las decisiones que se tomarán en el transcurso del desarrollo del proyecto, así como una explicación de todos sus módulos y su funcionamiento.
- ❖ Plan de pruebas y resultados de las pruebas: una vez que el la implementación del proyecto ha finalizado, se procede a un conjunto de pruebas de software, hardware y de usuario que deben de ser documentados de manera formal. Este plan ayuda a encontrar posibles errores en el sistema para ser corregidos.
- ❖ *Software*: en esta parte se incluye el código fuente y los archivos ejecutables relacionados con la implementación de la herramienta de perfilado. Es importante recalcar que debe de llevar documentación interna en su totalidad.

- ❖ Módulos de *hardware*: es un conjunto de las partes de hardware de la implementación del proyecto, donde se incluye el código de descripción de hardware del procesador basado en RISC V implementado.
- ❖ Artículo científico: este es un documento de carácter científico basado en las normas establecidas por la IEEE en donde se explica el problema, la solución y así como los resultados obtenidos del diseño e implementación de la herramienta de perfilado.
- ❖ Manual de Usuario: este documento contiene una guía completa de cómo usar la herramienta de perfilado, las configuraciones que serán necesarias para su correcto funcionamiento y los comandos en linux para la instalación de herramientas previas a su uso.

- **Análisis de riesgos**

En esta sección se muestra un análisis de riesgos referentes al desarrollo del proyecto. Se muestra detallado en los siguientes puntos:

- ❖ Riesgos personales: al estar en el desarrollo del proyecto combinado con 27 horas laborales, se debe de ver como un riesgo, debido a las múltiples responsabilidades involucradas. Es importante tomar en cuenta que además de las horas laborales, a veces surge la necesidad de realizar reuniones nocturnas, que pueden poner en peligro el continuo avance de la herramienta de perfilado. Esto explicado anteriormente contiene un riesgo estimado de 0.1, valor que debe ser mitigado con una correcta organización de los deberes.
- ❖ Riesgos en las herramientas:
  - Compilador RISC V: al ser necesario la utilización de un compilador existente para la arquitectura necesaria, va a ser presente un riesgo que no se trabaje sobre la misma versión o de que no exista el soporte correspondiente para las instrucciones que serán usadas de dicho ISA, por lo que podría ocasionar algunos problemas con la generación del código binario basado en RISC V. Esto contiene un riesgo estimado del 0.15, valor que debe ser mitigado con múltiples horas de investigación y trabajo constante.
- ❖ Riesgos en los procesos:
  - Integración: Debido a que el proyecto debe integrarse con un procesador que ya existe, es importante tener conocimiento de esa arquitectura. Esto contiene un riesgo estimado de 0.05 debido a que la integración requiere de conocimiento previo. Para mitigar este valor se estiman 15 horas ingeniería para solucionar posibles riesgos.

- **Actividades y presupuesto de esfuerzo**

A continuación, se muestra una tabla con las diferentes actividades a realizar durante el desarrollo de la herramienta de perfilado, donde su tiempo de duración corresponde a una estimación en horas ingeniería.

| <b>Código</b> | <b>Actividad</b>  | <b>Esfuerzo (horas)</b> |
|---------------|---|-------------------------|
| AC-01         | Investigación de herramientas a utilizar.   | 10                      |
| AC-02         | Configuración del entorno de desarrollo.  | 6                       |
| AC-03         | Configuración del compilador de RISC V.   | 16                      |
| AC-04         | Creación del código binario basado en RISC V a partir de código en C estándar.  | 16                      |
| AC-05         | Investigación de uso de punto flotante en instrucciones RISC V.   | 30                      |
| AC-06         | Implementación de estrategia para el manejo de instrucciones en punto flotante para la optimización de rendimiento en hardware.         | 30                      |
| AC-07         | Investigación sobre tiempos de ejecución en arquitecturas pipeline basadas en RISC V.   | 32                      |
| AC-08         | Creación de una herramienta que genere estadísticas de tiempos de ejecución para un procesador con una arquitectura RISC V predefinida. | 26                      |
| AC-09         | Integración con procesador basado en RISC V..   | 25                      |
| AC-10         | Ejecución de pruebas unitarias y de integración.  | 10                      |
| AC-11         | Corrección de errores.  | 10                      |
| AC-12         | Mitigación de riesgos.  | 10                      |

**Tabla 2.** Lista de actividades y presupuesto de esfuerzo



- **Cronograma**

A continuación, se muestra una tabla donde se exponen la actividad o actividades que se realizan por semana para la implementación de la herramienta de perfilado:

| <b>Semana</b> | <b>Código de actividad(es)</b> | <b>Actividad</b>  |
|---------------|--------------------------------|---|
| 1             | AC-01<br>AC-02                 | Investigación de herramientas a utilizar. Configuración del entorno de desarrollo.  |
| 2             | AC-03                          | Configuración del compilador de RISC V.   |
| 3             | AC-04                          | Creación del código binario basado en RISC V a partir de código en C estándar.  |
| 4             | AC-05                          | Investigación de uso de punto flotante en instrucciones RISC V.   |
| 5             | AC-05                          | Investigación de uso de punto flotante en instrucciones RISC V.   |
| 6             | AC-06                          | Implementación de estrategia para el manejo de instrucciones en punto flotante para la optimización de rendimiento en hardware.         |
| 7             | AC-06                          | Implementación de estrategia para el manejo de instrucciones en punto flotante para la optimización de rendimiento en hardware.         |
| 8             | AC-07                          | Investigación sobre tiempos de ejecución en arquitecturas pipeline basadas en RISC V.   |
| 9             | AC-07                          | Investigación sobre tiempos de ejecución en arquitecturas pipeline basadas en RISC V.   |
| 10            | AC-08                          | Creación de una herramienta que genere estadísticas de tiempos de ejecución para un procesador con una arquitectura RISC V predefinida. |
| 11            | AC-08                          | Creación de una herramienta que genere estadísticas de tiempos de ejecución para un procesador con una arquitectura RISC V predefinida. |
| 12            | AC-09                          | Integración con procesador basado en RISC V.  |
| 13            | AC-09                          | Integración con procesador basado en RISC V.  |
| 14            | AC-10                          | Ejecución de pruebas unitarias y de integración.  |
| 15            | AC-11                          | Corrección de errores.  |
| 16            | AC-12                          | Mitigación de riesgos.  |

**Tabla 3.** Cronograma de actividades