

Logika cyfrowa

Lista zadań nr 6

Termin: 15 kwietnia 2020

1. Dodaj do poniższego rysunku **przebiegi sygnałów** Q_a , Q_b , Q_c , będących wyjściami odpowiednio **zatrzaśku**, **przerzutnika typu D** **wyzwalanego zboczem rosnącym** oraz **opadającym**.



2. Narysuj **asynchroniczny przerzutnik RS** w wersji dualnej do przedstawionej na wykładzie (tzn. z bramkami NAND zamiast NOR). Narysuj jego **tabelę charakterystyczną** oraz przykładowe przebiegi sygnałów.
3. Zaprojektuj obwód wykorzystujący przerzutniki typu D, który dla sygnału wejściowego będącego falą prostokątną o częstotliwości f , wygeneruje falę prostokątną o częstotliwości $f/4$.
4. **Przerzutnik synchroniczny typu RS** zachowuje się w nieprzewidywalny sposób, gdy zarówno wejście s oraz r są w stanie wysokim w momencie zmiany stanu wejścia en z wysokiego na niski. Jedną z metod poradenia sobie z tym jest zmodyfikowanie przerzutnika tak, aby w takiej sytuacji zachowywał się tak samo, jak gdyby wyłącznie wejście s było w stanie wysokim. Narysuj taki przerzutnik.
5. Pokaż, jak skonstruować **przerzutnik typu JK** używając **przerzutnika typu T** i dodatkowych bramek.
6. Uniwersalny **rejestr przesuwny** może ładować bity zarówno od lewej, jak i od prawej strony, może też ładować je równolegle. Zaprojektuj 4-bitowy rejestr tego typu.
7. Zaprojektuj 4-bitowy rejestr, który posiada następujące funkcje, wykonywane na **zboczu narastającym** zegara, wybierane za pomocą bitów sterujących s_0 i s_1 :

s_1	s_0	Funkcja
0	0	brak zmian
0	1	ustaw wartość na 0
1	0	zaneguj wartość
1	1	załaduj dane równoległe

8. Wyjaśnij działanie następującego obwodu wykorzystującego przerzutniki typu T. Narysuj przebiegi kluczowych sygnałów.

