



Diseño de una ALU

El objetivo de la práctica 1 es el diseño e implementación de una Unidad Aritmético-Lógica (ALU) con las siguientes características:

Entradas

- Una señal de reloj **clk** común a todos los componentes secuenciales del diseño.
- Una señal **reset** de reset asíncrono conectada a los componentes secuenciales indicados en el esquema RTL simplificado.
- Dos señales **A_in** y **B_in**, ambas de 8 bits, sobre las que se realizan las operaciones.
- Una señal **OP_in** de 5 bits que indica la operación que se realiza sobre los datos de entrada.

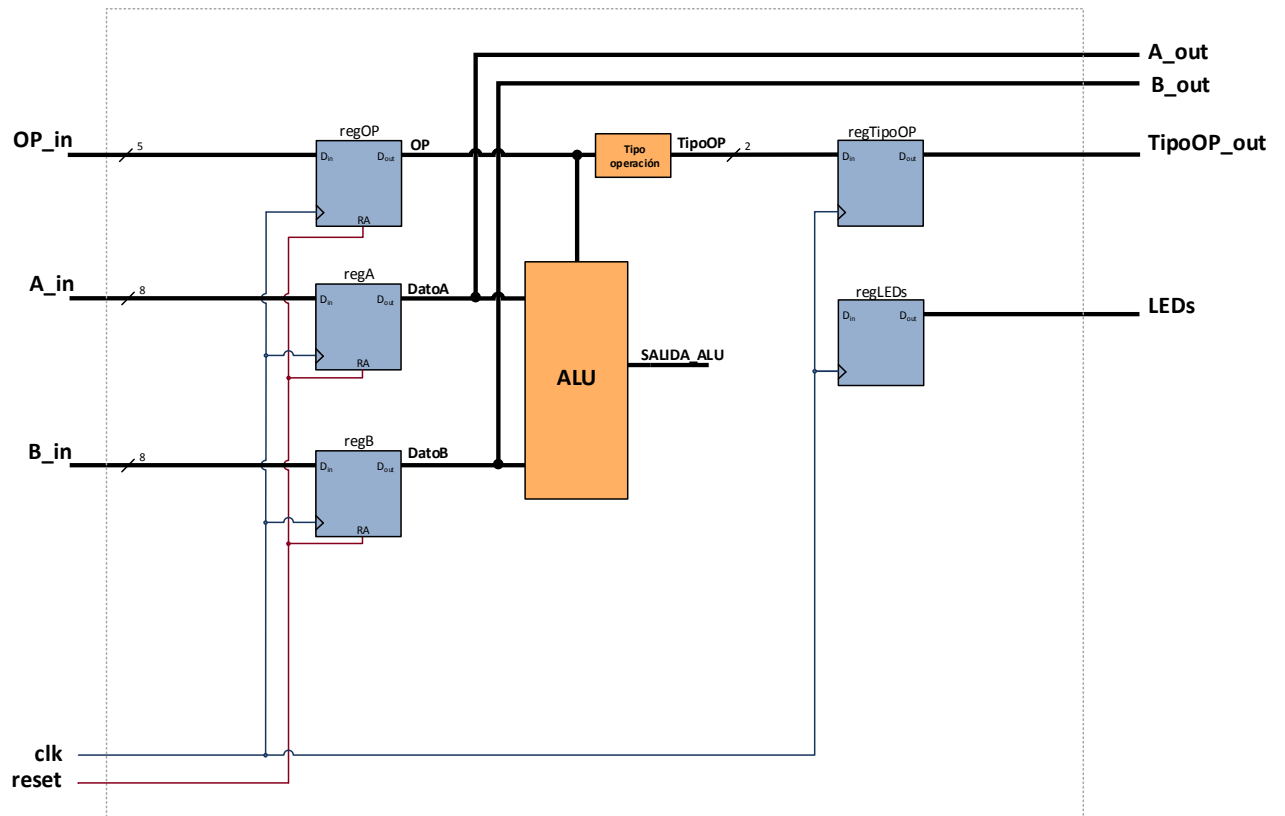
Salidas

- Las señales **A_out** y **B_out**, de 8 bits, conectadas a las salidas de los registros **regA** y **regB** respectivamente (ver figura del esquema RTL simplificado).
- La señal **TipoOP_out**, de 2 bits, con el valor en cada instante de la señal de salida del registro **regTipoOP**. La entrada de este registro es la señal interna **TipoOP** (ver figura esquema RTL simplificado). Esta señal, de 2 bits, indica el tipo de operación realizada, y tomará valor "10" si el valor de la señal interna **OP** corresponde a una operación lógica y "00" si el valor de **OP** no corresponde a ninguna operación implementada.
- La señal **LEDs**, de 8 bits, con el valor de la señal interna **SALIDA_ALU** (ver figura esquema RTL simplificado) si **TipoOP** indica que la operación realizada sobre las señales de entrada es lógica; cero en otro caso.

La ALU realiza las siguientes operaciones lógicas: OR, AND, XOR, NAND, NOT A, RR A (*Rotate Right*), RL A (*Rotate Left*) (las rotaciones son circulares). Cada una de estas operaciones corresponderá a un valor determinado de la entrada **OP_in**. El código que corresponde a cada operación es fijado por el diseñador, teniendo en cuenta que el valor "00000" no está permitido.



VHDL – LAB1



Esquema RTL simplificado



VHDL – LAB1

Verifica mediante simulación el funcionamiento realizando las operaciones con los datos y en los instantes de tiempo indicados en la tabla. Al iniciar la simulación, activa el reset asíncrono durante los primeros 85 ns y a continuación desactívalo. Considera una señal de reloj de 50 MHz.

t	A	B	Operación	TipoOP_out	LEDs	
ns	binario	binario			binario	HEX
0	01110001	11010100	A AND B			
200	01110001	11010100	A OR B			
300	01110001	11010100	A XOR B			
400	01110001	11010100	A NAND B			
500	01110001	11010100	NOT A			
600	01110001	11010100	RR A			
700	01110001	11010100	RL A			

En el simulador, visualiza las señales como se muestra a continuación:

- a_in[7:0]
- b_in[7:0]
- op_in[4:0]
- reset
- clk
- a_out[7:0]
- b_out[7:0]
- op[4:0]
- tipoop[1:0]
- tipoop_out[1:0]
- leds[7:0]