



אוניברסיטת בן-גוריון בנגב  
Ben-Gurion University of the Negev

## מבוא ל-VLSI ומעגלים משלבים

361-1-3701

## עבודת בית 2

MUX and 8-bit Barrel Shift Register

מגישים:

ארד וזאני 0 207898180

עומר אורן 208948794

תאריך הגשה: 7.5.2025

מספר משתמש – 34 (stu34) 34 –

רישוי קבוצה – 23

## 1. חלק א' - בניית רכיב AUX:

בחלק זה נתנון רכיב מסווג XUM בשימוש בטכנולוגיית CMOS.

1.1 נממש רכיב AXM 2x1 עם  $\beta_{opt} = 3.394147$ , נקבע את רוחב הטרנזיסטורים

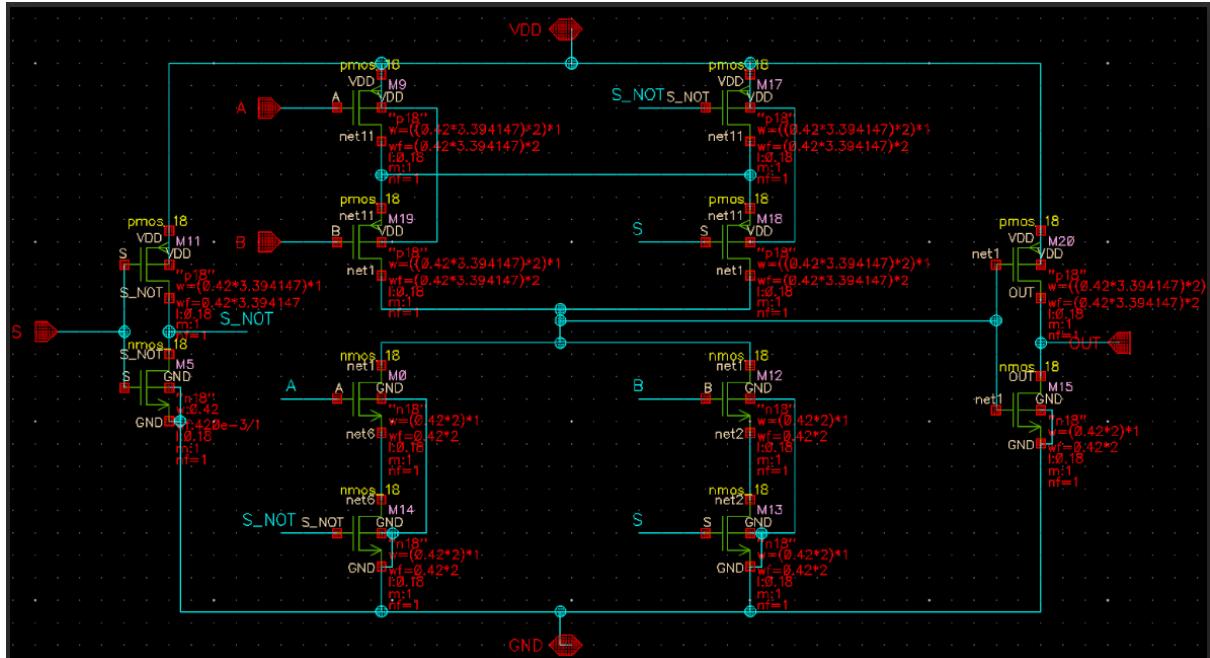
כ ר:

$$W_{pmos_1} = \beta W_{nmos_1}$$

כעת לפיה Sizing נגדיל את כל שאר רוחבי התעלות של הטרנזיסטורים פי 2 לכל רמה כפי שנלמד בכיתה (מכיוון שכולם באותו רמה כולם יהיו בעלי רוחב תעלת זהה).

מכיוון שיש לנו מסעיף קודם את המהפר שניית להשתמש בו כסימבול הבנו

לאחר בדיקה כי חשוב למש את התכנון או באמצעות SCD או FCD בלבד, لكن ביצעו את התכנון בשיטת FCD.

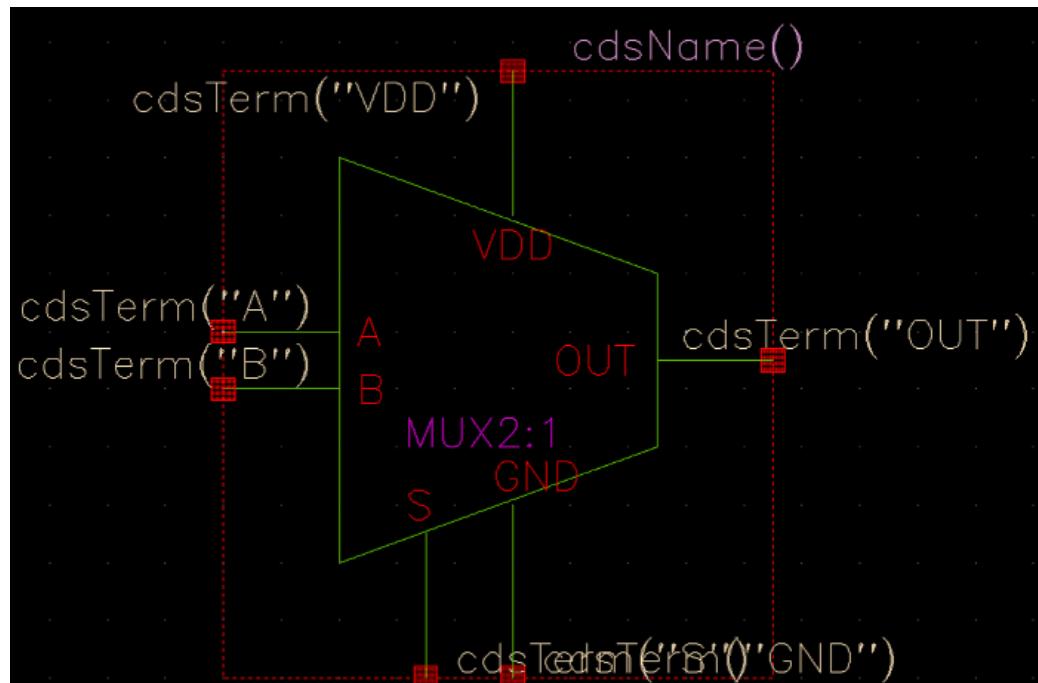


**הסביר על הסכימה:**

עבור כניסה הבקרה NOT\_S נשתמש בפ' של המהפר האופטימלי שיצרנו בעבודה הקודמת (נשמר על שיטת FCD).

עבור ה *body* של הטרנזיסטורים, כדי שהדיודות הפרזיטיות העולות להיווצר בין *body<sub>nmos</sub>* ו- *VDD* נחבר את ה *body<sub>pmos</sub>* ל *body<sub>nmos</sub>* בקטען, וכך יתאפשר תנועה של טרנסיסטור פזיטי בלאדמתה.

כעת ניצור את הסימבול עבור ה- $2 \times 1$  MUX, לרוב הסימבול הוא טרפז:



## 2.1.2 בדיקת הביצועים של הרכיב:

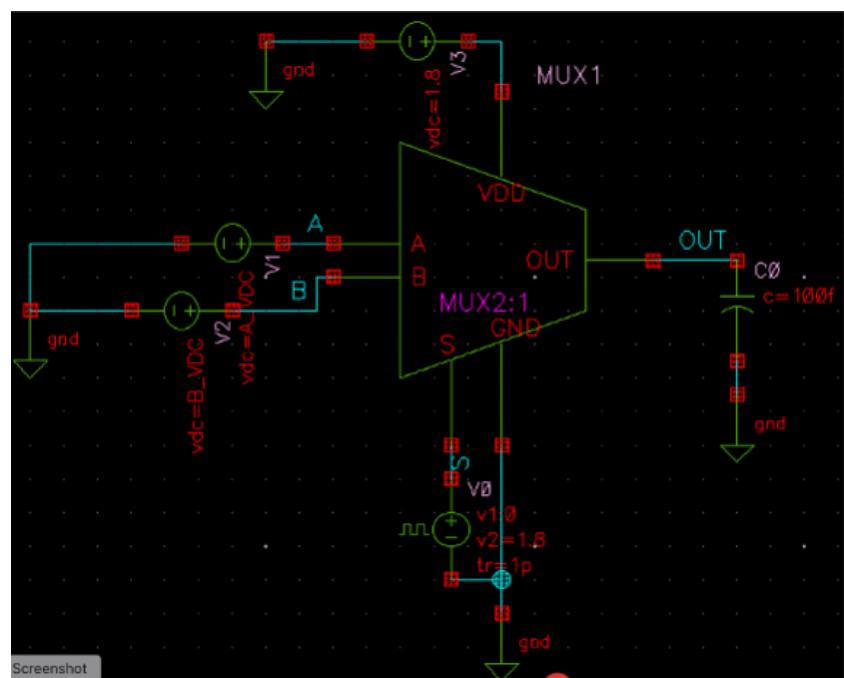
נבנה את סכימת TB, כאשר לכל כניסה של ה- $\text{MUX}$  נכניס סיגנל שונה ( $0/1$  לוגי).  
מבצע סימולציה בזמן עם סיג널 כניסה גל ריבועי בתדר  $1 \text{ MHz}$  וקיבול מוצא  $100 \text{ fF}$   
 בהתאם לדרישות.

נריץ 2 סימולציות פעם אחת עבור:  $A=VDD, B=0$ ,  $A=0, B=VDD$ .

פעם אחת עבור:  $A=VDD, B=0$ ,  $A=0, B=VDD$ .

מכיוון שהשתמשנו ב- $18\text{-mosfet}$  מתח ה- $VDD = 1.8 \text{ V}$ .

להלן סכימת TB:



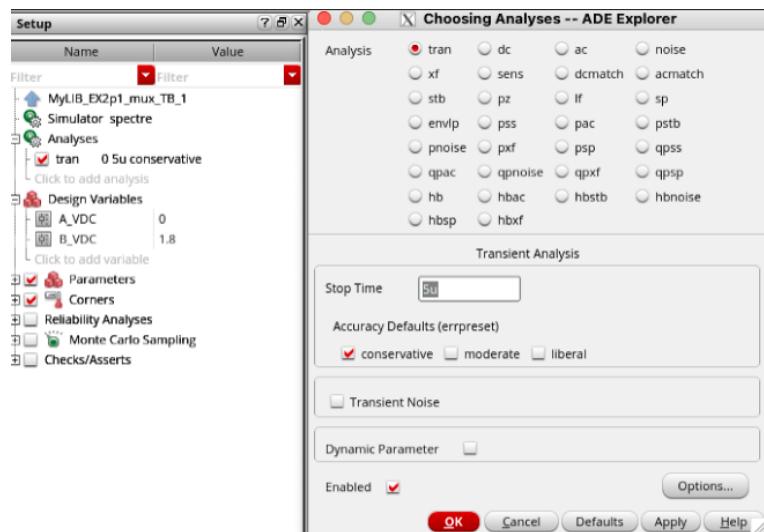
כעת ניצור קובץ ADE Explorer שבו ניצור את הטוטים הנדרשים:

$$t_{rise} = t_{fall} = 1p[sec]$$

$$period = 1u[sec], V1=0v, V2=1.8v$$

ניצור טוט חדש של transient של עד 5 על מנת לראות 5 מחזוריים בדיק, בנוסף conservative.

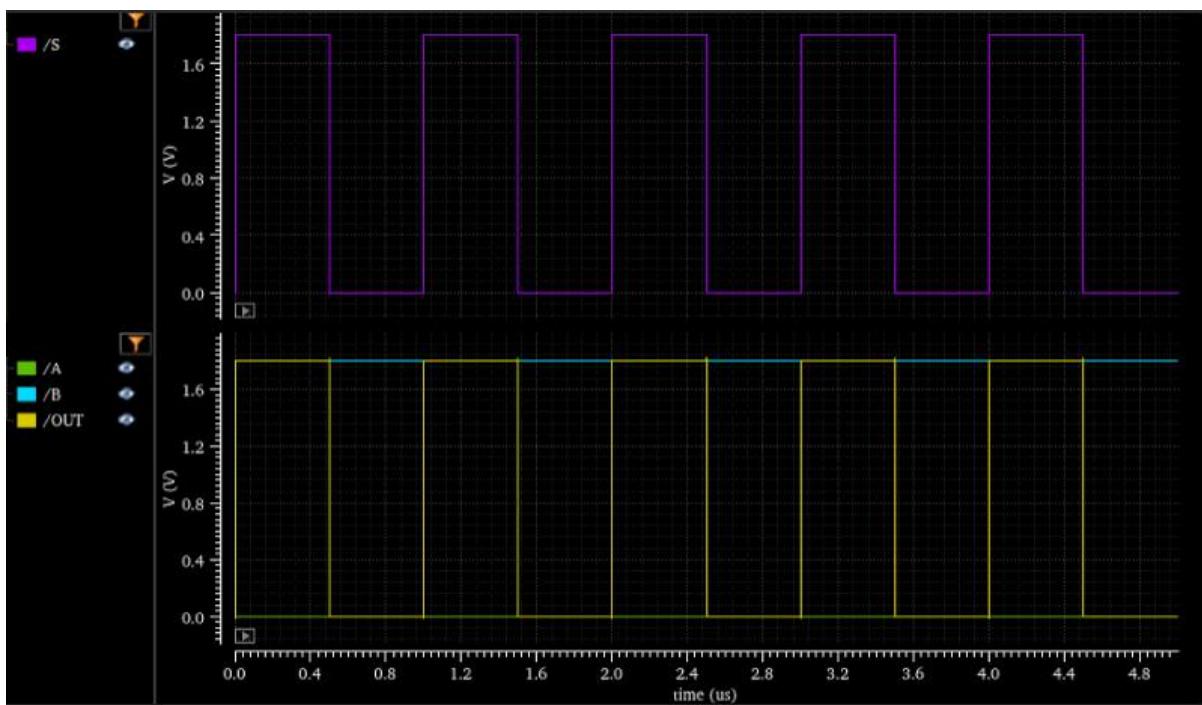
עבור  $A=0, B=1.8$



נצפה לראות כי עבור  $S=0$  מקבל במוצא את A, ועבור  $S=1$  מקבל במוצא את B,

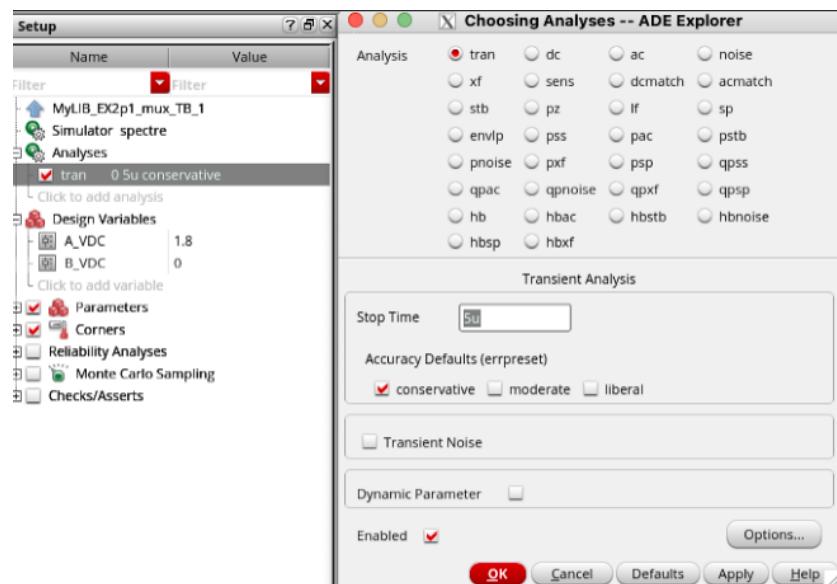
$$OUT = \bar{S} * A + S * B = S$$

כךן: ככלומר נצפה לקבל buffer ביחס לכינוס הבקר S (עבור '1' לוגי בcinosis נצפה ל'1' לוגי במוצא ולהפך)



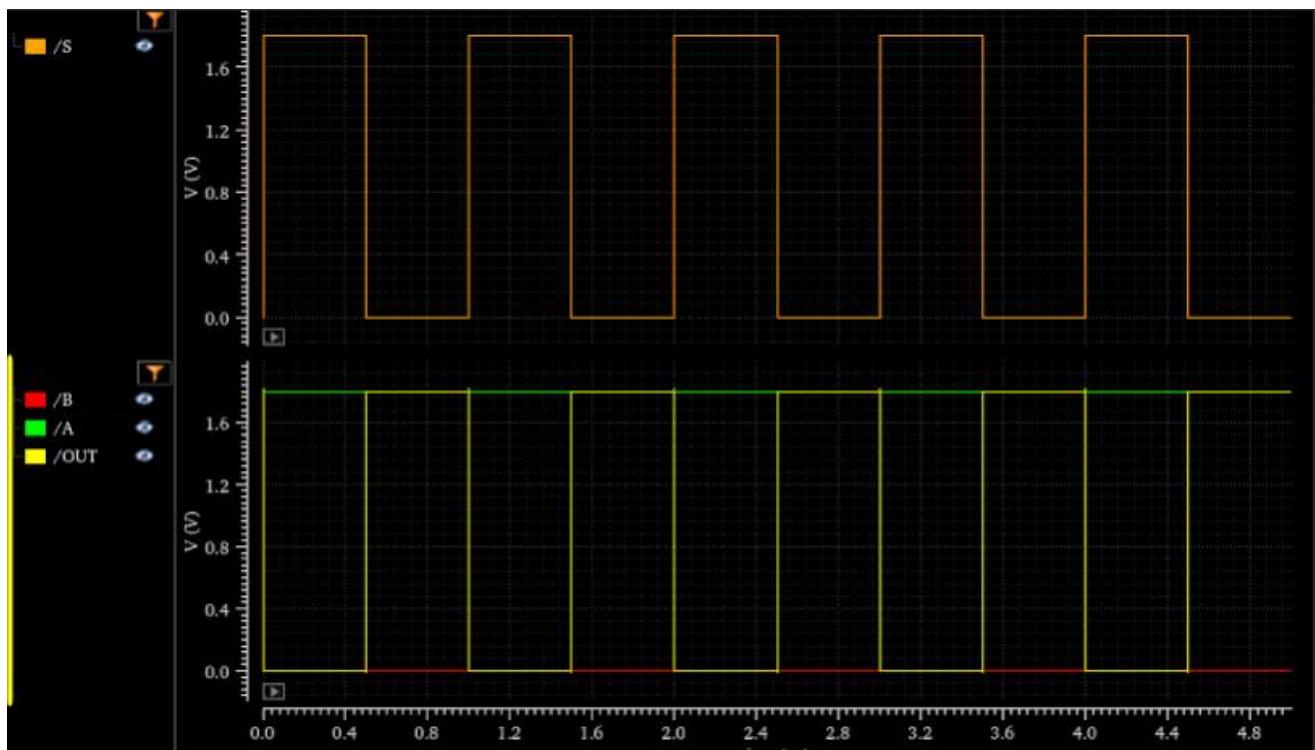
עבור  $A=1.8, B=0$ :

הטוט המתאים:

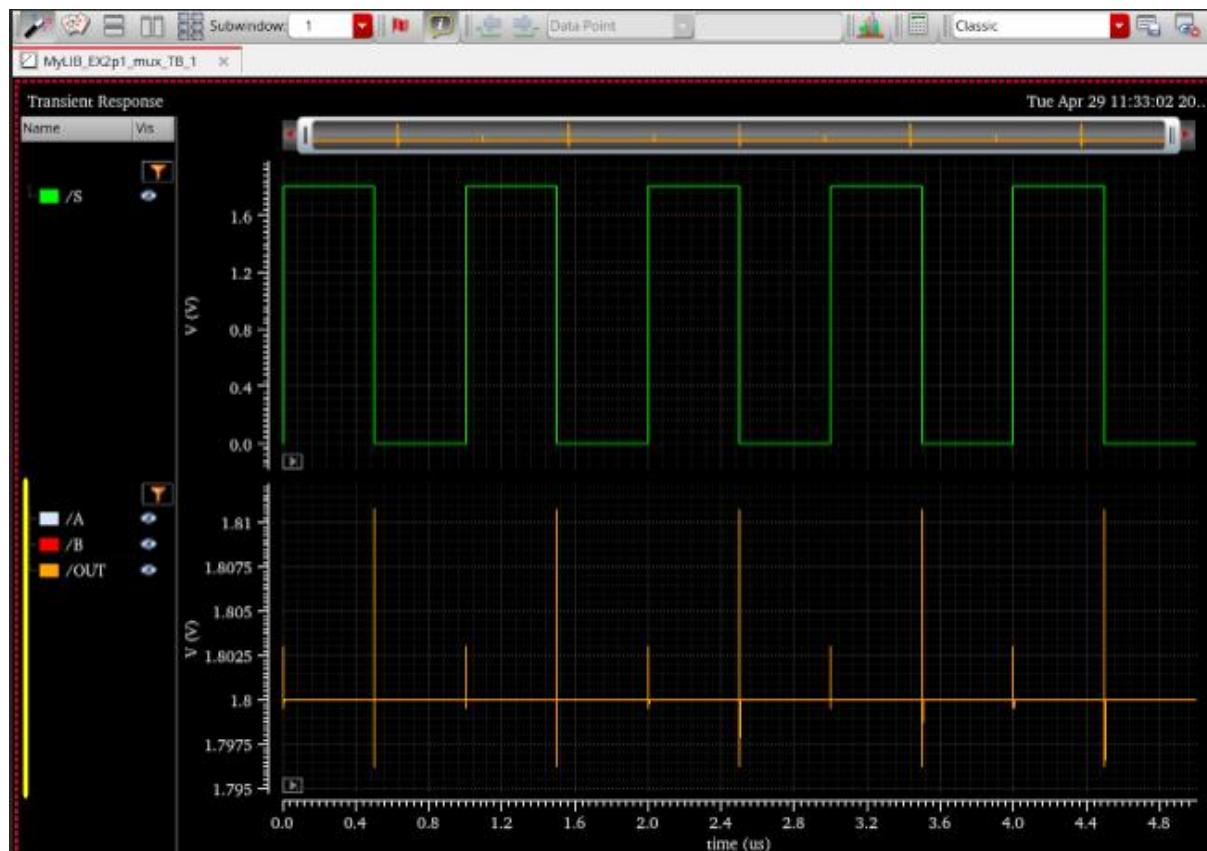


נצפה לראות כי עבור ' $0=S$ ' נקבל במצב A, ועבור ' $1=S$ ' נקבל במצב B.

שכן:  
כלומר נצפה לקבל התנהגות של מהפר ביחס לכניסת הבקעה S.



נראה כי עבור שתי הכניסות זהות כלומר  $A=B=1.8$  נצפה לקבל בمطلوب גם  $V_{out} = 1.8$ .  
 בנוסף לכך נצפה  $V_A = 0.5$  או  $V_B = 0.5$  במהלך המעבר של הכניסה  $S$ .  
 תופעה זו מתרחשת בגלגול קיבולי *overlap* שבעקבותם מקבל קצר בקובל ולפני שהוא  
 נתען/נפרק מקבל ירידה/עליה בהתאם במתוח.  
 נציג את הגרף המראת התופעה הנ"ל:



### 1.3 מדידת ה $T_{pd}, T_{cd}$ הכלל של AXUM:

בטעיף זה נחשב את זמן ההשניה של רכיב AXUM שיצרנו.  
נציר כי לאXM ישנו 2 מצבים (buffer,in) וכל אחד זמן השניה שונים.  
השוני ביניהם נובע במבנה הפנימי של המסלול שדרכו האות עובר בכל אחד מהמצבים.  
גם כאן נבצע אנליהזה מסווג: *transient*

עבור  $(buffer) A=0, B=1.8$

Design Variables	Value	Symbol	Expression	Time
A_VDC	0		tcLH_buff	expr (cross(VT"/OUT") 0.18 1 "rising" nil nil nil) - cross(VT"/S" ... 100p
B_VDC	1.8		tcHL_buff	expr (cross(VT"/OUT") 1.62 1 "falling" nil nil nil) - cross(VT"/S" ... 101.9p
			tpLH_buff	expr (cross(VT"/OUT") 1.62 1 "rising" nil nil nil) - cross(VT"/S" ... 409.2p
			tpHL_buff	expr (cross(VT"/OUT") 0.18 1 "falling" nil nil nil) - cross(VT"/S" ... 462.8p
			TPD_buff	expr ((tpLH_buff + tpHL_buff) / 2) 436p

כלומר קיבלנו כי:  $[s] T_{cd_{buff}} = 100p$ ,  $T_{pd_{buff}} = 436p$

עבור  $(Inverter) A=0, B=1.8$

Design Variables	Value	Symbol	Expression	Time
tran	0.5u conservative		tcLH_inv	expr (cross(VT"/OUT") 0.18 1 "rising" nil nil nil) - cross(VT"/S" 1.62 1 "falling" nil nil nil) 173p
			tcHL_inv	expr (cross(VT"/OUT") 1.62 1 "falling" nil nil nil) - cross(VT"/S" 0.18 1 "rising" nil nil nil) 175.3p
A_VDC	1.8		tpLH_inv	expr (cross(VT"/OUT") 1.62 1 "rising" nil nil nil) - cross(VT"/S" 0.18 1 "falling" nil nil nil) 482.1p
B_VDC	0		tpHL_inv	expr (cross(VT"/OUT") 0.18 1 "falling" nil nil nil) - cross(VT"/S" 1.62 1 "rising" nil nil nil) 536.6p
			TPD_inv	expr ((tpLH_inv + tpHL_inv) / 2) 509.3p

וכאן:  $T_{cd_{inv}} = 173p$ ,  $T_{pd_{inv}} = 509.3p$

עבור  $T_{pd}$  ניקח את הזמן המקסימלי, ועבור  $T_{cd}$  ניקח את הזמן המינימלי.

כלומר בסה"כ עבור רכיב ה-AXUM :

$$T_{pd_{MUX}} = 509.3p [s], \quad T_{cd_{MUX}} = 100p [s]$$

## 2. תכנון LAYOUT של השער ובדיקהו:

### 2.1. שרטוט ה *layout* עצמו:

ניבא את הרכיבים מן הסכימה וניצור את גובה התא לפי הדרישות.

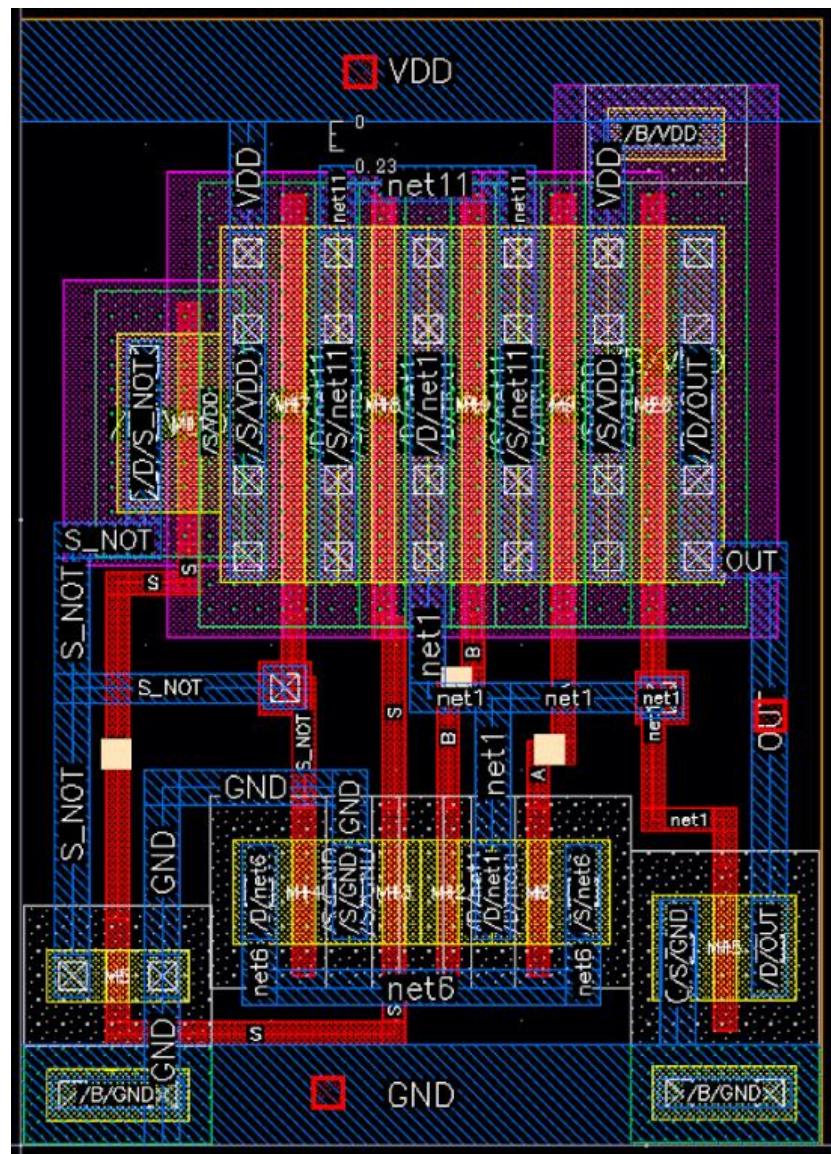
נדגיש כי אנו מתחמשים בשיטת *FCD* שכן נרצה ליצר את רכיב *MUX* קטן ככל שניתן  
כיוון שלאחר מכן נרצה להשתמש ב-24 רכיבי *MUX* לישום *8-bit barrel shifter*, שגם

از נרצה להשתמש בשיטת *FCD* עם תא *MUX* מוכנים.

עבור מערכות *NAND, PDN* נבצע שיתוף דיפוזיות לכל אחת בנפרד.

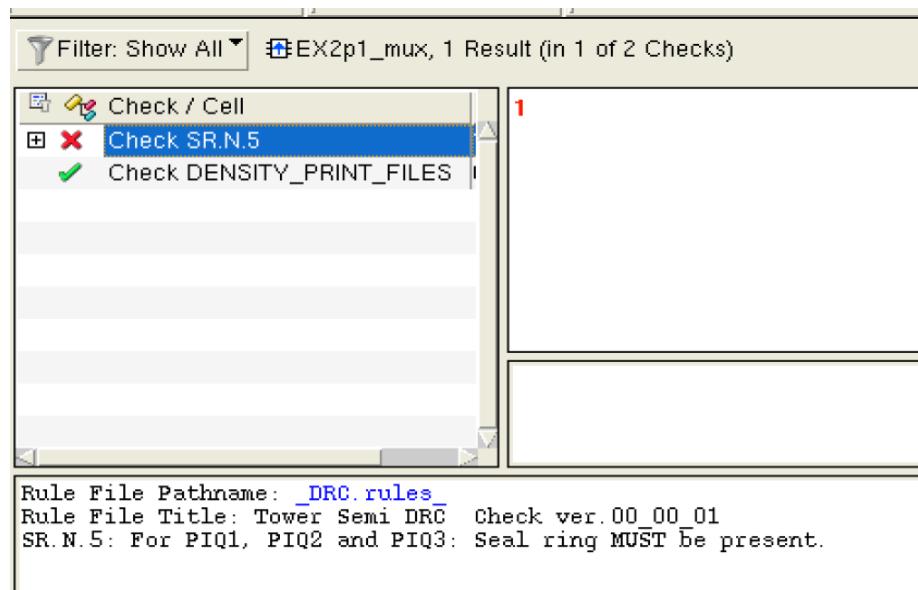
נדגיש כי היה לנו חשוב למקם את המערכות *NAND, PDN* בצורה כזאת כך שהיא ניתנת  
לחיבור בצורה הנוחה ביותר בין *drain* של *mosfet* של *source* של *mosfet* המתאים לו.

להלן שרטוט ה *layout* של *MUX*:

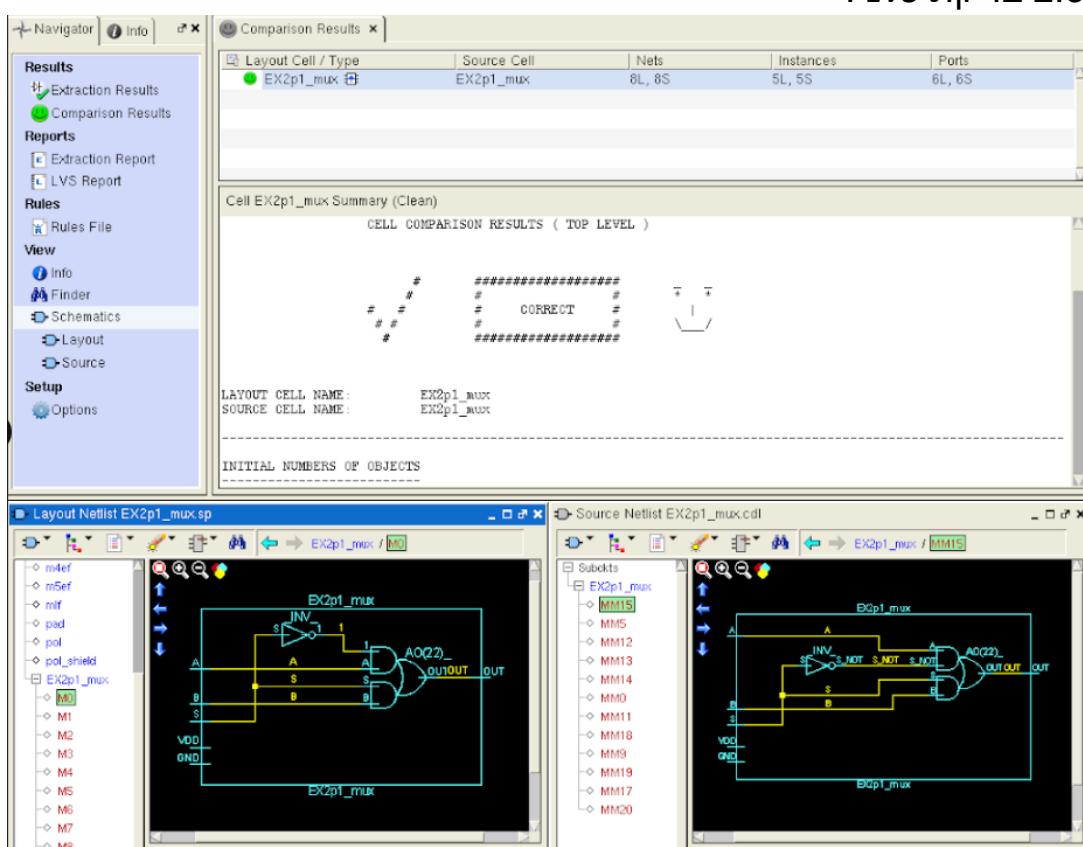


## 2.2 : DRC נבצע בדיקת

ונכל לראות כי אכן לאחר ביצוע בדיקת DRC לא התקבלו שגיאות למעט שגיאת R.S.



## 2.3 בדיקת LVS :



## 2.4 בדיקת PEX ויצירת קובץ config:

### בדיקות הPEX של הXUM:

**Navigator | Info | X EX2p1\_mux x |**

No.	Layout Net	Source Net	R Count	C Total (F)	CC Total (F)	C+CC Total (F)
1	1	S_NOT	20	1.26130E-19	1.22641E-15	1.22654E-15
2	S	S	14	0.00000	7.57886E-16	7.57886E-16
3	B	B	6	3.10842E-19	3.80427E-16	3.80738E-16
4	A	A	6	0.00000	3.33639E-16	3.33639E-16
5	5	net1	24	4.02314E-19	1.44067E-15	1.44107E-15
6	7		15	0.00000	1.26203E-15	1.26203E-15
7	8		9	0.00000	9.26515E-16	9.26515E-16
8	GND	GND	22	2.17601E-19	2.57516E-15	2.57537E-15
9	VDD	VDD	23	0.00000	2.07168E-15	2.07168E-15
10	OUT	OUT	16	0.00000	8.65030E-16	8.65030E-16
11	12		0	0.00000	1.12625E-17	1.12625E-17

כעת ניתן ליצור קובץ config עבור הXUM ונעביר אותו ל-calibre

**Virtuoso® Hierarchy Editor: New Configuration (Save Needed)**

File Edit View Help

Top Cell Global Bindings

Library: MyLIB	Library List: myLib
Cell: EX2p1_mux_TB	View List: tic veriloga ahdl pspice dspf
View: schematic	Stop List: spectre
Open Edit ADE Explorer	Constraint List:

Table View Tree View

**Cell Bindings**

Library	Cell	View Found	View To Use	Inherited View List
MyLIB	EX2p1_mux	calibre	calibre	spectre cmos_sch c...
MyLIB	EX2p1_mux_TB	schematic		spectre cmos_sch c...
analogLib	cap	spectre		spectre cmos_sch c...
analogLib	vdc	spectre		spectre cmos_sch c...
analogLib	vpulse	spectre		spectre cmos_sch c...
ts018_prim	nmos_18	spectre		spectre cmos_sch c...
ts018_prim	pmos_18	spectre		spectre cmos_sch c...

**File Settings Configurations Help**

**Custom  
Rules  
Inputs  
Outputs  
Options  
LVS  
Database  
Run Control  
Search  
Transcript**

```

22698 =====
22699      CALIBRE xRC WARNING / ERROR Summary
22700 -----
22701          xRC Warnings = 1
22702          xRC Errors = 0
22703 -----
22704 --- CALIBRE xRC::FORMATTER COMPLETED - Sat May 10 10:06:20 2025
22705 --- TOTAL CPU TIME = 1 REAL TIME = 1 LVHEAP = 144/168/484 MALLOC = 402/402/473 ELAPSED TIME = 4
22706
22707 INFO: Running Process post-trigger: $RDS_TECH/generic/calibre/ChSPParam.pl EX2p1_mux.pex.netlist
22708
22709
22710 *** xRC run finished with exit code 0 ***
22711

```

**Run PEX**

**Start RVE**

**0 Errors, 6 Warnings, 7 Infos**

**Calibre Info**

Line	Type	Message
1	Info	Calibre View generation completed with 12 WARNINGs and 0 ERRORs. Please consult the CIW transcript for messages.
96	Warning	
99	Info	
21019	Warning	*.MEGA at line 13 in file "EX2p1_mux.cdl" not applied to earlier global-scope .OPTION (or equivalent) statements
21246	Warning	Please increase descriptors limit for best performance (1024)
21240	Info	!! CPU Info: Core - 64 GMT enabled with 64 additional virtual processors

**Virtuoso® Studio IC23.1 - Log: /home/stu34/CDS.log**

**File Tools Options Tower Help**

**cadence**

```

WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:nmos_18:symbol) to instance of (ts018_prim:nmos_18:spectre).
WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:nmos_18:symbol) to instance of (ts018_prim:nmos_18:spectre).
WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:nmos_18:symbol) to instance of (ts018_prim:nmos_18:spectre).
WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:pmos_18:symbol) to instance of (ts018_prim:pmos_18:spectre).
WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:pmos_18:symbol) to instance of (ts018_prim:pmos_18:spectre).
WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:pmos_18:symbol) to instance of (ts018_prim:pmos_18:spectre).
WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:pmos_18:symbol) to instance of (ts018_prim:pmos_18:spectre).
WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:pmos_18:symbol) to instance of (ts018_prim:pmos_18:spectre).
WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:pmos_18:symbol) to instance of (ts018_prim:pmos_18:spectre).
WARNING: [FDI3037] Copying properties from schematic instance of (ts018_prim:pmos_18:symbol) to instance of (ts018_prim:pmos_18:spectre).
Calibre View generation completed with 12 WARNINGs and 0 ERRORs. Please consult the CIW transcript for messages.

```

mouse L: mouseSingleSelectPt()  
M: mgc\_custom\_menus\_run\_menu\_cmd("PEX" "::CalibreInterface::execCalibre PEX" "nil ?code "")  
R: \_lxHiMousePopUp()

## 2.5 נבצע את הסימולציה כעת בתוספת הפרזיטיקה:

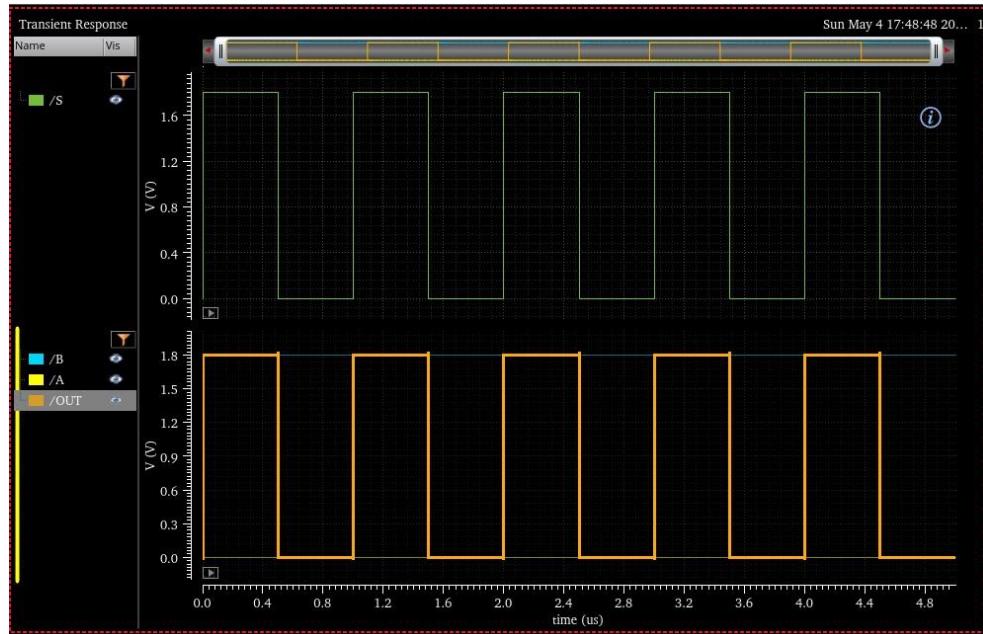
עבור  $(buffer) A=0, B=1.8$

Design Variables

<input checked="" type="checkbox"/> tran	0.5u conservative
Click to add analysis	
<input checked="" type="checkbox"/> Design Variables	
<input checked="" type="checkbox"/> A_VDC	0
<input checked="" type="checkbox"/> B_VDC	1.8
Click to add variable.	

Name	expr	Value	Pass	Fail	Warning	Info
buff_TPLH	$(cross(VT"/OUT") 1.62 1 "rising" nil nil nil) - cross(VT"/S" ...)$	416.2p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
buff_TPHL	$(cross(VT"/OUT") 0.18 1 "falling" nil nil nil) - cross(VT"/S" ...)$	468.9p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
buff_TPD	$((buff_TPLH + buff_TPHL) / 2)$	442.5p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
buff_TCLH	$(cross(VT"/OUT") 1.62 1 "rising" nil nil nil) - cross(VT"/S" ...)$	101.7p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
buff_TCBL	$(cross(VT"/OUT") 1.62 1 "falling" nil nil nil) - cross(VT"/S" ...)$	103.5p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>



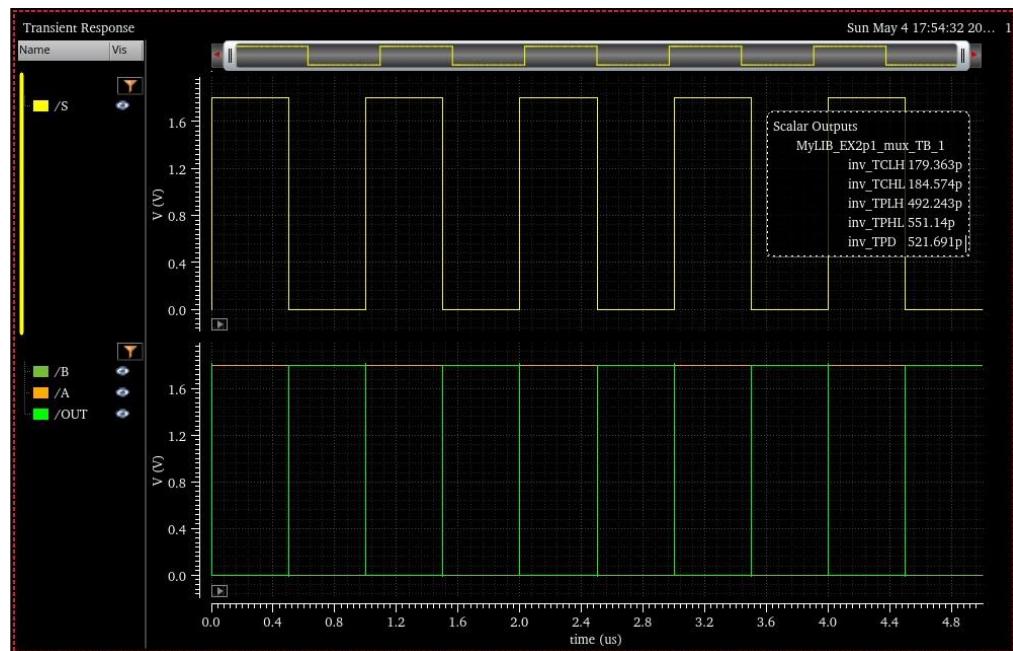
עבור  $(inverter) A=1.8, B=0$

Design Variables

<input checked="" type="checkbox"/> Design Variables	
<input checked="" type="checkbox"/> A_VDC	1.8
<input checked="" type="checkbox"/> B_VDC	0
Click to add variable	
<input checked="" type="checkbox"/> Parameters	
<input checked="" type="checkbox"/> Corners	
<input checked="" type="checkbox"/> Reliability Analyses	
<input checked="" type="checkbox"/> Monte Carlo Sampling	
<input checked="" type="checkbox"/> Checks/Asserts	

Name	Vis	Value	Pass	Fail	Warning	Info
signal /S			<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
signal /B			<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
inv_TCLH	expr	$(cross(VT"/OUT") 0.18 1 "rising" nil nil nil) - cross(VT"/S" ...)$	179.4p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
inv_TCBL	expr	$(cross(VT"/OUT") 0.18 1 "falling" nil nil nil) - cross(VT"/S" ...)$	184.6p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
inv_TPLH	expr	$(cross(VT"/OUT") 1.61 1 "rising" nil nil nil) - cross(VT"/S" ...)$	492.2p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
inv_TPHL	expr	$((inv_TPLH + inv_TCHL) / 2)$	521.7p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
inv_TPD	expr	$(cross(VT"/OUT") 0.18 1 "falling" nil nil nil) - cross(VT"/S" ...)$	551.1p	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>



נציר כי עבור  $T_{pd}$  נבחר את הזמן הארוך ביותר ועבור  $T_{cd}$  את הזמן הקצר ביותר,  
 $T_{pd} = 521.7ps$ ,  $T_{cd} = 101.7ps$ :

נראה את ההבדלים באמצעות טבלה:

פרמטר	לפני PEX	אחרי PEX
$T_{pd}$	$509.3ps$	$521.7ps$
$T_{cd}$	$100ps$	$101.7ps$

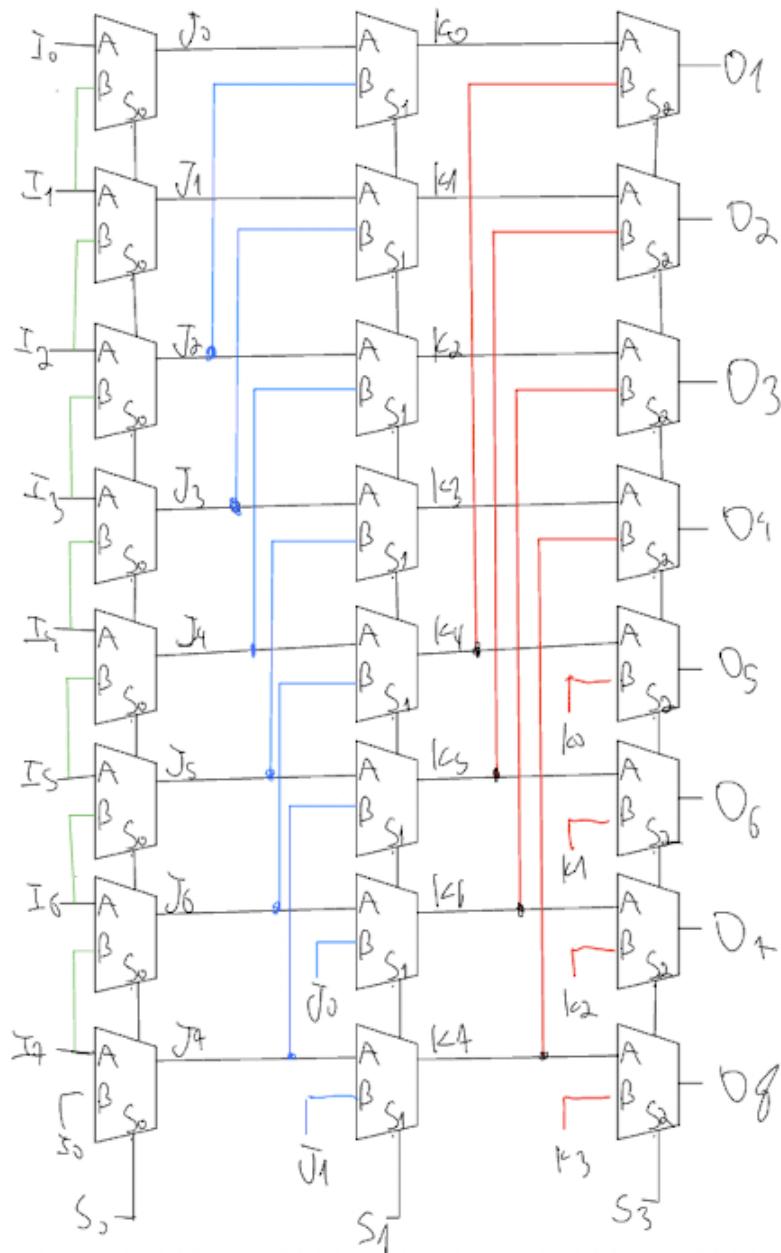
אכן ניתן לראות כי לאחר שהוספנו את הפרזיטיקה, למעשה הגדלנו את ערכי התנגדות, הקיבולים וחיבורים לא אידיאליים ומכאן אכן זמני ההשניה של ה-  $T_{pd}$  אכן גדלו מעט כמצופה, ההבדלים היחסיים הקטנים מ לפני ואחרי מעידים על תכנון *layout* בפורה טובה.

## חלק ב' – בניית רכיב Barrel Register

### 1. רקע תאורטי על הרכיב:

הרכיב מבצע הפעלה מעגלית ימינה עבור 8 ביטים, נमמש את הרכיב בעזרת ה $1 \times 2$  mux שעשינו בחלק הקודם ולא בעזרת מוקדים גדולים יותר כדי לשפר את ה $\text{layout}$  כל הניתן מבחינת גודל ופריזיטיקות וכדי לבצע תכנון FCD.

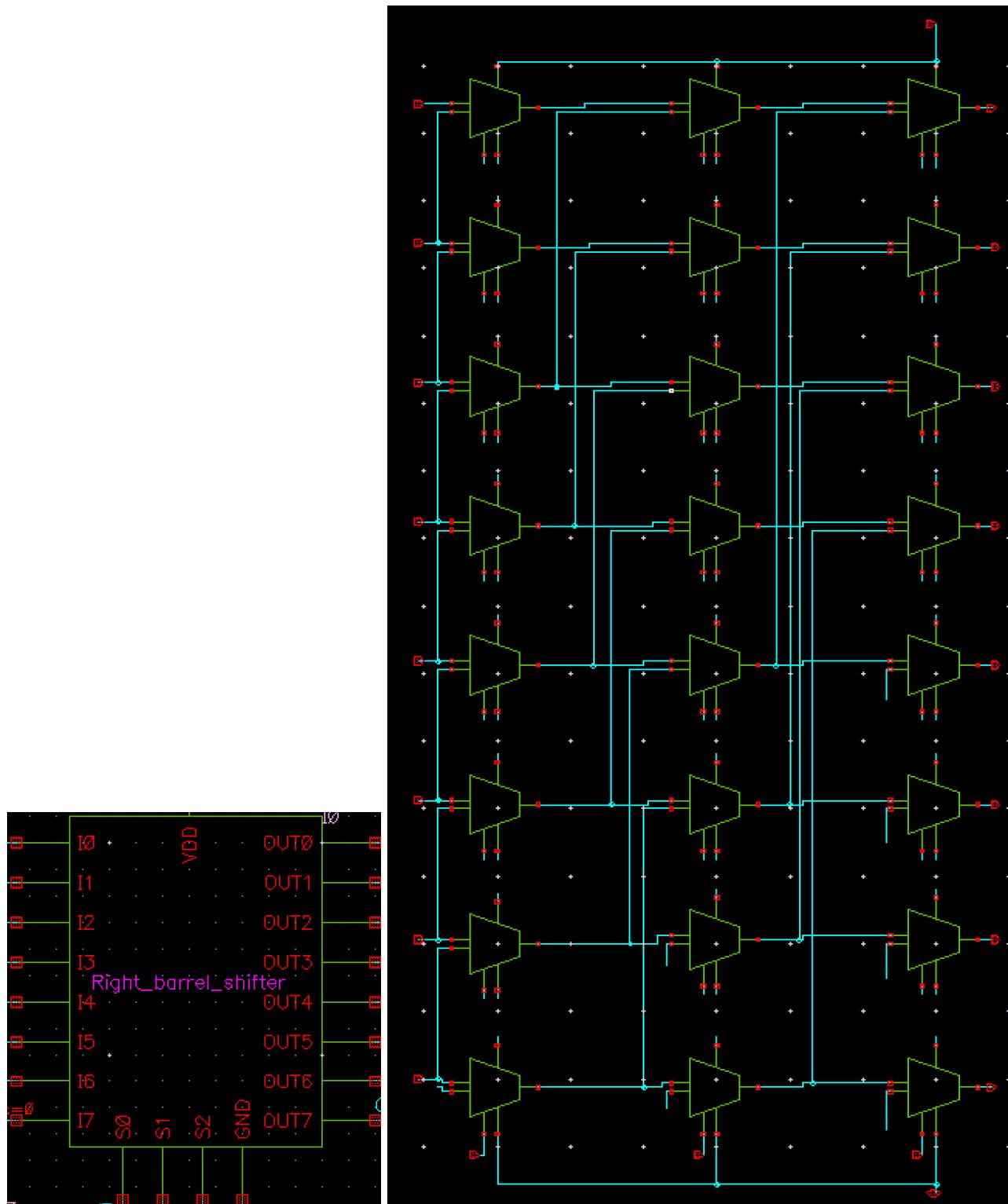
להלן האירוח הצעה למימוש בעזרת  $1 \times 2$  mux :



נשים לב כי על מנת שייהי הפעלה מעגלית נצטרך לחבר למוקדים של הביטים הגדולים את הביטים הקטנים בכניסה B, בנגדוד להזזה רגילה שמחברים שם 0.

## 2. תכנון סכמטי של הרכיב:

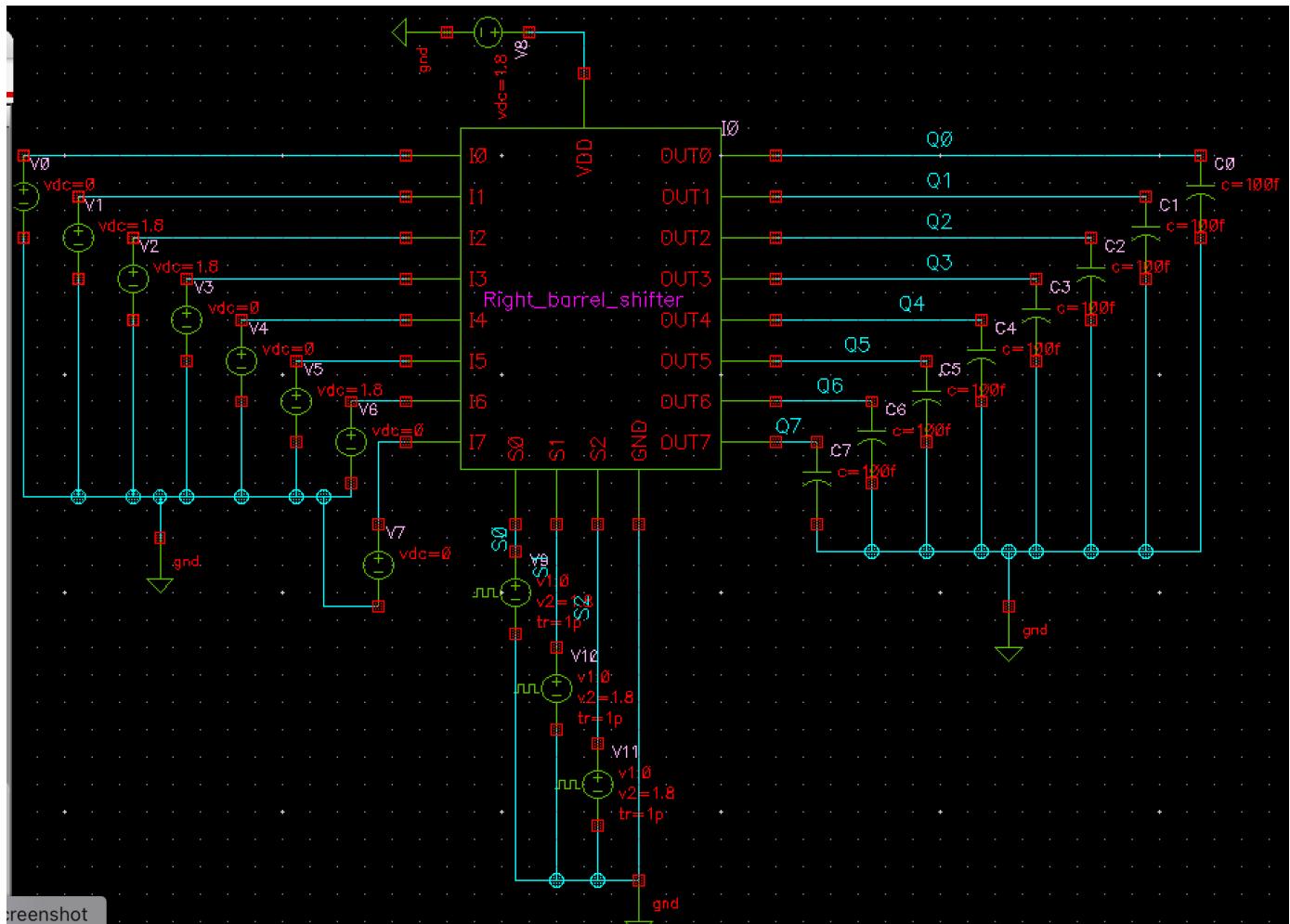
### 2.1. מימוש סכמה לאיור בסעיף 1 וצרו סימבול –



בגלל המרחק התוכנה לא מראה את השמות של הכניסות והחיציות השונים لكن נציג כי זה בהתאם לאיור מסעיף 1 כאשר מעל המוקשים נכנס מתח ספק pdd ומתחת hpdg והם המתאים (רימה ראשונה משמאל).

## 2.2. סכמת TB לרכיב -

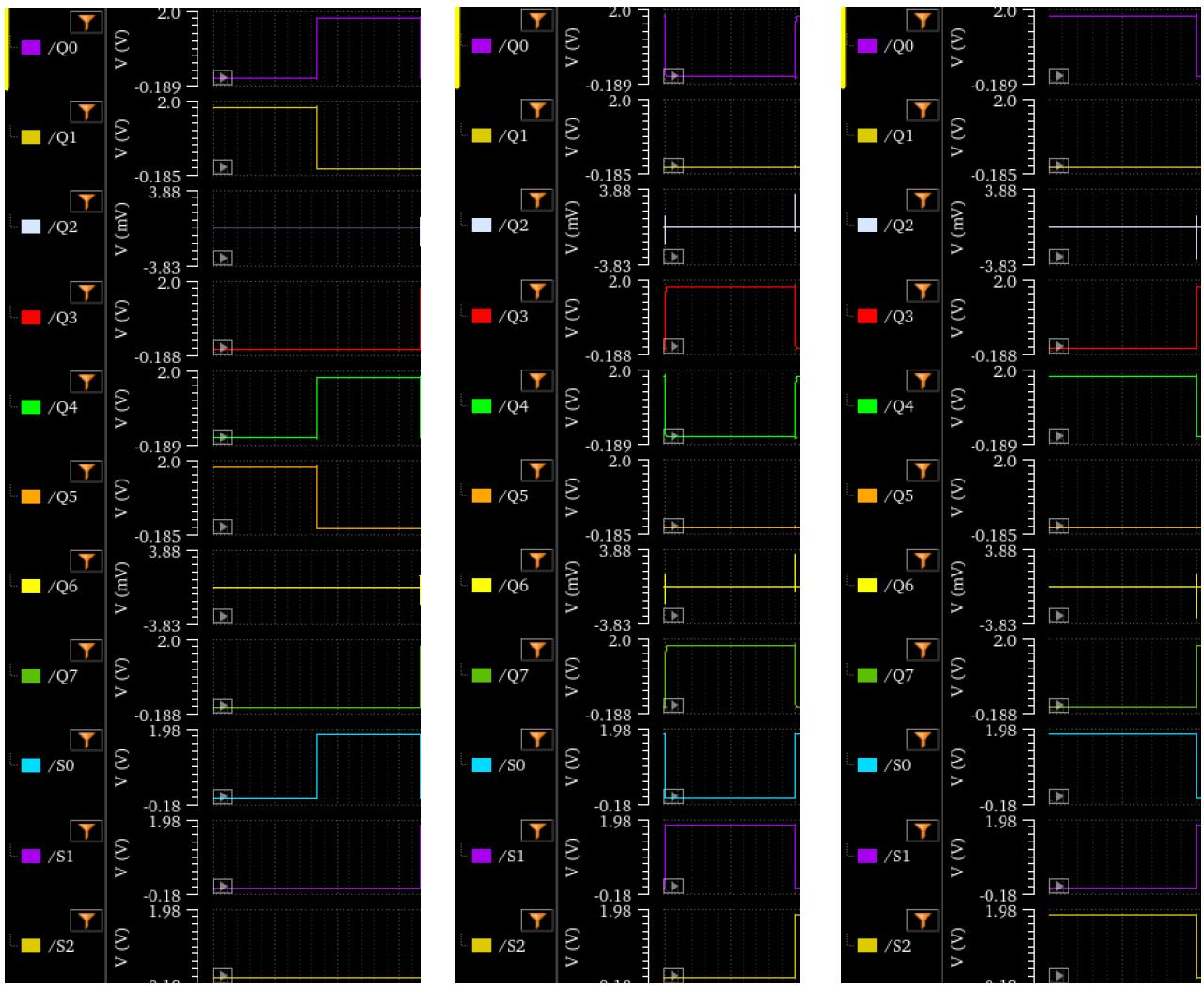
סכמת ה $\text{tb}$  יחד עם הסימבול של השיפטר שיצרנו.



כפי שניתן לראות מהתמונה מאחר ומושך הקבוצה שלנו  $= G = 34$ , סדר הביטים בכניסה ביבנארית יהיה (most בצד שמאל) – 00100010 .

עתה נבצע סימולציה ונבדוק את תפקינותו הרכיב, נחבר את הקבלים במקומות ולשם הבדיקה הכנסנו ל`select` השונים מתח `as` באותו תדר אבל עם פazaה זמני עלייה וירידה של 1 שניות שונה לכל אחד וכן נקבל רצפים שונים בסימולציה אחת של `trans` באורך 5 שניות.

Select line (s[2:0])	Input (In[7:0])	Output (OUT[7:0])
001	00100010	00010001
010	00100010	10001000
101	00100010	00010001



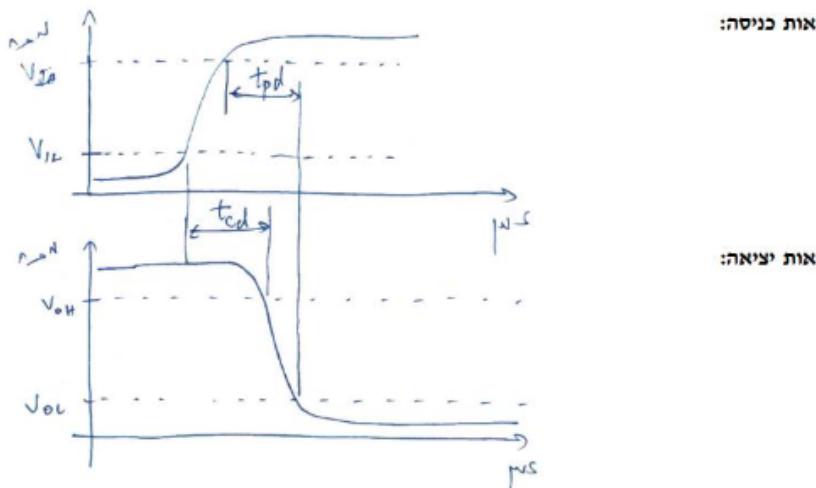
בגרף השמאלי רואים בהתחלה את אותן הנקודות הבקרה על 000 כדי להסתכם על המצב ההתחלתי ואז נכנסים למצה 001.

קיבלנו את התוצאות הצפויות מהטבלה ונראה כי המודל הסכמטי שתכננו תקין. ☺

## 3.2.3 עبور הקלט 34 מדדו tcd ו-pd הכספי של התא עבור $s=111$ , $s=000$ ויכמו את התוצאות בטבלה –

בסעיף זה נרצה לבדוק את ההשיות כאשר לא מזיזים בכלל את כניסה הכניסה וכאשר מזיזים 7 הזרים, לשם כך נסובב מה העקרון העומד מאחורי החישוב של השהיות אלה מתוך הקורס בمعالגים ספרטיטים:

עבור מהperf זמני pd ו-pd כפי שראינו גם בעבודה הראשונה מוגדרים כך –



**הגדרה:**  $t_{pd}$  (propagation delay) הוא הזמן הארוך ביותר בין התיעצבות הכניסה על רצף חדש והтиיעצבות המוצא (על הרץ הרצוי).  
**הגדרה:**  $t_{cd}$  (contamination delay) הוא הזמן קצר ביותר משינוי הכניסה בו מובטח שהמוצא הקודם עדין לא השתנה.

אומנם עבור מעגלים ספרטיטים מורכבים יותר כמו למשלם השיפטר אצלנו הגדרה היא על המסלול –

ה-  $t_{pd}$  קבוע ע"י המסלול האיטי ביותר מכינסה ליציאה, וה-  $t_{cd}$  ע"י המסלול המהיר ביותר.

$$t_{cd} = \min \left( \sum_{\substack{\text{מסלול} \\ \text{לכניסה} \\ \text{ליציאה}}} t_{cd} \right) \quad (\text{רכיב}) \qquad t_{pd} = \max \left( \sum_{\substack{\text{מסלול} \\ \text{לכניסה} \\ \text{ליציאה} \\ \text{לאורך} \\ \text{מסלול}}} t_{pd} \right) \quad (\text{רכיב})$$

כלומר נרצה להסתכל על כל אחד מהיציאות בהתאם לכל אחד מהכניסות, אך אנו יודעים שאצלנו הרכיב סימטרי בין הכניסות ליציאות ומה שמשנה זה ההזוזות כמו גם הגודלים של כל המוקשים זהים ובנוסף על כך גם רצף הכניסה שלו סימטרי, על כן נסתכל על יציאה אחת בכל פעם בהתאם לכינסה S0 שהיא ה"רוחקה" ביותר מהיציאה.

לשם כך הסתכלנו על שני אופנים של הרכיב ממש כמו במאperf – LH<sup>t</sup> ו-HL<sup>t</sup> עבור כל אחד מזמן ההשיה זהה כדי לקבל תמונה מדויקת יותר על הזמן בכך שנתקח את המוצע בין שניהם.

גם בחלק זהה השתמשנו בביטויים שמוררים מתוך המחשבון שהכנו בחלק 1 בהתאם להגדרת ההשיות שרואים בתמונות מלל, רק נשנה את השם של הסיגנלים הנדרשים.

$d=00100010$

עבור  $s=000$  –

out=00100010

נבע סימולציה trans  $s=000$  כאשר  $ac$  מתח 0 (מתחל 1 וירד ל 0 כדי לקבל 000) ונסתכל על הטעינה והפריקה של Q1, בacr נקבל את זמני השהיי כי 0 וQ1 (באוטו אופן גם Q5) מתנהגים כמו מהפרק, הגדרנו את הזמןים באמצעות ביטויים מהמחשבון על פי 10% ו 90% מתח ספק 1.8 V<sub>T</sub> ו H. בביטויים הסתכלנו על עליות או ירידות של כניסה או יציאה בהתאם להגדרות השהיי הספציפי.

על הזמןים של  $T_{pd}$  נעשה ממוצע באופן ידני (לא עבד בתוכנה) .

Design Variables	V_S0	1.8	tcLH_inv	expr	(cross(VT"/Q1") 0.18 1 "rising" nil nil nil) - cross(VT"/S0") 1.62 1 "falling" nil nil nil))	471.7p
	V_S1	0	tcHL_inv	expr	(cross(VT"/Q1") 1.62 1 "falling" nil nil nil) - cross(VT"/S0") 0.18 1 "rising" nil nil nil))	412.7p
	V_S2	0	tpLH_inv	expr	(cross(VT"/Q1") 1.61 1 "rising" nil nil nil) - cross(VT"/S0") 0.18 1 "falling" nil nil nil))	781.5p
Click to add variable			tpHL_inv	expr	(cross(VT"/Q1") 0.18 1 "falling" nil nil nil) - cross(VT"/S0") 1.62 1 "rising" nil nil nil))	771.5p
Parameters			TPD_inv	expr	((tpLH_inv + tpHL_inv) / 2)	776.5p

$$T_{pd} = 776.5p, T_{pc}=442.2p$$

עבור  $s=111$  –

out=01000100

גם פה סימולציה trans  $s=111$  כאשר כל קווים הם ב 1.8 במתח שב כדי להסתכל על טעינה ופריקה של האות ביציאה הרלוונטית להזזה הנ"ל Q2 (היה אפשר גם את Q6) רק שכעת נשנה את הביטויים טיפה כי Q2 וS0 מתנהגים כמו באפר – היציאה עוקבת אחר הכניסה ולכן הכניסה והיציאה יהיו מתאימים מבחינת נפילה או עליה בהתאם להגדרת של השהיי הספציפי.

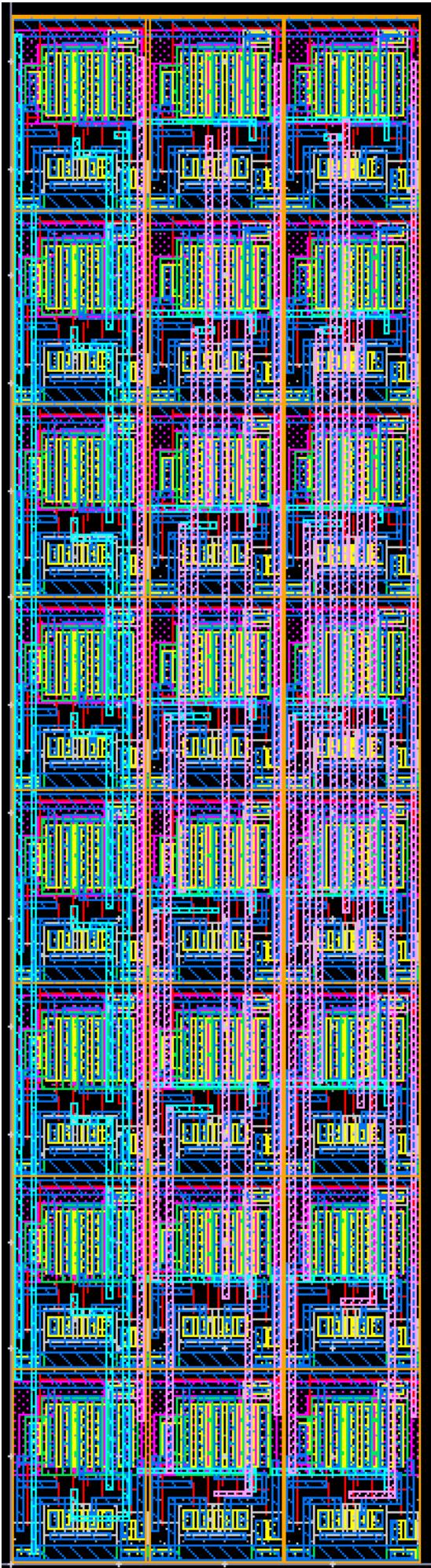
Design Variables	V_S0	1.8	tcLH_inv	expr	(cross(VT"/Q2") 0.18 1 "rising" nil nil nil) - cross(VT"/S0") 1.62 1 "rising" nil nil nil))	292.8p
	V_S1	1.8	tcHL_inv	expr	(cross(VT"/Q2") 1.62 1 "falling" nil nil nil) - cross(VT"/S0") 0.18 1 "falling" nil nil nil))	200.4p
	V_S2	1.8	tpLH_inv	expr	(cross(VT"/Q2") 1.61 1 "rising" nil nil nil) - cross(VT"/S0") 0.18 1 "rising" nil nil nil))	599p
Click to add variable			tpHL_inv	expr	(cross(VT"/Q2") 0.18 1 "falling" nil nil nil) - cross(VT"/S0") 1.62 1 "falling" nil nil nil))	559.5p
Parameters			TPD_inv	expr	((tpLH_inv + tpHL_inv) / 2)	579.2p

$$T_{pd} = 579.2p, T_{pc}=246.6p$$

באופן כללי אין לנו רואים גדילה פי 3 בזמן השהיי של אך מאחר ולא כל המוצאים משתנים ולא תורמים להשיה היכולת ולכן זה הגיוני שלא נראה בהכרח גודל פי 3.

S	T <sub>pd</sub>	T <sub>cd</sub>
000	776.5p	442.2p
111	579.2p	246.6p

ושה"כ קיבל על פי מה שראינו כי-  $T_{cd}=246.6 p[s], T_{pd} = 776.5 p[s]$



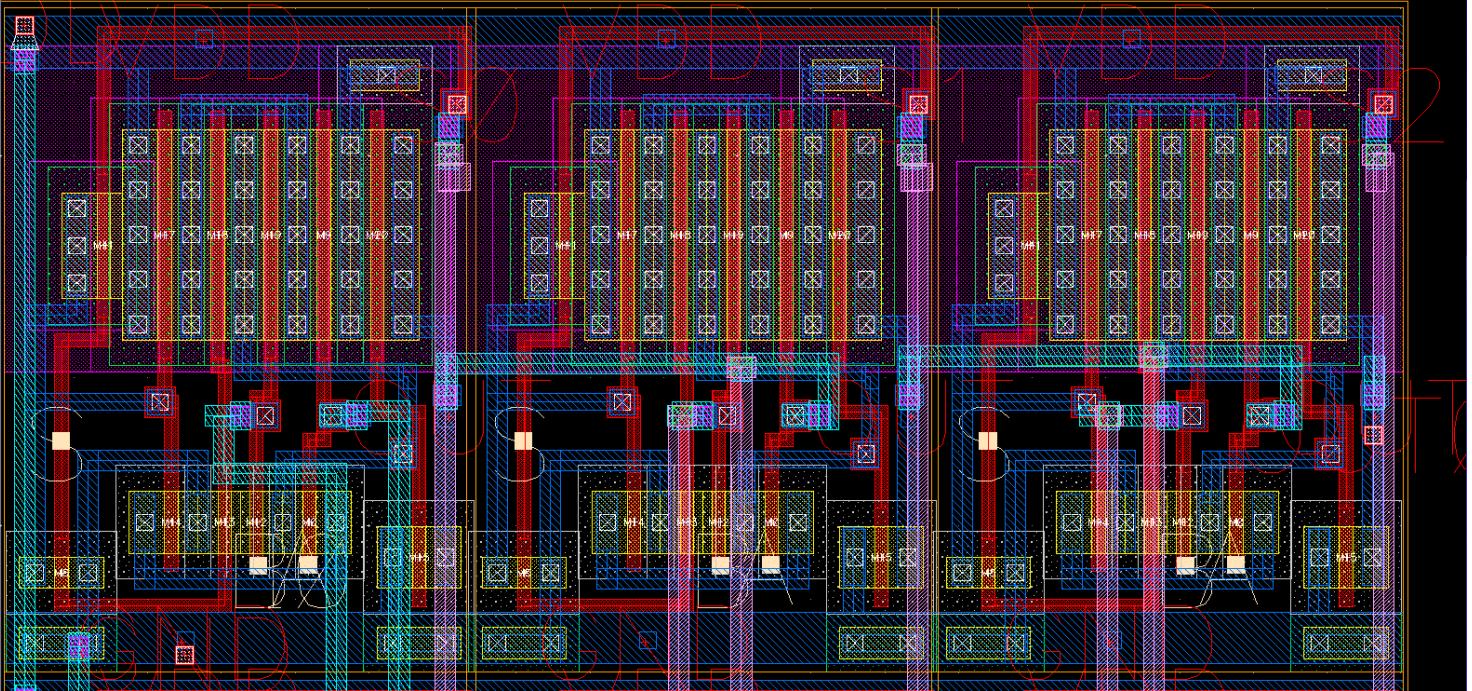
### 3. תכנון Layout של הרכיב ובדיקה:

#### 3.1. שרטטו Layout עבור התא –

마חר ואין לנו הגבלות על גודל התא נתכן אותו בהתאם לציר הסכמטי הראשוני בעזרת המוקשים מחלק 1 - SCD ונסמוך על גודל מינימלי ככל הניתן ללא שטחים מותים.

마חר ועבדנו על  $1 \times 2$ xsuth נאלצנו לעבוד בצורה אנכית כדי לקבל את התוצאה הטובה ביותר מבחינה שכבות ושטחים מותים, כמו כן השתמשנו בשיטות שראינו בשיעור כדי למטה את התכנון כמו למשל דיאגרמת מקЛОות ועקרונות מנחים על הרצה של שכבות מתחת שונות.

בדף הבא רואים דוגמא לשורה מתוך התכנון המלא.



### – DRC 3.2 –

. seal ring coverage

Filter: Show All ▾ EX2p2\_shifter, 3 Results (in 3 of 4 Checks)

Check / Cell
✗ Check SR.N.5
✗ Check M2.C.1
✗ Check M3.C.1
✓ Check DENSITY_PRINT_FILES

1

Rule File Pathname: DRC.rules  
Rule File Title: Tower Semi DRC Check ver.00\_00\_01  
SR.N.5: For PIQ1, PIQ2 and PIQ3: Seal ring MUST be present

### - בדיקת LVS .3.3

**Navigator | Info | Comparison Results x |**

**Results**  
Extraction Results  
Comparison Results

**Reports**  
Extraction Report  
LVS Report

**Rules**  
Rules File

**View**  
Info  
Finder  
Schematics

**Setup**  
Options

**Comparison Results x |**

Layout Cell / Type	Source Cell	Nets	Instances	Ports
EX2p2_shifter	EX2p2_shifter	65L, 65S	120L, 120S	21L, 21S

**Cell EX2p2\_shifter Summary (Clean)**

CELL COMPARISON RESULTS ( TOP LEVEL )

```

#      #####
#      #   #
#      #   CORRECT   #
#      #   #
#      #####

```

LAYOUT CELL NAME: EX2p2\_shifter  
SOURCE CELL NAME: EX2p2\_shifter

---

INITIAL NUMBERS OF OBJECTS

	Layout	Source	Component Type
Ports:	21	21	
Nets:	157	157	
Instances:	144	144	MN (4 pins)
	144	144	MP (4 pins)
Total Inst:	288	288	

---

NUMBERS OF OBJECTS AFTER TRANSFORMATION

	Layout	Source	Component Type
Ports:	21	21	

### - בדיקת PEX .3.4

**File Settings Configurations Help**

**Custom**  
**Rules**  
**Inputs**  
**Outputs**  
**Options**  
**LVS**  
**Database**  
**Run Control**  
**Search**  
**Transcript**

**22731** ======  
**22732** CALIBRE XRC WARNING / ERROR Summary  
**22733** -----  
**22734** xRC Warnings = 1  
**22735** xRC Errors = 0  
**22736** -----  
**22737** --- CALIBRE XRC::FORMATTER COMPLETED - Sat May 10 10:01:33 2025  
**22738** --- TOTAL CPU TIME = 1 REAL TIME = 1 LVHEAP = 144/168/484 MALLOC = 447/447/484 ELAPSED TIME = 4  
**22739** INFO: Running Process post-trigger: \$RDS\_TECH/generic/calibre/ChSParam.pl EX2p2\_shifter.pex.netlist  
**22740** \*\*\* xRC run finished with exit code 0 \*\*\*  
**22741**

**Run PEX**  
**Start RVE**

**0 Errors, 6 Warnings, 7 Infos**

**1** | **2** | **3**

**21898** Calibre Info  
Calibre View generation completed with 20 WARNINGS and 0 ERRORS. Please consult the CIW transcript for messages.  
**21933** Warning  
ME = 0 REAL TIME = 0 LVHEAP = 357/361/409 M

**21934**

**22106**

**22109** Info // CPU Info: Cores = 64, SMT enabled with 64 additional virtual processors

**22714** Warning No ground net names defined in PEX\_NFCTCT statement and 'nil' will be used in the netlist

**Virtuoso® Studio IC23.1 - Log: /home/stu34/CDS.log**

**File Tools Options Tower Help**

WARNING: [FDI3037] Copying properties from schematic instance of (ts018\_prim:pmos\_18:symbol) to instance of (ts018\_prim:pmos\_18:spectre).  
WARNING: [FDI3037] Copying properties from schematic instance of (ts018\_prim:nmos\_18:symbol) to instance of (ts018\_prim:nmos\_18:spectre).  
WARNING: [FDI3037] Copying properties from schematic instance of (ts018\_prim:nmos\_18:symbol) to instance of (ts018\_prim:nmos\_18:spectre).  
WARNING: [FDI3037] Copying properties from schematic instance of (ts018\_prim:nmos\_18:symbol) to instance of (ts018\_prim:nmos\_18:spectre).  
WARNING: [FDI3037] Copying properties from schematic instance of (ts018\_prim:nmos\_18:symbol) to instance of (ts018\_prim:nmos\_18:spectre).  
WARNING: [FDI3037] Copying properties from schematic instance of (ts018\_prim:nmos\_18:symbol) to instance of (ts018\_prim:nmos\_18:spectre).  
WARNING: [FDI3037] Copying properties from schematic instance of (ts018\_prim:nmos\_18:symbol) to instance of (ts018\_prim:nmos\_18:spectre).  
WARNING: [FDI3037] Copying properties from schematic instance of (ts018\_prim:nmos\_18:symbol) to instance of (ts018\_prim:nmos\_18:spectre).  
WARNING: [FDI3037] Copying properties from schematic instance of (ts018\_prim:nmos\_18:symbol) to instance of (ts018\_prim:nmos\_18:spectre).  
Calibre View generation completed with 20 WARNINGS and 0 ERRORS. Please consult the CIW transcript for messages.

mouse L: mouseSingleSelectPt()  
M: mgc\_custom\_menus\_run\_menu\_cmd("PEX" ":"CalibreInterface::execCalibre PEX" 'nil ?code "")  
R: \_lxHiMousePopUp()

יש לא מעט מאחר ויש המון vias ומתקנות עם אורך גדול

No	Layout Net	Source Net	R Count	C Total (F)	CC Total (F)	C+CC Total (F)
1	VDD	GND	568	1.78568E-17	7.97255E-14	8.49193E-14
2	GND	GND	522	1.81039E-17	7.97255E-14	8.49193E-14
3	S2	S2	214	8.08669E-16	1.05057E-14	1.07568E-14
4	S1	S1	214	7.70349E-16	1.06577E-14	1.08934E-14
5	S0	S0	214	3.10783E-16	1.45374E-14	1.48481E-14
6	net41	net41	51	8.72756E-16	9.82326E-15	9.82326E-15
7	net24	net24	51	9.74316E-16	9.47404E-15	9.47376E-15
8	net47	net47	51	9.70327E-16	9.51156E-15	9.51156E-15
9	net7	net7	51	7.35529E-16	7.04151E-15	7.04151E-15
10	net30	net30	51	7.03632E-16	7.04151E-15	7.04151E-15
11	K2	K2	50	1.00332E-17	3.05480E-15	9.07483E-15
12	net1	net1	50	9.09459E-16	6.23100E-15	6.24070E-15
13	net6	net6	50	9.13927E-16	6.42200E-15	6.49114E-15
14	net4	net4	50	9.03040E-16	6.22222E-15	6.22222E-15
15	net9	net9	50	9.52100E-16	6.40547E-15	6.40547E-15
16	K1	K1	43	8.44276E-16	3.75135E-15	9.75557E-15
17	J0	J0	43	1.01368E-16	9.60776E-15	9.61780E-15
18	J1	J1	48	1.04161E-16	9.99035E-14	1.00008E-14
19	net8	net8	48	8.26786E-16	6.01344E-15	6.02170E-15
20	K0	K0	48	9.52100E-16	6.40547E-15	6.40547E-15
21	K3	K3	45	1.13395E-16	8.47989E-15	8.49404E-15
22	X11/X1/9	X11/X1/9	36	4.31089E-17	1.93800E-15	1.99403E-15
23	X49/X3/X1/9	X13/net1	30	7.65063E-16	2.03967E-15	2.04044E-15
24	X49/X1/9	X140/net1	30	6.00838E-18	2.10051E-15	2.09851E-15
25	X50/X3/X1/9	X124/net1	30	1.14500E-16	2.05754E-15	2.05680E-15
26	X50/X3/X0/9	X124/net1	30	4.80942E-16	2.03651E-15	2.03895E-15
27	X11/X3/X1/9	X18/net1	30	7.61691E-16	1.99553E-15	1.99611E-15
28	X49/X2/X1/9	X130/net1	30	8.42606E-16	2.02503E-15	2.02608E-15
29	X49/X2/X1/9	X130/net1	30	7.95285E-16	2.02905E-15	2.03045E-15
30	X51/X3/X1/9	X130/net1	30	5.28900E-16	2.02905E-15	2.02905E-15
31	X49/X2/X0/9	X127/net1	30	4.80823E-16	2.02910E-15	2.03035E-15
32	X48/X2/X0/9	X129/net1	30	4.06186E-17	2.01953E-15	2.01994E-15
33	X51/X2/X0/9	X111/net1	30	4.80587E-16	2.03631E-15	2.03679E-15
34	X48/X2/X0/9	X143/net1	30	5.07474E-16	2.04201E-15	2.04323E-15
35	X11/X3/X1/9	X134/net1	30	7.75105E-16	1.99800E-15	1.99800E-15
36	X49/X3/X1/9	X135/net1	30	3.32022E-16	2.01097E-15	2.01180E-15
37	X49/X3/X0/9	X126/net1	30	4.80603E-16	2.02346E-15	2.02426E-15
38	X50/X3/X1/9	X131/net1	30	1.13012E-16	2.02795E-15	2.02871E-15
39	X49/X2/X1/9	X141/net1	30	5.84400E-16	2.04737E-15	2.04845E-15
40	X50/X3/X0/9	X139/net1	30	2.30314E-16	2.05207E-15	2.05275E-15
41	X50/X0/9	X139/net1	30	6.86134E-17	2.05207E-15	2.05275E-15
42	X50/X1/9	X138/net1	30	4.75066E-16	2.02850E-15	2.02897E-15
43	X48/X3/X0/9	X126/net1	30	4.80903E-16	2.03020E-15	2.03076E-15
44	X51/X0/9	X137/net1	30	9.15800E-16	2.03020E-15	2.03076E-15
45	X48/X2/X1/9	X130/net1	30	5.59886E-16	2.02310E-15	2.02461E-15
46	II	II	25	2.50597E-16	1.24957E-15	1.24982E-14
47	I5	I5	24	4.95317E-16	1.24871E-15	1.24874E-15
48	I1	I1	24	4.41982E-16	2.44469E-15	2.44509E-15
49	I7	I7	24	4.86129E-16	2.44469E-15	2.44509E-15
50	I6	I6	24	4.86129E-16	2.45484E-15	2.45493E-15
51	I3	I3	24	5.26556E-16	2.54789E-15	2.54841E-15
52	I2	I2	24	6.30404E-16	2.64641E-15	2.64677E-15
53	I4	I4	24	4.99338E-16	2.51208E-15	2.51335E-15
54	X51/X0/8	X137/S...NOT	20	2.51208E-16	1.99800E-15	1.99800E-15
55	X50/X0/8	X138/S...NOT	20	6.81939E-16	1.43745E-15	1.49132E-15
56	X49/X2/X1/8	X134/S...NOT	20	3.73483E-16	1.51809E-15	1.51848E-15
57	X48/X3/X1/8	X135/S...NOT	20	4.08844E-16	1.50031E-15	1.50072E-15
				1.31000E-15		

No	Layout Net	Source Net	R Count	C Total (F)	CC Total (F)	C+CC Total (F)
59	X15/X2/X1/8	X10/S...NOT	20	1.26130E-16	1.45408E-15	1.45421E-15
60	X49/X2/X0/8	X10/S...NOT	20	1.80100E-16	1.45397E-15	1.45415E-15
61	X10/X2/X0/8	X10/S...NOT	20	3.23230E-16	1.33899E-15	1.33915E-15
62	X15/X2/X1/8	X10/S...NOT	20	4.59892E-16	1.45689E-15	1.45698E-15
63	X10/X1/8	X10/S...NOT	20	2.57759E-16	1.40214E-15	1.40240E-15
64	X50/X2/X0/8	X10/S...NOT	20	2.26005E-16	1.30708E-15	1.30768E-15
65	X49/X2/X0/8	X10/S...NOT	20	7.50000E-16	1.30708E-15	1.30768E-15
66	X49/X1/8	X10/S...NOT	20	4.55175E-16	1.43200E-15	1.43245E-15
67	X48/X1/8	X10/S...NOT	20	3.27961E-16	1.49103E-15	1.49136E-15
68	X15/X1/8	X10/S...NOT	20	3.38799E-16	1.47020E-15	1.47054E-15
69	X16/X1/8	X10/S...NOT	20	5.81000E-16	1.33899E-15	1.33915E-15
70	X48/X0/8	X10/S...NOT	20	0.00000	1.45138E-15	1.45138E-15
71	X50/X2/X1/8	X10/S...NOT	20	7.07073E-16	1.40244E-15	1.40315E-15
72	X48/X2/X0/8	X10/S...NOT	20	1.02934E-16	1.33239E-15	1.33306E-15
73	X124/S...NOT	X10/S...NOT	20	3.39723E-16	1.30391E-15	1.30575E-15
74	X125/S...NOT	X10/S...NOT	20	1.11000E-16	1.40144E-15	1.40220E-15
75	X15/X2/X0/8	X11/S...NOT	20	2.53085E-16	1.30887E-15	1.30918E-15
76	X128/S...NOT	X11/S...NOT	20	1.84660E-16	1.30891E-15	1.30709E-15
77	X50/X2/X1/8	X11/S...NOT	20	4.04140E-16	1.40803E-15	1.40848E-15
78	X127/S...NOT	X11/S...NOT	20	5.30303E-16	1.30944E-15	1.30951E-15
79	OUT1	OUT1	19	5.33417E-16	1.17057E-15	1.17159E-15
80	OUT7	OUT7	19	5.33079E-16	1.17056E-15	1.17056E-15
81	OUT1	OUT0	19	5.47671E-16	1.17529E-15	1.17607E-15
82	OUT1	OUT0	19	5.33039E-16	1.17529E-15	1.17529E-15
83	OUT3	OUT6	19	5.33050E-16	1.09044E-15	1.09051E-15
84	OUT4	OUT5	19	5.13703E-16	1.10105E-15	1.10632E-15
85	OUT5	OUT4	19	5.14614E-16	1.11519E-15	1.12404E-15
86	X49/X1/8	X10/S...NOT	19	5.30029E-20	1.32238E-15	1.32238E-15
87	X50/X2/X1/8	X10/S...NOT	19	9.70414E-20	1.37270E-15	1.37270E-15
88	X49/X2/X1/8	X10/S...NOT	19	5.30029E-20	1.26983E-15	1.26983E-15
89	X50/X1/10	X10/S...NOT	19	5.30029E-20	1.26974E-15	1.26974E-15
90	X50/X3/X0/10	X10/S...NOT	19	0.00000	1.30863E-15	1.30863E-15
91	X50/X3/X1/10	X10/S...NOT	19	5.30029E-20	1.30863E-15	1.30863E-15
92	X49/X2/X0/10	X10/S...NOT	19	0.00000	1.31189E-15	1.31189E-15
93	X49/X3/X0/10	X10/S...NOT	19	5.30029E-20	1.28135E-15	1.281140E-15
94	X15/X1/10	X10/S...NOT	19	0.00000	1.28025E-15	1.28025E-15
95	X49/X4/X10	X10/S...NOT	19	0.00000	1.30751E-15	1.30751E-15
96	X50/X4/X10	X10/S...NOT	19	1.70100E-19	1.33124E-15	1.33124E-15
97	X51/X2/X1/10	X10/S...NOT	19	9.70414E-20	1.37270E-15	1.37270E-15
98	X51/X3/X0/10	X10/S...NOT	19	0.00000	1.27777E-15	1.27777E-15
99	X51/X3/X1/10	X10/S...NOT	19	0.00000	1.26746E-15	1.26746E-15
100	X51/X4/X0/10	X10/S...NOT	19	2.53210E-20	1.30432E-15	1.30432E-15
101	X49/X4/X10	X10/S...NOT	19	0.00000	1.31036E-15	1.31036E-15
102	X50/X4/X2/0	X10/S...NOT	19	0.00000	1.30539E-15	1.30539E-15
103	X49/X4/X10	X10/S...NOT	19	1.07066E-19	1.27070E-15	1.27070E-15
104	X49/X4/X12	X10/S...NOT	19	0.00000	1.27070E-15	1.27070E-15
105	X50/X2/X1/10	X10/S...NOT	19	5.30029E-20	1.30142E-15	1.30142E-15
106	X50/X3/X0/10	X10/S...NOT	19	0.00000	1.31021E-15	1.31021E-15
107	X50/X3/X1/10	X10/S...NOT	19	0.00000	1.30634E-15	1.30634E-15
108	X50/X4/X0/10	X10/S...NOT	19	5.30029E-20	1.34132E-15	1.34132E-15
109	X50/X4/X1/10	X10/S...NOT	19	2.73871E-20	1.30432E-15	1.30432E-15
110	X49/X4/X0/10	X10/S...NOT	19	9.70414E-20	1.30432E-15	1.30432E-15
111	X49/X4/X1/10	X10/S...NOT	19	9.197340E-19	1.95218E-16	1.95218E-16
112	X50/X4/X1/10	X10/S...NOT	19	1.115125E-19	9.33239E-16	9.33324E-16
113	X50/X4/X1/11	X10/S...NOT	19	4.06000E-19	1.30301E-16	1.30301E-16
114	X49/X3/X1/11	X10/S...NOT	19	5.30029E-20	9.49424E-16	9.49424E-16
115	X49/X2/X1/11	X10/S...NOT	19	9.37817E-19	1.37220E-16	1.37220E-16
116	X49/X2/X1/12	X10/S...NOT	19	1.32057E-19	9.77223E-16	9.77223E-16
117	X51/X3/X1/11	X10/S...NOT	19	9.17242E-19	9.52795E-16	9.52866E-16
118	X56/X4/X1/11	X10/S...NOT	19	7.58694E-20	9.66939E-16	9.66939E-16
119	X56/X4/X1/12	X10/S...NOT	19	9.53029E-20	9.67466E-16	9.67466E-16
120	X49/X3/X1/11	X10/S...NOT	19	0.00000	1.30390E-16	1.30390E-16
121	X51/X3/X1/11	X10/S...NOT	19	9.1546E-19	9.68236E-16	9.68431E-16
122	X51/X3/X1/12	X10/S...NOT	19	0.00000	1.32238E-16	1.32238E-16
123	X51/X4/X1/11	X10/S...NOT	19	9.15314E-19	9.59397E-16	9.59700E-16
124	X51/X4/X1/12	X10/S...NOT	19	0.00000	1.32238E-16	1.32238E-16
125	X51/X5/X1/11	X10/S...NOT	19	0.00000	1.26746E-15	1.26746E-15

tran 0 2u conservative

Click to add analysis

Design Variables

<input type="checkbox"/> V_S0	1.8
<input type="checkbox"/> V_S1	0
<input type="checkbox"/> V_S2	0

tcLH_inv	expr	(cross(VT("/Q1") 0.18 1 "rising" nil nil nil) - cross(VT("/S0") 1.62 1 "falling" nil nil nil))	544.2p
tcHL_inv	expr	(cross(VT("/Q1") 1.62 1 "falling" nil nil nil) - cross(VT("/S0") 0.18 1 "rising" nil nil nil))	503.1p
tpLH_inv	expr	(cross(VT("/Q1") 1.61 1 "rising" nil nil nil) - cross(VT("/S0") 0.18 1 "falling" nil nil nil))	866.7p
tpHL_inv	expr	(cross(VT("/Q1") 0.18 1 "falling" nil nil nil) - cross(VT("/S0") 1.62 1 "rising" nil nil nil))	871.4p
TPD_inv	expr	((tpLH_inv + tpHL_inv) / 2)	869.1p

עבור  $s=111$

out=01000100

tran 0 2u conservative

Click to add analysis

Design Variables

<input type="checkbox"/> V_S0	1.8
<input type="checkbox"/> V_S1	1.8
<input type="checkbox"/> V_S2	1.8

tcLH_inv	expr	(cross(VT("/Q2") 0.18 1 "rising" nil nil nil) - cross(VT("/S0") 1.62 1 "rising" nil nil nil))	363.8p
tcHL_inv	expr	(cross(VT("/Q2") 1.62 1 "falling" nil nil nil) - cross(VT("/S0") 0.18 1 "falling" nil nil nil))	246.2p
tpLH_inv	expr	(cross(VT("/Q2") 1.61 1 "rising" nil nil nil) - cross(VT("/S0") 0.18 1 "rising" nil nil nil))	686.3p
tpHL_inv	expr	(cross(VT("/Q2") 0.18 1 "falling" nil nil nil) - cross(VT("/S0") 1.62 1 "falling" nil nil nil))	615.9p
TPD_inv	expr	((tpLH_inv + tpHL_inv) / 2)	651.1p

S	Tpd	Tcd
000	869.1p	523.6p
111	651.1p	305p

כמו בסעיף 2 נקבע  $Tpd$  מקסימום ועבור  $Tcd$  מינימום ונתקבל –

נבצע השוואה מול העריכים שקיבלונו בסעיף 2 –

	Tpd	Tcd
PEX	869.1p	305p
NO PEX	579.2p	246.6p

נשים לב לעלייה בערכים מאחר והוספנו המונח קיבולים קטנים אף רבים וכך גם לגבי התתנדויות, הזמן גדל.