



אוניברסיטת בן-גוריון בנגב  
Ben-Gurion University of the Negev

## מבוא ל-VLSI ומעגלים משלבים

361-1-3701

עבודה מס' 1

סימולציות בסיסיות, היכרות עם הכלים ובנית מהפרק

ארד וזאני 207898180

עומר אורן 208948794

מספר משתמש – 34 (stu34)

רישיון קבוצה – 23

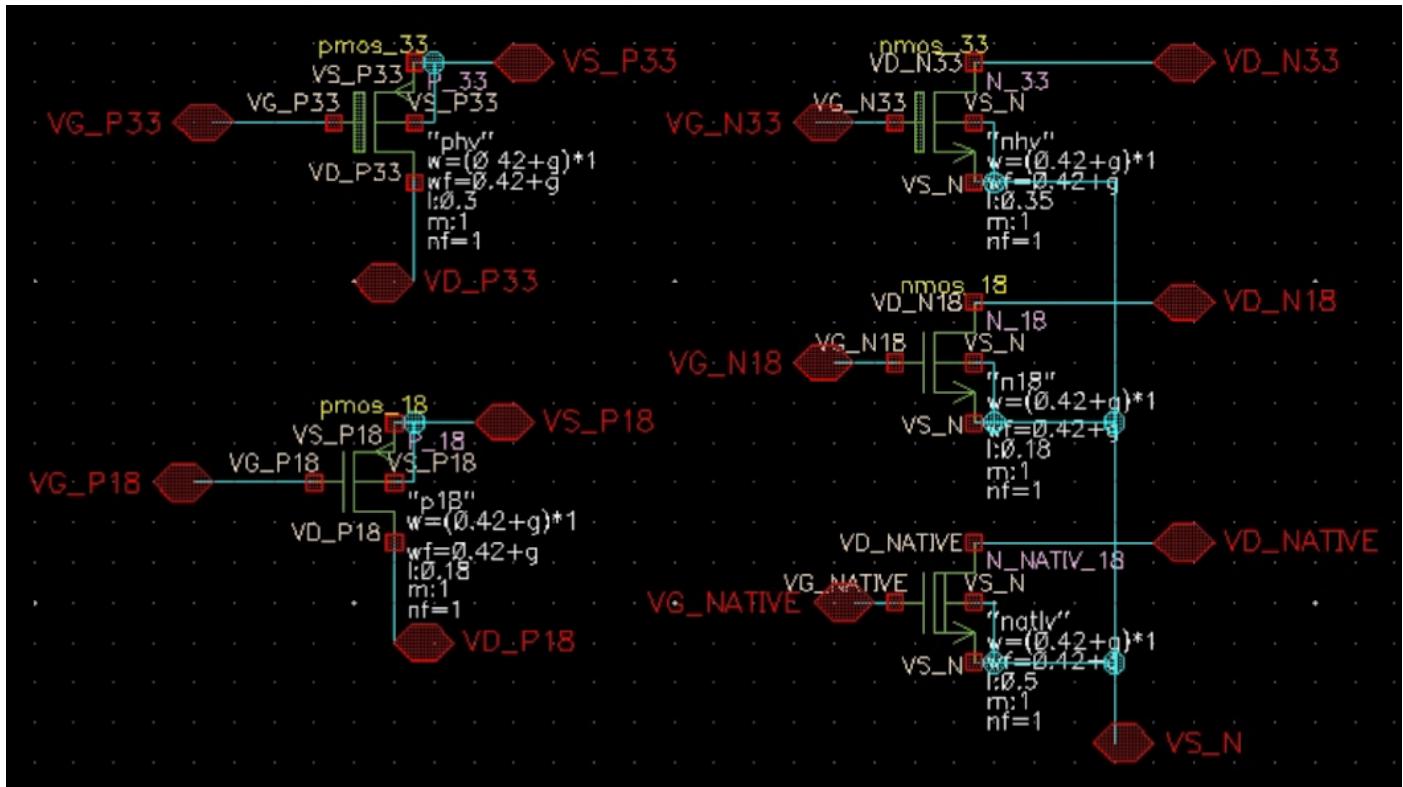
תאריך הגשה – 20.4.2025

**פרמטר G = מספר המשתמש = 34**

# 1. הכרת ההתקנים:

בחלק זה התבוננו לייצר סכמתה פשוטה של טרנזיסטורים מסוג סומק וסומק ובעל מתחי סף שונים ולבצע אנליזות על הזרמים.

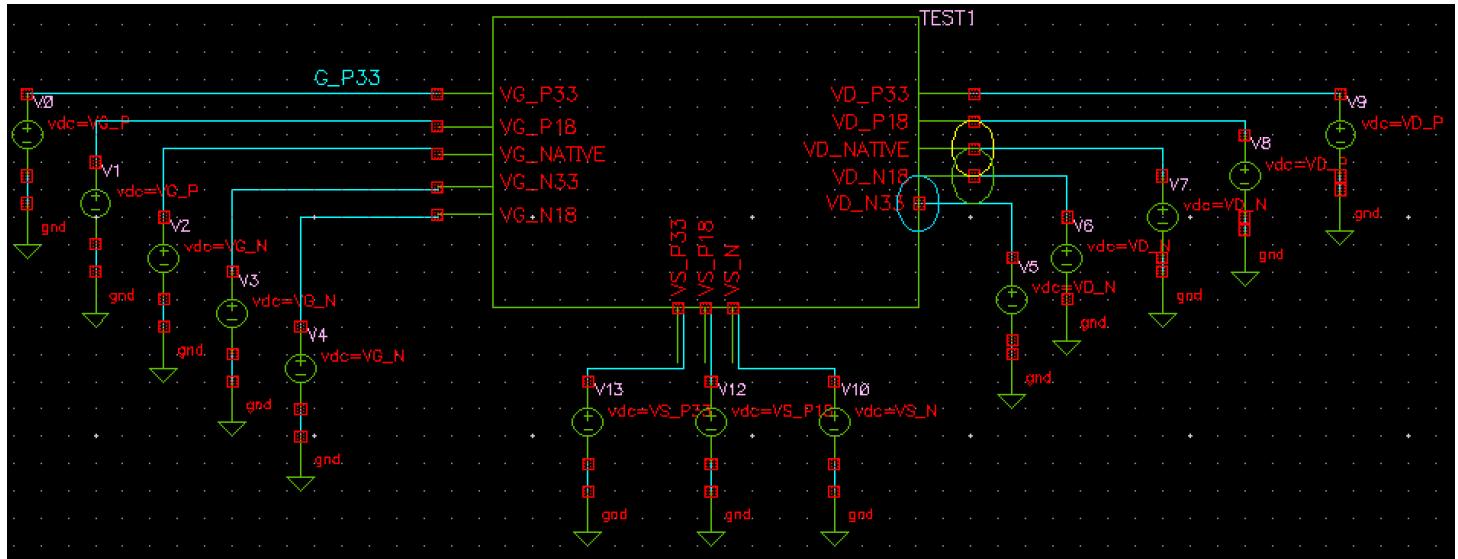
להלן הסכמתה של המודול:



יצרנו את הפינים השונים וחיברנו את המקור יחד עם המצע.

כמו כן יצרנו משתנה גלובלי  $g$  שמהווה את הפרמטר שלנו עבור העבודה ולמעשה רוחב הטרנזיסטוריםCut, כפי שניתן לראות בתמונה,  $g=0.42$  כארס  $\mu$  ויהי  $0.34$  מיקרו מטר כלומר סה"כ רוחב התעללה בטרנזיסטורים  $= \mu\text{m} \cdot 0.720$ . L - אורך התעללה משתנה כתלות במתוך הפעלה בין כל טרנזיסטור זהה הפרמטר שבעיר מבידיל בין מתחי הסף של הטרנזיסטורים.

לאחר שבנו את הסכמתה ניצור סימבול מהמודול ונעביר לתוכן את TB:



חיברנו את היציאות של המגל שלנו למקורות מתח ישר [cde](#), ונתנו לכל מקור מתוך שם המשתנה המתאים לו [כפי](#) [שניתן](#) לראות בתמונה.

- מתח המזקע (שמקוצר למצוע) של הח'ה יהי' באדמה (כלהר 0=v) ושל הק'ה יהי' בDD – VDD
- מתח המזקע עبور כל סוג ה- pmos – VG\_P
- מתח השער עبور כל סוג ה- VG\_N
- מתח המשפר עبور כל סוג ה- pmos – VD\_P
- מתח המשפר עبور כל סוג ה- pmos – VD\_N
- מתח המקור עبور 18 pmos – VS\_P18
- מתח המקור עبور 33 pmos – VS\_P33
- מתח המזקע עبور כל סוג ה- pmos – VS\_N

המתח הגבואה ביותר בمعالג, 3.3V.

icut נאכל לשנות את ערכי המשתנים בהתאם לסימולציה המתואימה ב-**explorer**.

### -VDS סימולציה DC sweep על S1.1

בוסף זה נרצה להריץ סימולציה DC sweep על מתח drain-source כאשר מתחת Gate-Source יהיה קבוע ושווי ל-VDD ונציג את גраф V-I עבור כל אחד משפחות הטרנזיסטורים.

עבור סומק נחזק את מתח VGS על 3.3- קלומר מתח המקור P\_VG על 3.3 ומתח השער P\_VS על 0.

עבור סוסוח הכל יהיה הפור, מתח VGS על 3.3 וכמו שראינו המקור שלהם  $N_{VS}$  באדמה  
לכן השער  $N_{VG}$  יהיה על 3.3.

Analysis

- tran
- dc
- ac
- noise
- xf
- sens
- dcmatch
- acmatch
- stb
- pz
- lf
- sp
- envlp
- pss
- pac
- pstd
- pnoise
- pxf
- psp
- qpss
- qpac
- qpnoise
- qpxf
- qpss
- hb
- hbac
- hbstd
- hnoise
- hbpf
- hbxf

DC Analysis

Save DC Operating Point

Hysteresis Sweep

Sweep Variable

Temperature

Design Variable Variable Name: VD\_P

Component Parameter

Model Parameter

Select Design Variable

Sweep Range

Start-Stop Start: 3.3 Stop: 0

Center-Span

Sweep Type

Automatic

Add Specific Points

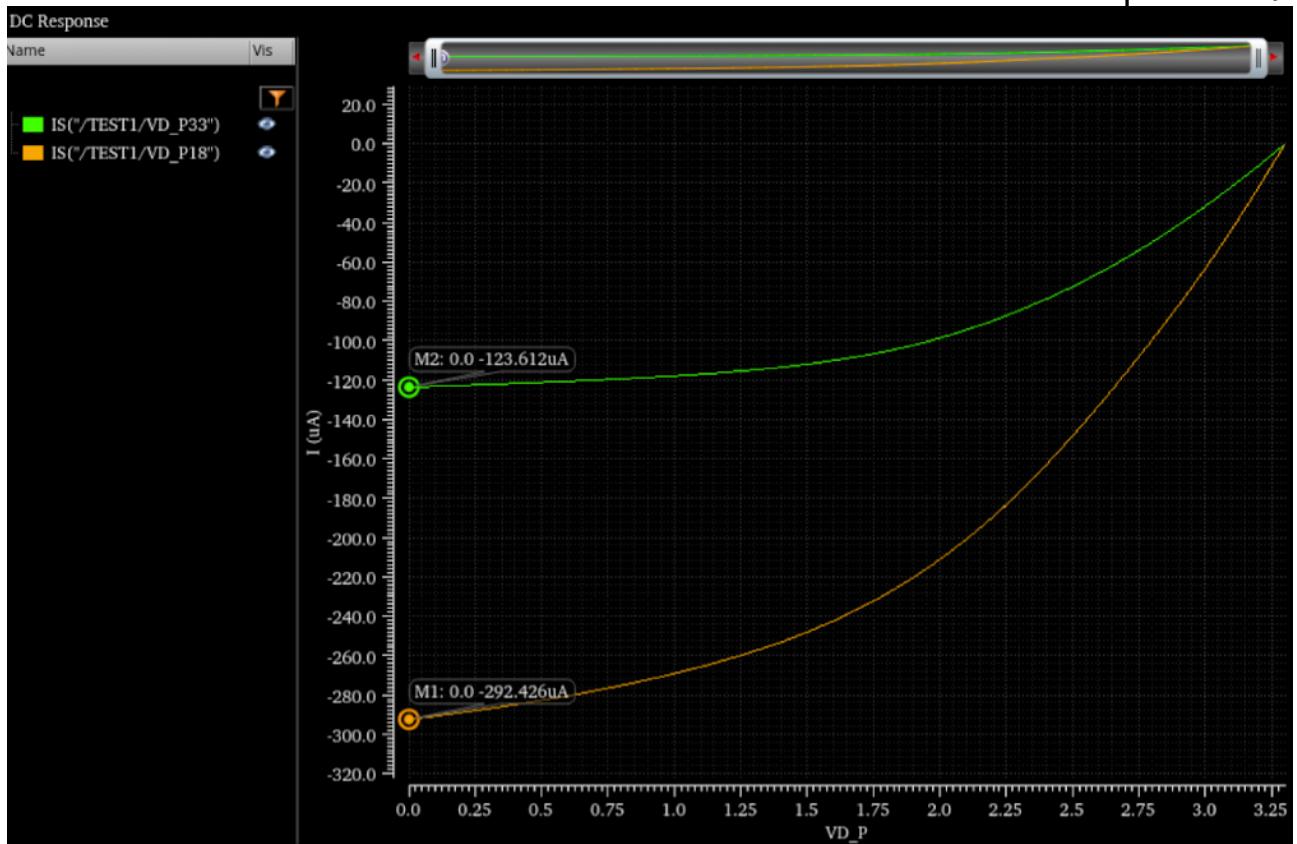
Add Points By File

Enabled

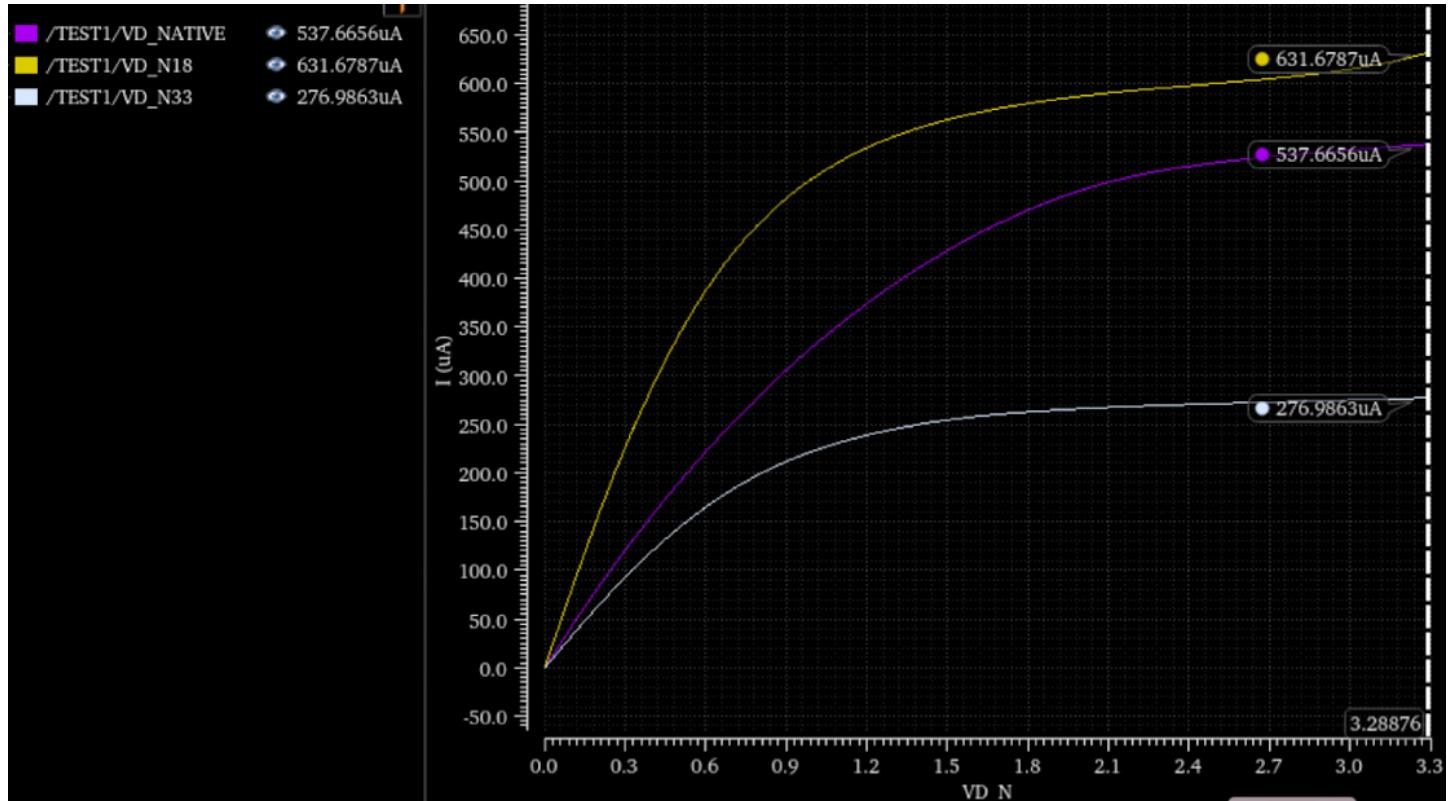
 g	0.34u
 VS_N	0
 VS_P18	3.3
 VS_P33	3.3
 VG_N	3.3
 VG_P	0
 VD_N	3.3
 VD_P	0

נלחץ את מתח N/P VD\_P עד ל-3.3 כדי לקבל את הסימולציה ונבדוק את זרמי המשפר - Ids בכל הטרנזיסטורים בעזרת הוטק שבסמץ append.a.

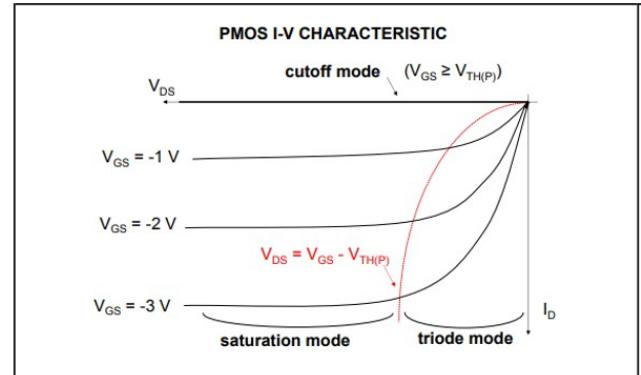
עבור Sosmod:



ועבור סומח:



זרם תאורי בדסוק כתלות בהפרש בין מתח שער למתח סף.



ב סומק ניתן לראות שהזרם דרך המשפר הוא שלילי, כיון שבסוג זהה הזרם זורם מהמקור למושך, אך אלו מתיחסים אליו בעבר מוחלט.

از ראשית אנו רואים כי במקרה, כשהשניהם באוטו  $V_{GS} \geq V_{TH(P)}$  מחר והטרנזיסטור הקטן יותר מגיב מהר יותר מאשר ומתח הסף שלנו נמוך יותר, הזרם דרכו יהיה גדול יותר מהmosfet. בנוסף עבור ערכי  $V_{DS}$  קטנים מהתפרש מתח מקור שער ומתח הסף אנחנו באזור הלייניארי כמו הטרנזיסטור מתנהג נגד ולאחר מכן כאשר  $V_{DS} > V_{GS} - V_{TH(P)}$  עבר את התפרש, נגיע לאזור הרויה שם הטרנזיסטור מתנהג כמקור זרם קבוע, כפי שניתן להראות בתמונה התאורטית.

עבור ה סומח המצב דומה רק שיש גם טרנזיסטור מסווג מחסור – מתח הסף שלו קטן יותר, לעומת זאת סומח דומה זו זה לא רלוונטי כי מסתכלים על מתח שף. כמו כן בדומה לכך נקבל

שוב על אותו עיקרון שהטרנזיסטור הקטן עם זרם גדול יותר גם בהשוואה לטרנזיסטור של המחסור, כי אם כולם פתוחים במתוך שער הזה ומאחר והתעללה קטנה יותר באותו מפל מתח נקבל זרם גדול יותר.

Cut Off	$V_{GS} \leq V_T$	$I_{DS} = 0$
Linear	$V_{GS} > V_T, V_{DS} \leq V_{GS} - V_T$	$I_{DS} = \mu_s C_{ss} \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] (1 + \lambda V_{DS})$
Saturation	$V_{GS} > V_T, V_{DS} > V_{GS} - V_T$	$I_{DS} = \frac{1}{2} \mu_s C_{ss} \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$

תזכורת על משוואות הזרמים בתחומים השונים, שמצדיקים את הגרפים שקיבלנו. ובכן גם הסיבה שבגללה טרנזיסטור קטן יותר עם אותו מפל מתח יספק יותר זרם:

$$V_{th_{18}} < V_{th_{33}} ; L_{18} < L_{33} \rightarrow \frac{W}{L_{18}} > \frac{W}{L_{33}}$$

## 1.2. סימולציה DC sweep על S-VGS

בדומה לסימולציה הראשונה נשתמש באותו פרמטרים חוץ מאשר במתוך השער שעליו נבעצע סימולציה sweep ונעביר אותו מ-3.3-0.

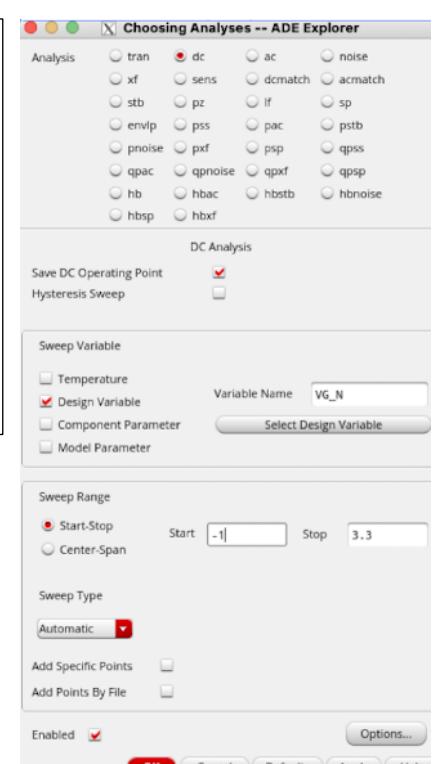
עבור native\_sweep, מתח הסוף שלילי וכן ניתן ביטוי שניי טווח המתוח בהתאם, נרצה לראות את התחלת מתח הסוף. לכן עבורי נשים את טווח המתוח להיות מ-(-VDD עד 0).

לכן נשאיר את הפרמטרים הבאים:

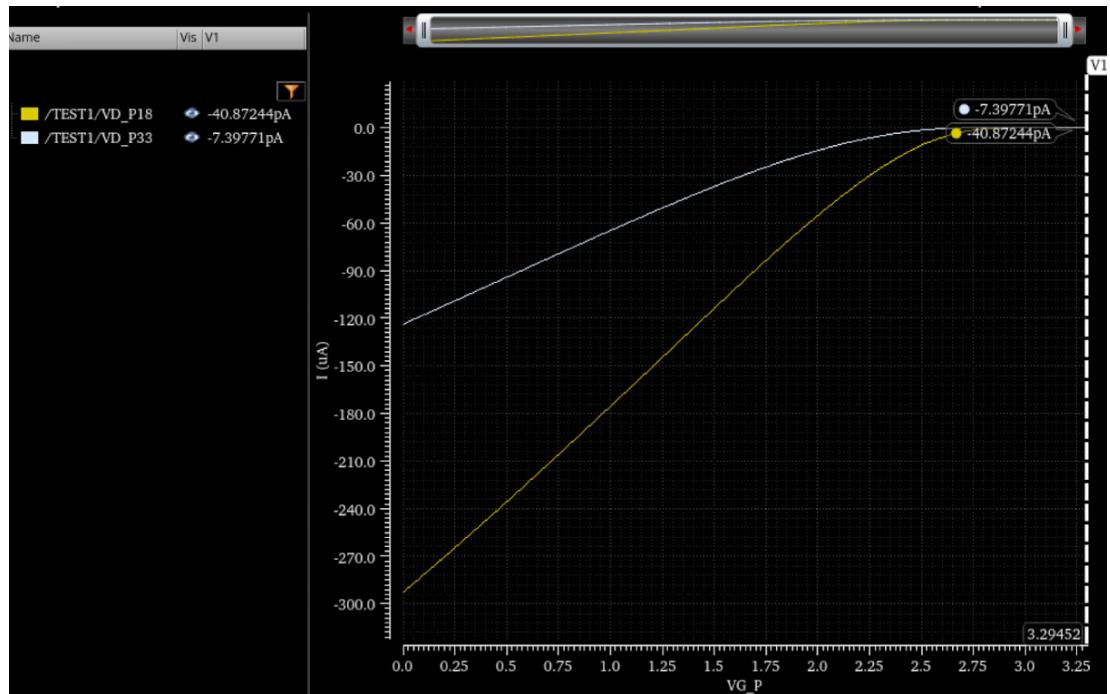
g	0.34u
VS_N	0
VS_P18	3.3
VS_P33	3.3
VG_N	3.3
VG_P	0
VD_N	3.3
VD_P	0

נצהה שעבור מתח שער מקור שקטן ממתוח הסוף הטרנזיסטור יהיה בקעעון וכאשר גודל ממתוח הסוף הטרנזיסטור יוליך והזרם יגדל ככל שמתוח שער מקור גדל.

בשני המקרים נצהה לקבל זרם גם מתחת למתח הסוף הקלאסי.

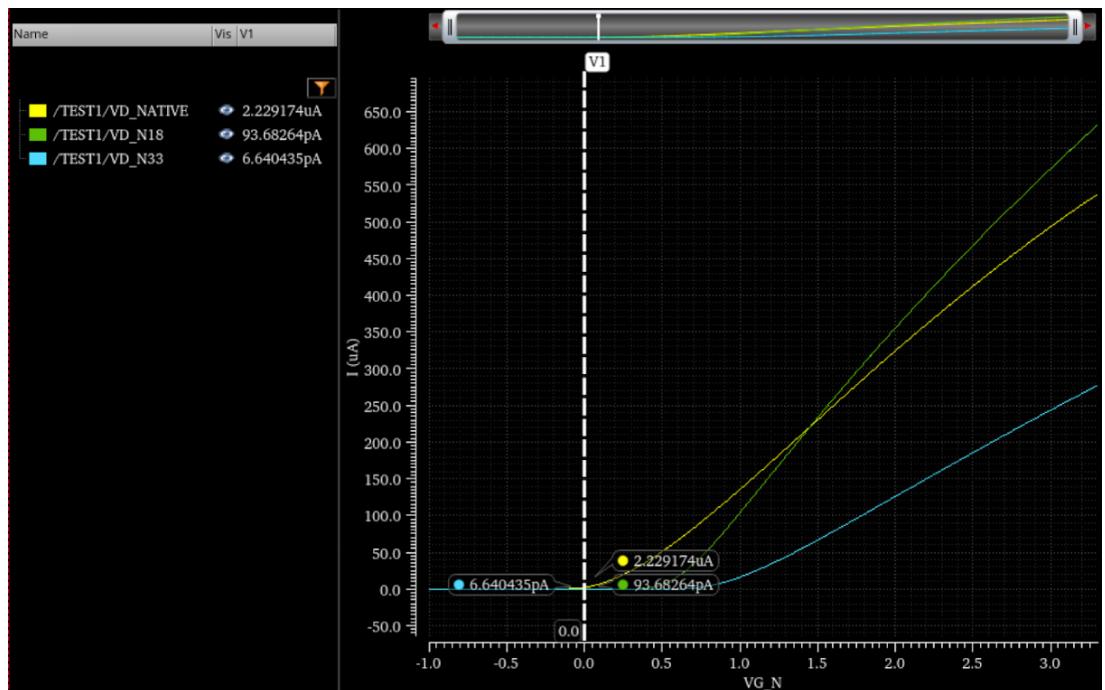


עבור Sosd:



ניתן לראות שהטרנזיסטור הקטן יותר מוליך חזק יותר שוב עם הבדל משמעותי כשמיון במתוך VDD בשער זהה כפי שציפינו מאחר ומתח הסוף שלו נמוך יותר. כמו כן מתחים מתחילה במצב לינארי כאשר מתח המשפר קטן ממתוך השער פחות מתח הסוף עד אשר מתח השער גדול ונכנסים לאזור רויה, כשהוא קטן ממתוך הסוף נוכנסים לקטעון אך בתמונה אפשר לראות עם המרקר שעדיין יש זרמי זליגה.

עבור Sosw:



גם פה קורה את אותו התנהגות כמו Sosd רק שהכל הפוך בכיוונים, כמו כן ניתן לראות בתמונה במרקר שטרנזיסטור המחשב נכנס להולכה מוקדם יותר כי מתח הסוף שלו קטן מ0.

### 1.3. חישוב מתח סף -

כדי לחשב מתח סף נתחיל מחישוב זרם סף על פי הנוסחה שהיצרניות משתמשות בה כדי להגדיר זרם סף  $I_{ds} = \frac{W}{L} A_{ds}^{\frac{1}{2}}$  מגדיר את זרם הסף על פי מימדי הטרנזיסטור, ועכשיו ניתן למצאו את מתח הסף כתלות במתח VDS –

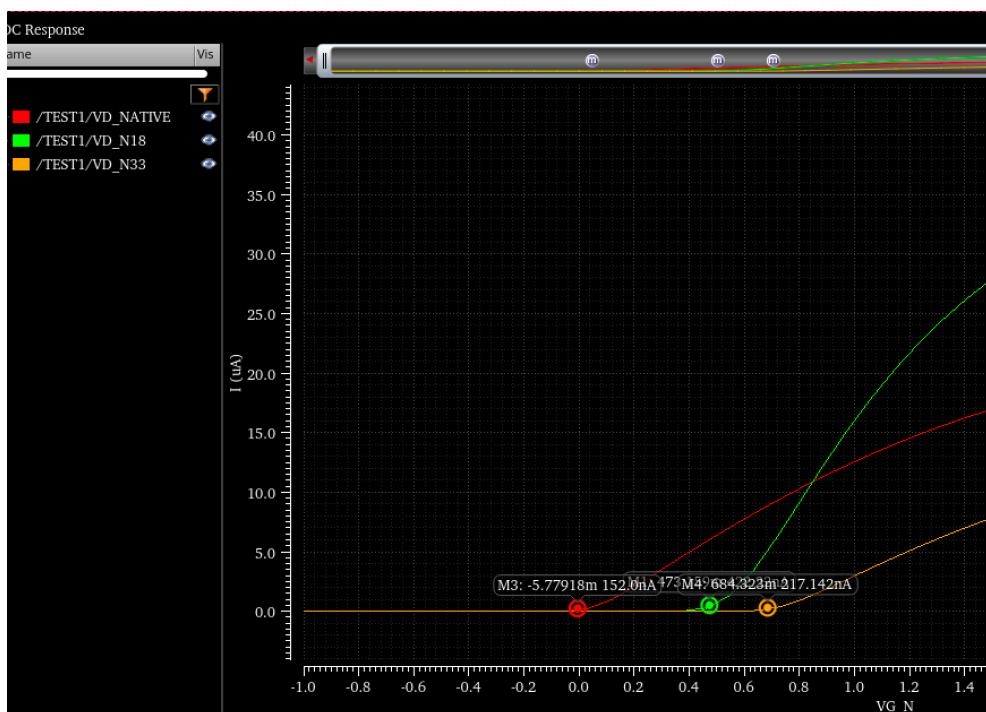
$V_{Tlin}$  – מתח סף הנמדד כאשר  $V_{DS}$  קטן מאוד

$V_{Tsat}$  – מתח סף הנמדד כאשר  $V_{DS}$  גדול מאוד (בדרך כלל שווה ל- $V_{DD}$ )

כעת נקבע את מתח  $sds$  להיות נמוך ( $50mV$ ) כי זו השאייפה בדיזיין חסכוני בהספק, נבצע deep sweep על  $vgs$  ונחפש את הזרם שקיבלו מהחישוב כפי שניתן לראות בתמונה להלן, לאחריה הטבלה מסודרת עבורי הערכיהם של זרם הסף ומתח הסף המתאים להם כאשר  $vds=50mv$ .

$vds=50mv$	מתח הסף מהגרף כאשר $vds=50mv$ [mV]	זרם הסף $ IDS $ [nA]	סוג הטרנזיסטור
-632.13	$100n \frac{0.76}{0.3} = -253.33$	pmos_33	
-471	$100n \frac{0.76}{0.18} = -422.22$	pmos_18	
473.159	$100n \frac{0.76}{0.18} = 422.22$	nmos_18	
684.323	$100n \frac{0.76}{0.35} = 217.142$	nmos_33	
-5.779	$100n \frac{0.76}{0.5} = 152$	nmos_native	

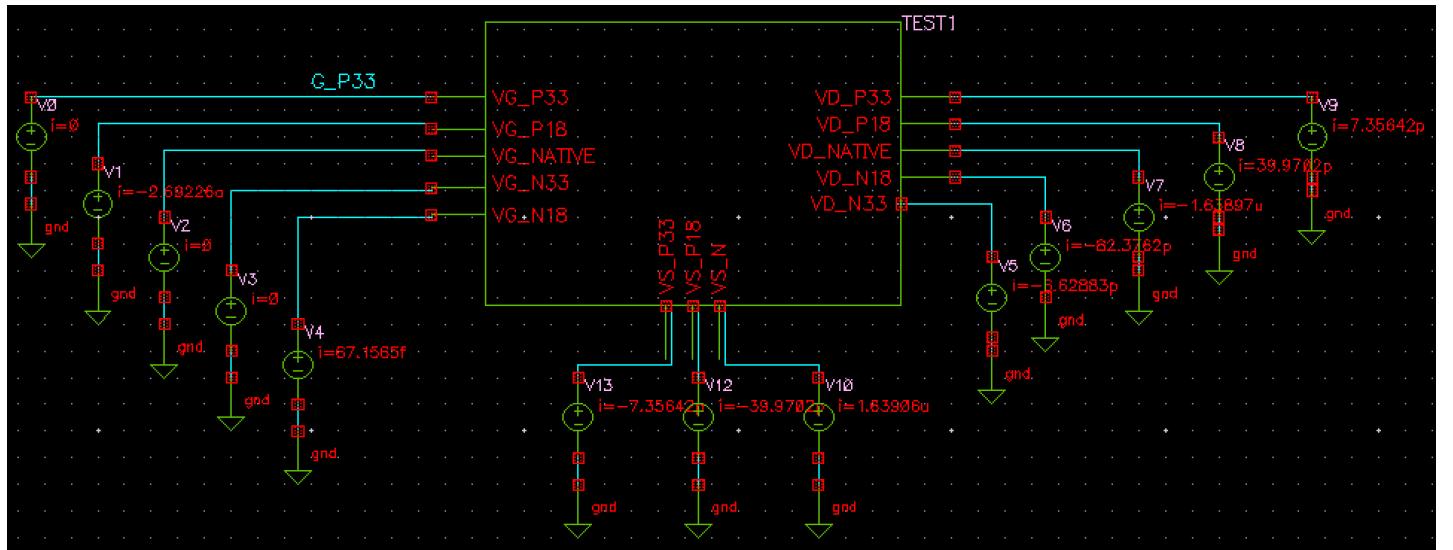
דוגמא עם הגרף עבורי SOSUCH, נעזרנו במרקירים בכך שהזינו להם את הערך בציר  $y$  כדי לראות את הערכים המתאים בציר  $x$ .



## 1.4 מדידת זרמי זליגה של הטרנזיסטורים-

בסעיף זה נריצ סימולציה DC Operating Point על אוטם התקנים מסעיף א' עם  $V_{DD} = V_{GS}$  ועם מתח  $V_{DS}$  מותאם כך שנוכל למדוד את זרמי הזליגה.

נרצה להריץ את הסימולציה עם:  $0 = V_{DS} = V_{GS}$ ; כיוון שבכל הטרנזיסטורים חוץ מטרנזיסטור המחסור אנו בקטען ועבורו נהיה קצת מעל נק הפעולה, לאחר מכן נבצע מבחן זרמי המחסור ואנו נקבל את זרמי הזליגה בנק הפעולה:



נשים לב שסדרי הגודל הם בפיקו בודדים עבור 33 ועשרות פיקו עבור 18 זהה לא הרבה אבל כישיש מיליארד טרנזיסטורים כאלה מגיעים לזרמי זליגה בסדר גודל של אמפרים זהה המון. עבור המחסור מאחר והטרנזיסטור כבר למעשה פתוח נקבל סדר גודל של מיקרו אמפר זהה כבר 6 סדרי גודל מעל פיקו מאחר ותמיד יש עליה בטרנזיסטור.

עבור זרמי זליגה מהשער נקבל כי  $I_{18} = I_{18_{\text{off}}} + I_{18_{\text{on}}}$  באנגסטרם בודדים זהה שואף לאפס יחד עם כל שאר השערים.

נקח את זרמי הזליגה ( $I_{off}$ ) ואת זרמי הסוף שמצאנו בסעיף א' ( $I_{on}$ ) ונחשב את היחס בטבלה הבאה :

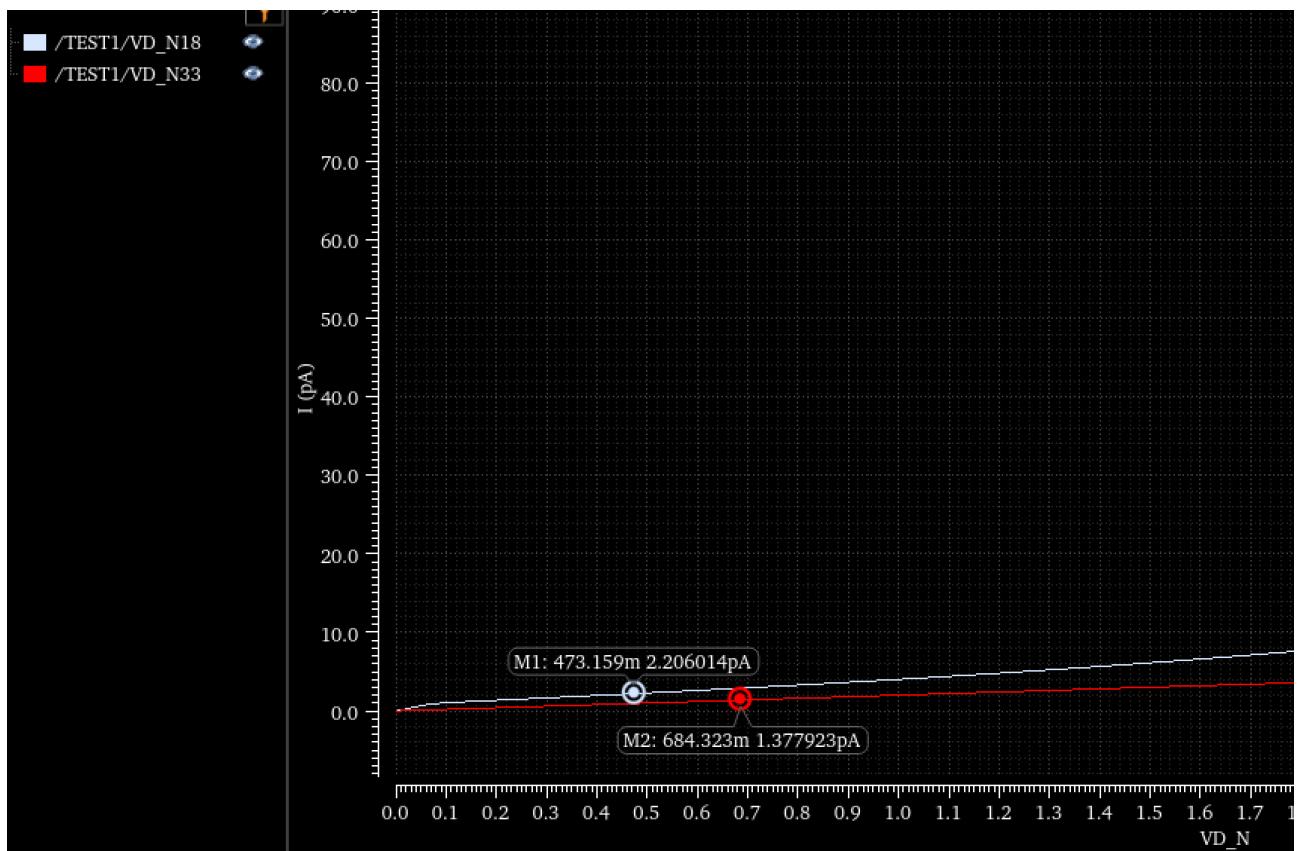
סוג הטרנזיסטור	$\left  \frac{I_{on}}{I_{off}} \right  [K]$
pmos_33	34.43
pmos_18	10.55
nmos_18	5.1255
nmos_33	32.757
nmos_native	$\frac{152n}{1.638u} = 0.0000927$

נזכיר כי לאחר ולמחסור יש תעלת במתח שער צה ועל המרץ יש מתח גדול מהסימולציה בסעיף א', התקבל זרם גובה יותר לטובת off.

$$Subthreshold Slop \text{ החישוב הוא : } S = \frac{V_{th}}{\log\left(\frac{I_{on}}{I_{off}}\right)}$$

<i>Subthreshold Slop</i>	סוג טרנזיסטור
-139.329m	pmos_33
-117.069m	pmos_18
127.545m	nmos_18
151.556m	nmos_33
-5.597m	nmos_native

ונכל להבחן בתופעה ה – DIBL, עבור הגרף להלן של S-O-M, מכיוון שהתעלת קצרה, והגדלנו את מתח VDS שתגרום להקטנת מתח הסף וזה יגרום להגדלת זרם הצלילה, ב-סודק אנחנו משתמשים הפוך כਮובן (או פשוט להסתכט על VSD ולא VDS).



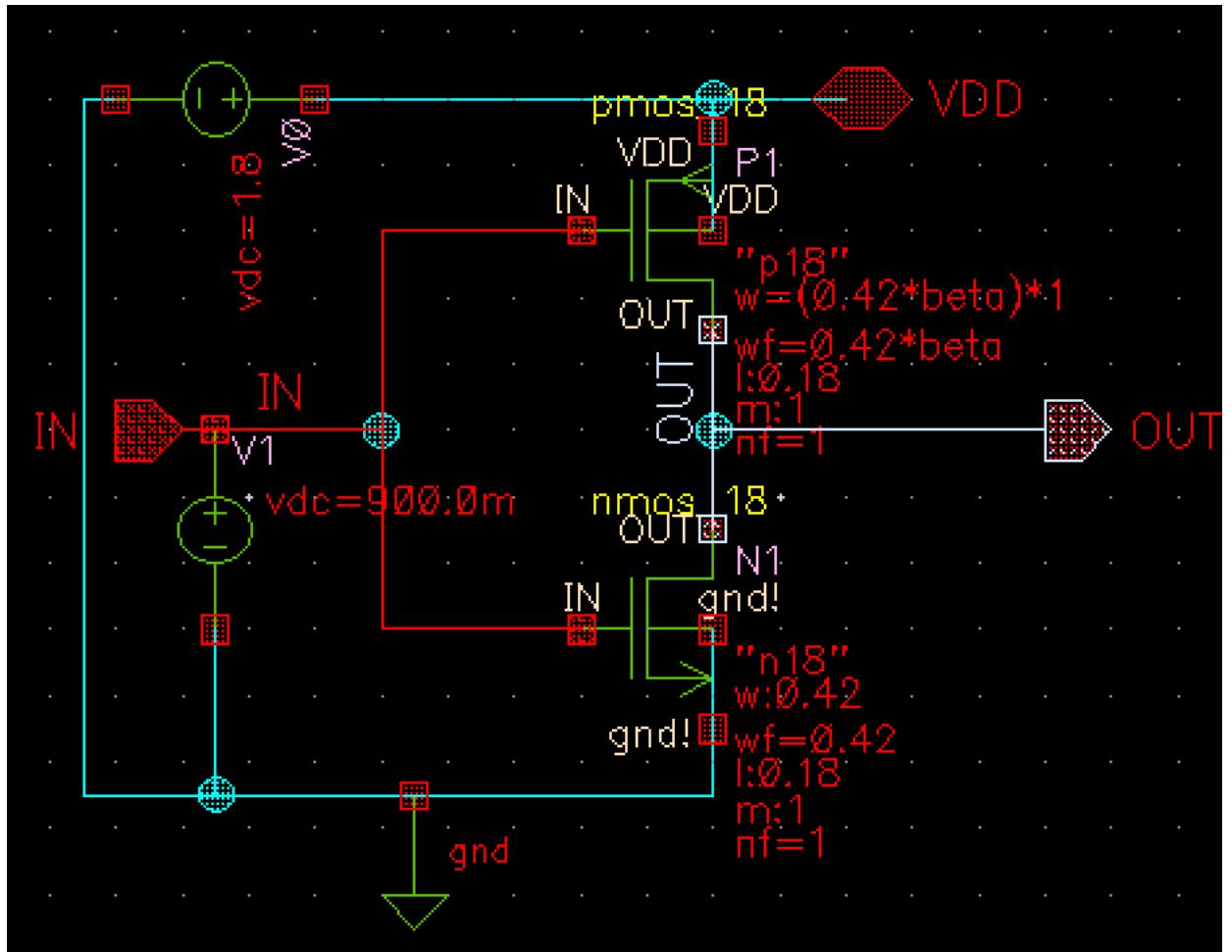
הנוסחה לזרם הצלילה מתחת למתח הסף:

$$I_{sub} = I_0 e^{\left(\frac{V_{GS}-V_T}{\eta\phi_t}\right)} \times \left(1 - e^{\frac{-V_{DS}}{\phi_t}}\right) \times e^{\frac{\gamma V_{DS}}{\eta\phi_t}}$$

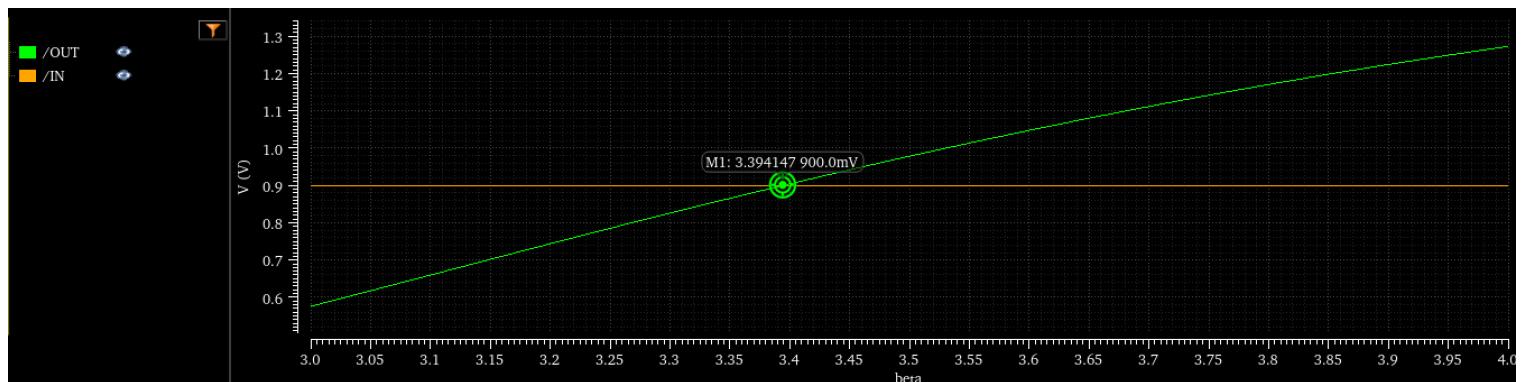
אזי אם נציב אכן  $V_{DS}=0$  (או בסודק פשוט הפוך) נקבל זרם צלילה 0 וכן רואים זאת בגרף גם. כמובן אפשר להדפיס גם את הערך מוחלט של הסודק ונקבל גרף דומה.

## 2. בנית מהפכ

### 2.1 סכמה ומציאת $\beta$ עבור מהפר אופטימלי-

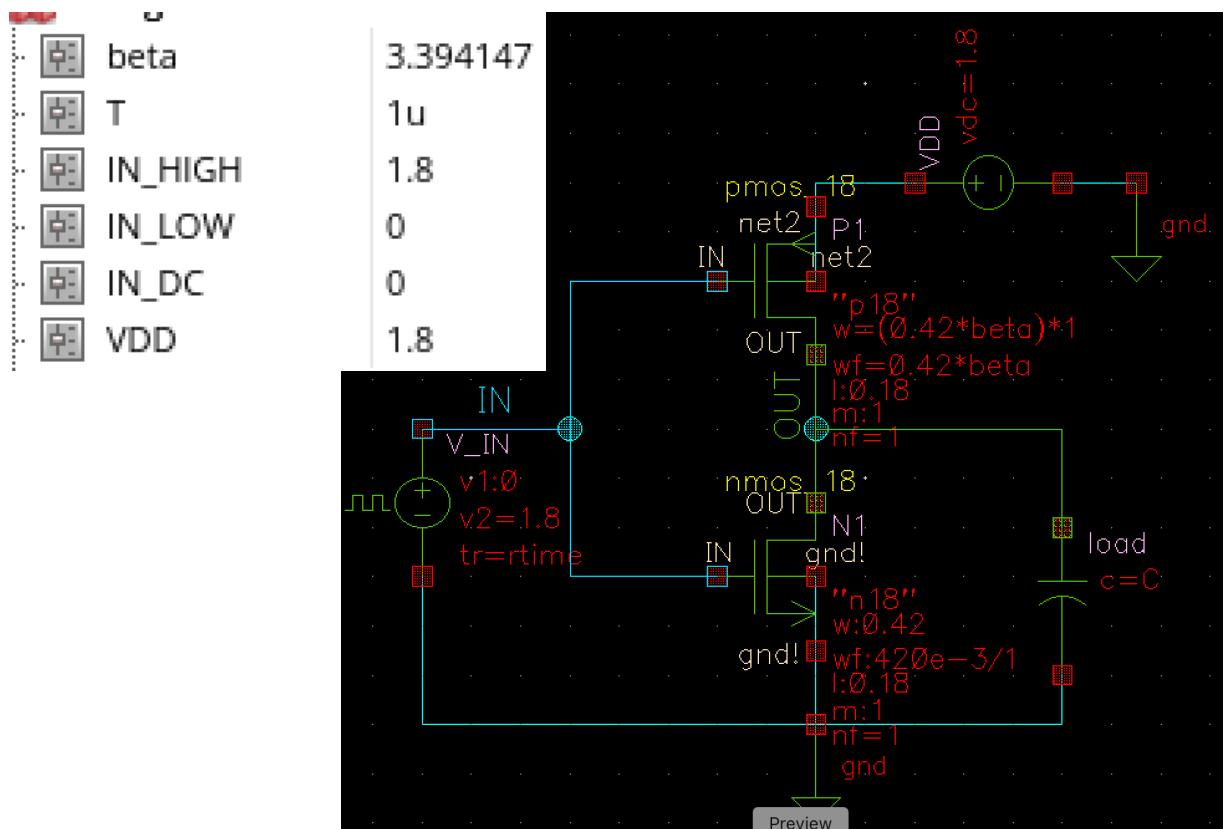


נשים לב שעבור מערכת קעלוק הגדלנו פי  $\beta$  את רוחב התעלה וביצע סימולציה sweep על  $\beta$  כדי למצוות את ה  $\beta$  עבור המהפר אופטימלי, קלומר בנק בה הכניסה והיציאה שתיהן יהיו ב- 0.9 כאשר הכניסה במתח קבוע של 0.9V.

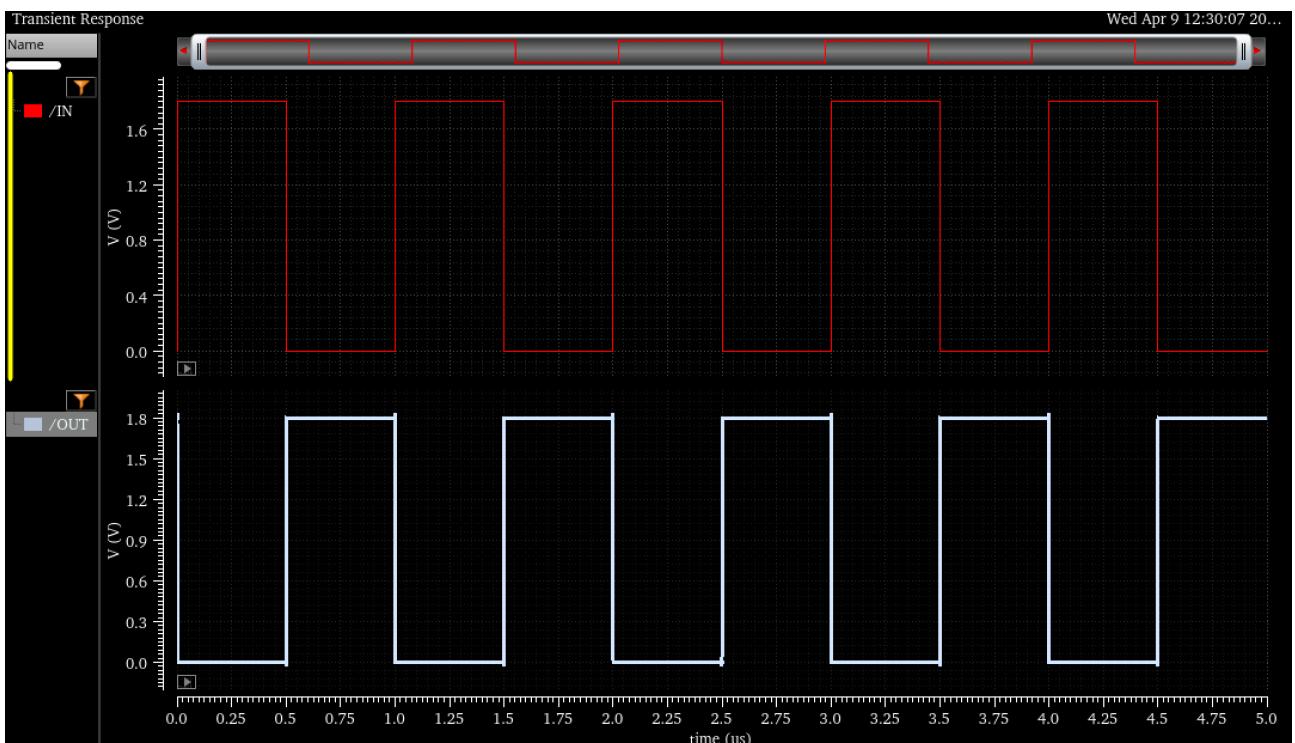


קיבילנו כי הערך בו המהפר אופטימלי הוא  $\beta = 3.394147$

## 2.2. סימולציה עם $f=1\text{MHz}$ ותקבל מוצא של $100f$ -



עתה הוספנו לсхемה קבל שווה את העומס ועבורי מתח ה- $ac$  בכניסה הגדרנו זמן מחזור שווה לדרדר של  $100 \text{ MHz}$ , את זמני העליה והירידה של ספק הכניסה הגדרנו להיות  $1\mu$ . יחד עם הבטא האופטימלית וסימולציית *trans* קיבלנו את הפלוט הבא:



נראה כמו מהפוך אופטימלי עברו ספק אופטימלי (זמן עלייה וירידה זניחים).

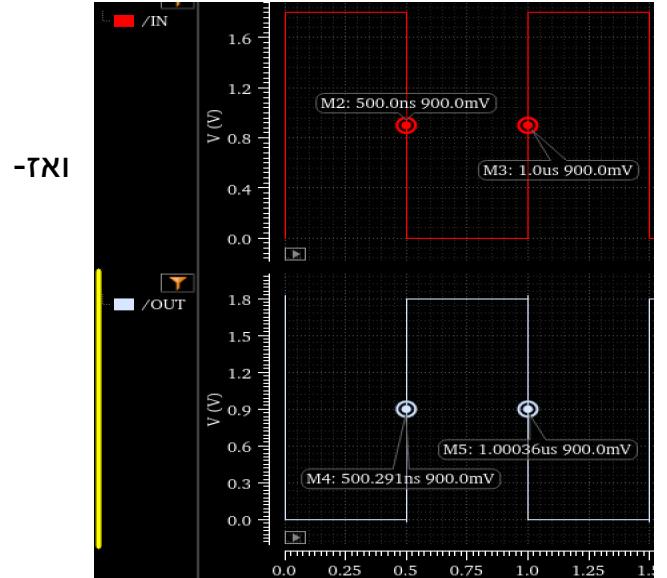
## 2.3. זמני השהיה של המהפר –

את זמני ההשהיה LH, TpHL וTpLH מדנו בשתי דרכים, תחילת בעזרת מרכיבים על הגרף וчисוב עצמאי ודרך שנייה בעזרת ייצור ביטוי בעזרת המחשבון ב-EA.

רכיבים – נשים שני מרכיבים על 50% ממתח הכניסה והמוצא (0.9) כאשר בכניסה זה יהיה על העלייה ובמוצא יהיה על הירידה ונמדד את הפרש ביניהם, כך נעשה בדומה עבור  $T_{pLH}$  רק שם הכניסה בירידה והמוצא עליה:

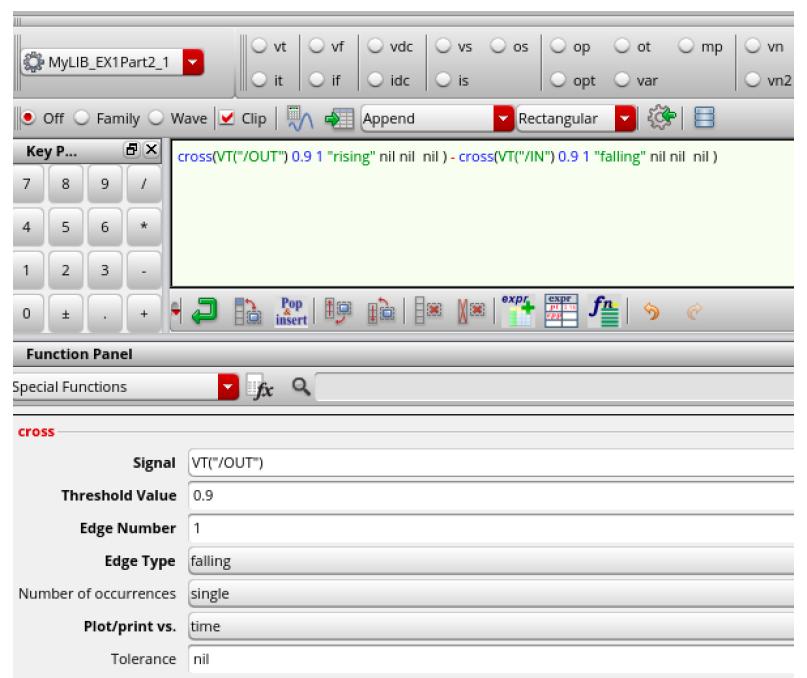
$$T_{pHL} = 1.00036u - 1.00000u = 0.36ns$$

$$T_{pLH} = 500.291n - 500n = 0.291ns$$



בדרכו השנייה נכניס למחשבון נכני של הסימולציה ביטוי שמתאר עליה או ירידת המתח ביציאה או בכניסה ובכך נתאר את החישוב של זמני ההשהיה השונים, למשל LH-TpLH –

מכניסים למחשבון כאשר אנחנו בפונקציית cross את האות עליון אנחנו מבצעים דגימה כאשר המתח מגע ל-0.9 (50%) בעלייה של המוצא פחות הזמן כאשר מגעים למתח 0.9 בירידה של הכניסה יmdl את החישוב שעשינו באופן עצמאי עם המרכיבים.



בדומה לכך נעשה גם את LH-TpLH ניתן שמות לביטויים ואז נוכל ליצור ביטוי ל-pd:

tphl	expr	(cross(VT('/OUT') 0.9 1 "falling" nil nil nil) - cross(VT('/IN') 0.9 1 "rising" nil nil nil))	363.3p
tplh	expr	(cross(VT('/OUT') 0.9 1 "rising" nil nil nil) - cross(VT('/IN') 0.9 1 "falling" nil nil nil))	290p
tpd	expr	((tphl + tphi) / 2)	326.7p

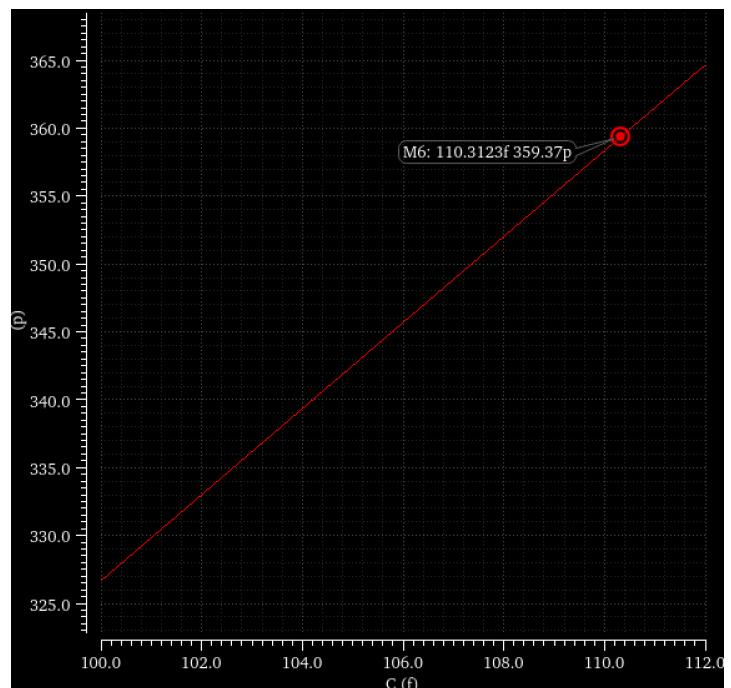
## - 2.4. שנו את קבוע המוצא כך שפcta יגדל ב 10%

$$tpd\_new = tpd * 1.1 = 326.7 * 1.1 = 359.37 \mu s$$

עתה נבצע סימולציה על גודל הקובל ונבדוק עבור איזה גודל נגיע בזמן המבוקש, אנו יודעים שככל שקובל גדול יותר כרך הזמן להטען אותו ארוך יותר ולכן מראש קובל הגדל  $100f\mu s$ .

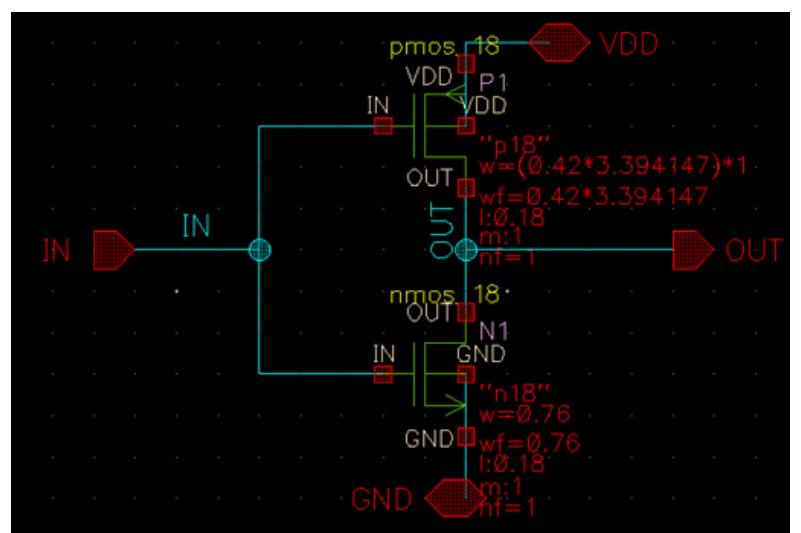
נבצע סימולציה על גודל הקובל (C) בคร שניות לו את הערך  $f:112f:0.1f:105f$  כלומר קפיצות של 0.1 בטוח בין 105 ל 112, אחרי הבנה ראשונית על הטווח בו נקבל את הזמן הדרוש.

נקבל רשימה בעזרת הביטויים של הזמן שעשינו במחשב מסעיף קודם ונבחר ליצור גרף על ה  $tpd$ :



בגרף שנקבע נסמן במרקם את הזמן של  $tpd$  הדרוש וכך נקבל את גודל הקובל בזמן זה –  $110.3123f$

## - 2.5. נשנה רוחב תעלת הסומח ל- 0.76, ונבדוק אם ההשניה מסעיף 2.4 קטנה



שינו את רוחב התעללה על פי מספר הזוג ושמנו על הבטא האופטימלית והקיבול שמצאנו בסעיף קודם, כתוב נבע שוב סימולציה trans.

Design Variables		
beta	3.394147	
T	1u	
C	110.3123f	
ftime	1p	
rtime	1p	

נקבל מהתוצאות הבאות שיצרנו את הזמנים הבאים -

Name	Type	Details	Value
tphl	expr	(cross(VT("/OUT") 0.9 1 "falling" nil nil nil) - cross(VT("/IN") 0.9 1 "rising" nil nil ...	236.4p
tplh	expr	(cross(VT("/OUT") 0.9 1 "rising" nil nil nil) - cross(VT("/IN") 0.9 1 "falling" nil nil ...	176.7p
tpd	expr	((tplh + tphl) / 2)	206.6p

אכן מקטין את זמן ההשניה וכן זה מגדיל את הקיבולים הפרזיטיים אבל אנחנו נמצאים בנקודת האופטימלית ביחס הבטא (הבטא שמצאנו) שהוא tradeoff שלנו, הגדלנו את S (Sizing) ולכן זמן ההשניה קטן, נוכל לראות זאת גם בנוסחה הבאה:

$$t_{pd} = t_{p0} \left( 1 + \frac{C_{ext}}{SC_{ref}} \right)$$

זמן ההשניה של מהפר אידיאלי – 0tp

קיבול מוצא – Cref

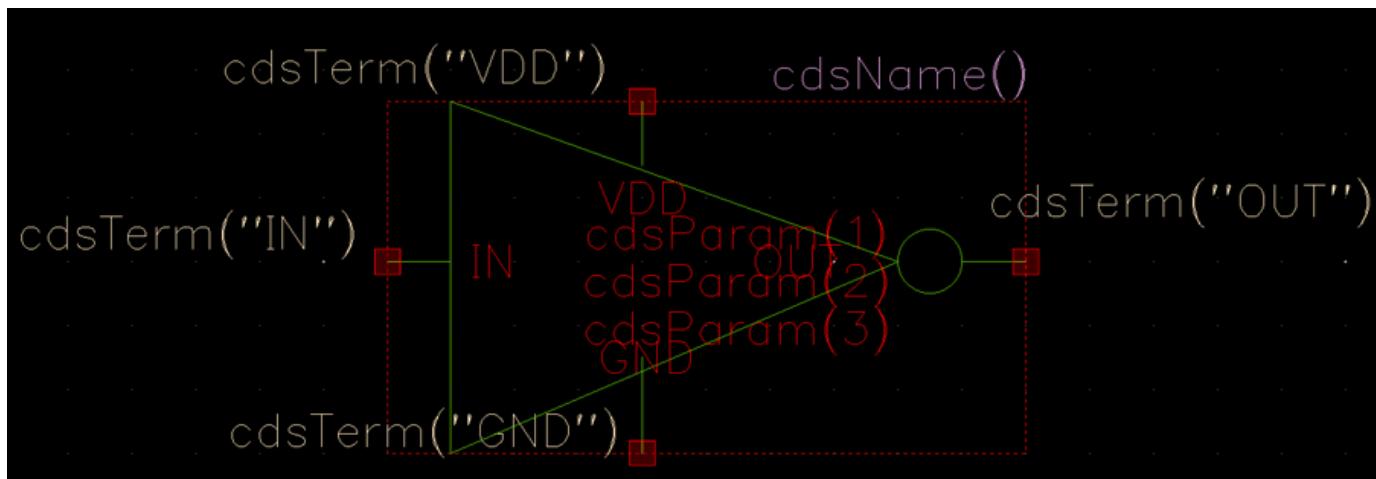
### 3. תכנון Layout של מהפר ובדיקה –

#### 3.1. מודיע יש לתכנן על פי הדרישות –

אנחנו רוצים שהתאים יהיו בניוים במים קבועים מראש המאפשרים חיבור של מספר יחידות בסיס כדי ליצור את אותם מבנים גדולים ומסובכים יותר. המוסכמה היא ליצור את התאים האלה במלבנים והגובה של אותם מבנים הינו גובה סטנדרטי והרוחב יכול להשתנות. זה אכן הגיוני כי אנחנו יודעים שעיריים דיגיטליים צריכים לחבר גם ל-VDD וגם לאדמה, בצדיה הזו אנחנו יכולים לחבר שורות של מתחים, זה מקל علينا בחישוט. בנוסף, תוספת או שינוי של תאים – לא צריך לשנות את החיווטים של VDD והאדמה.

שיטוף דיפוזיות ו-Well - כדי שנקtin את השטח של הרכיב הכל הניתן (להגיע למימוש יותר קיטן).

#### 3.2. סימבול מהפר –

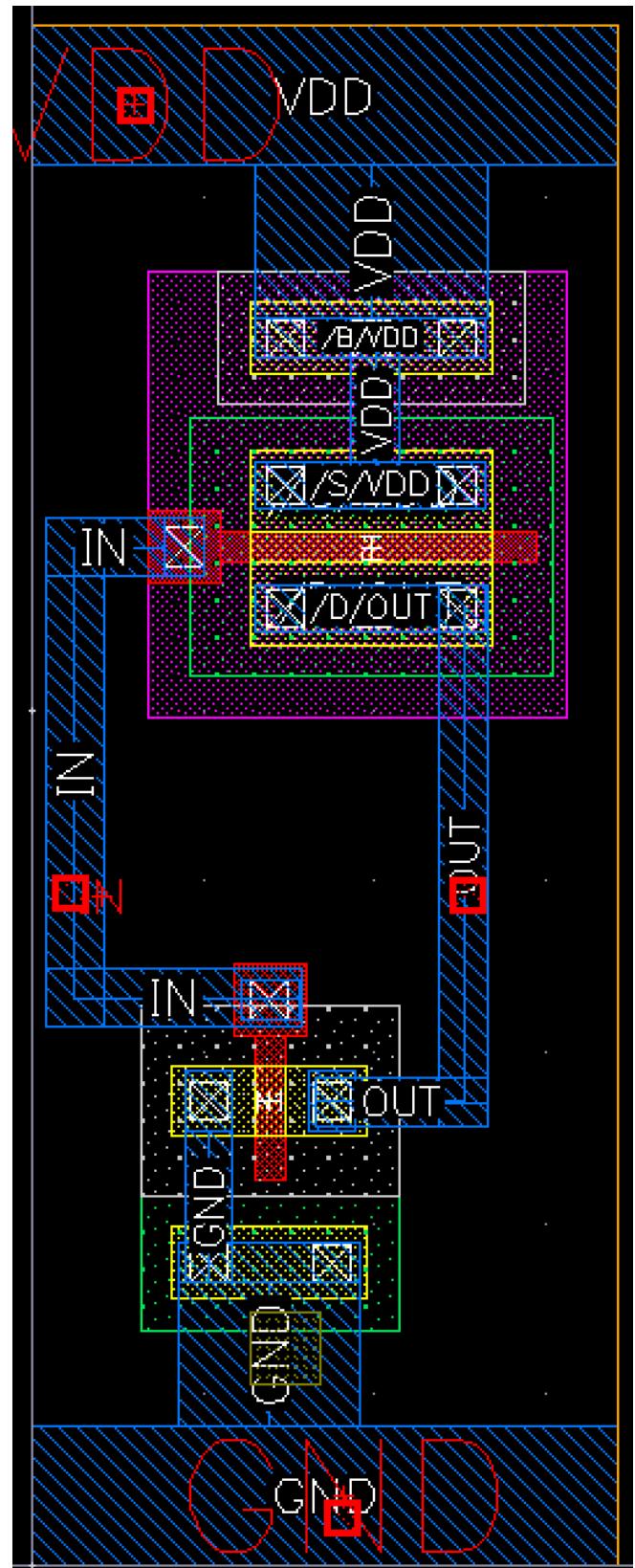


### 3.3. שרטוט layout עבור התא -

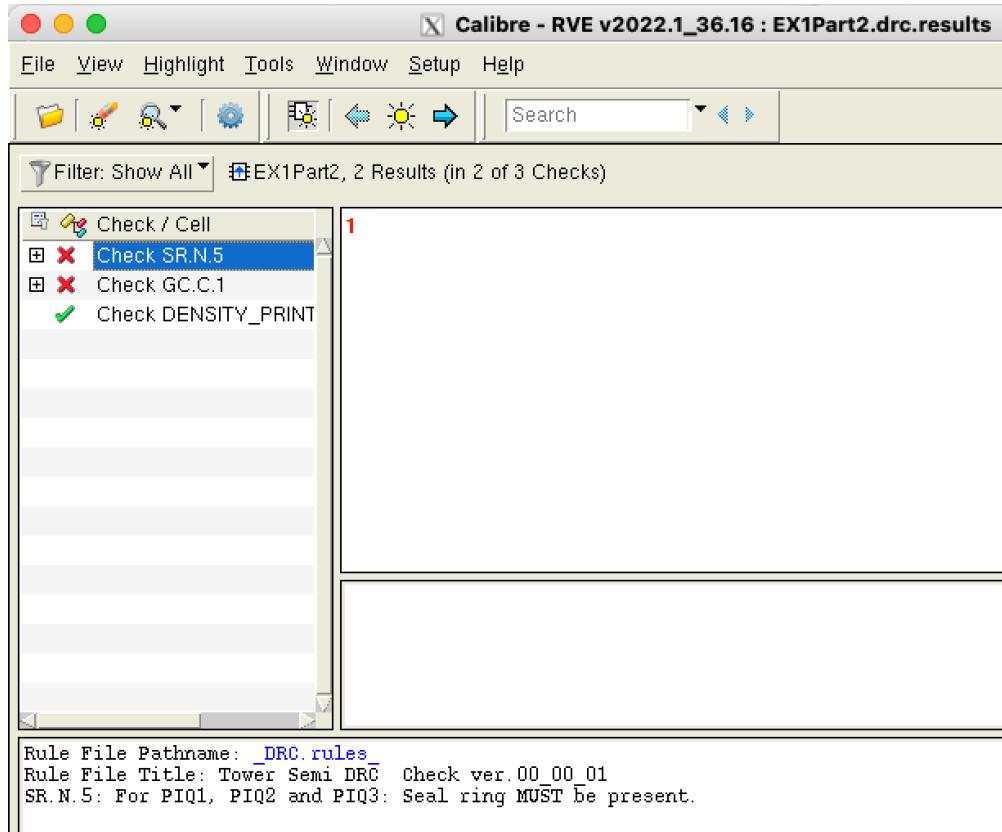
שמנו על דרישות התכנון, וצמצמו את רוחב התחקן כל הנitin.

גובה התא 96 כפ' שדרש כמו כן גם קוו' האספקה בגובה 0.81.

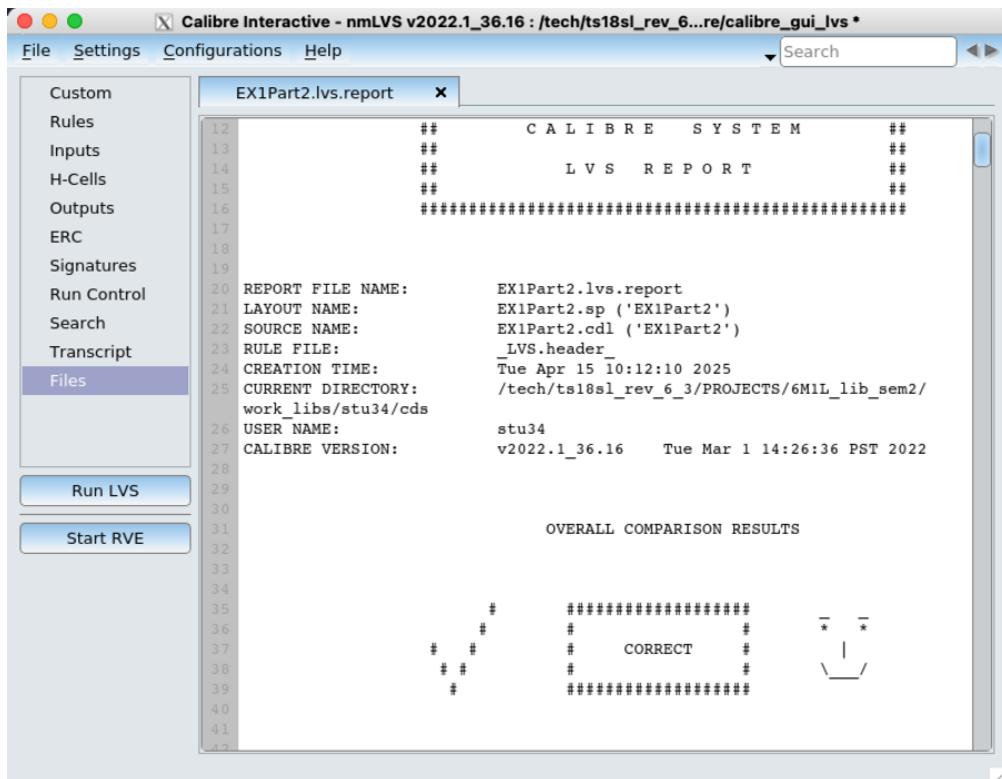
שמנו על יישור וסימטריה כל הנitin מאחר והטוקן רחב מהסומת.



## – DRC 1.1



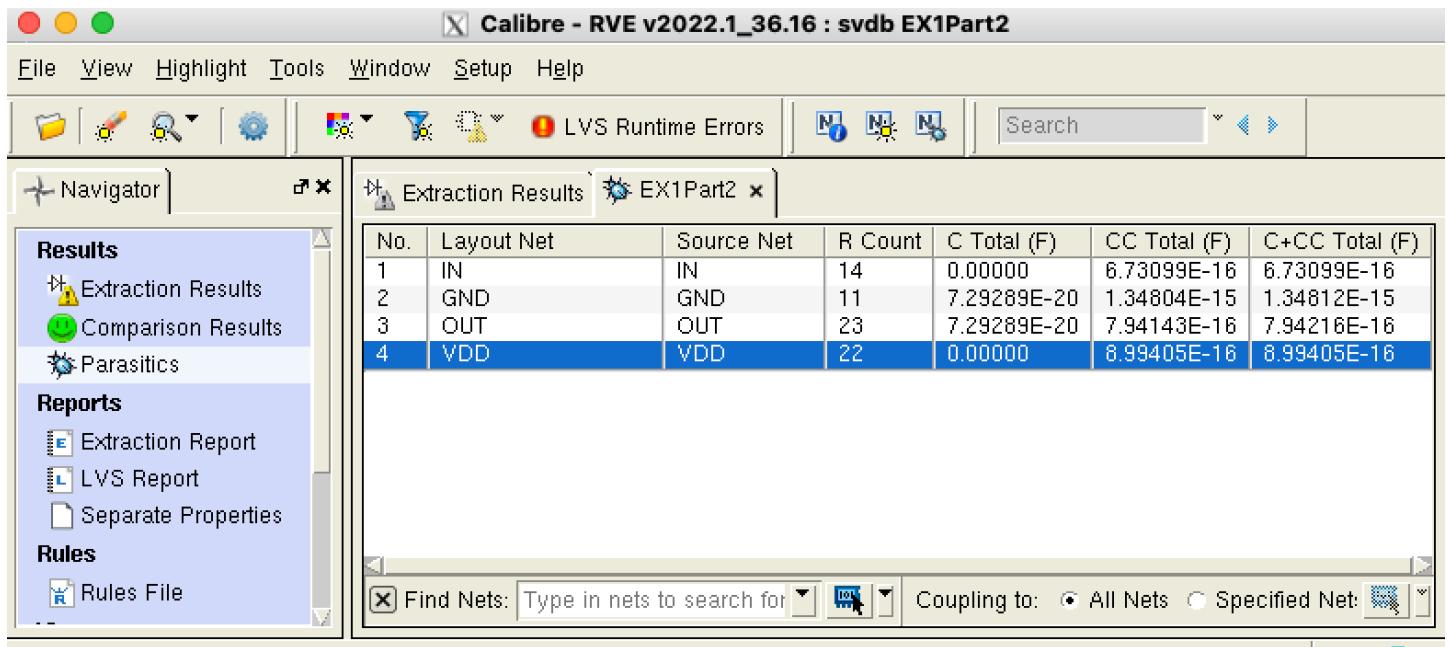
## – LVS 1.2



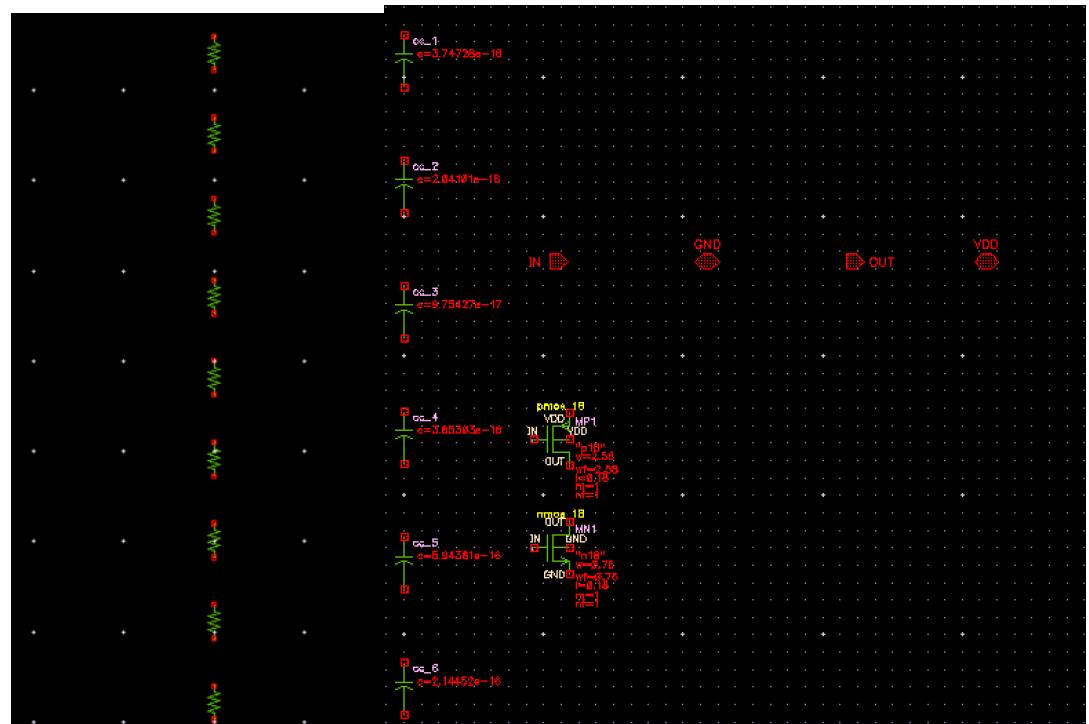
### - PEX 3.4. בדיקת PEX

נרייך בבדיקה זו ונגלה את הרכיבים הפרזיטיים שנוצרו ב layout שעשינו, קיבולים, קיבולים מצומדים והתנגדויות.

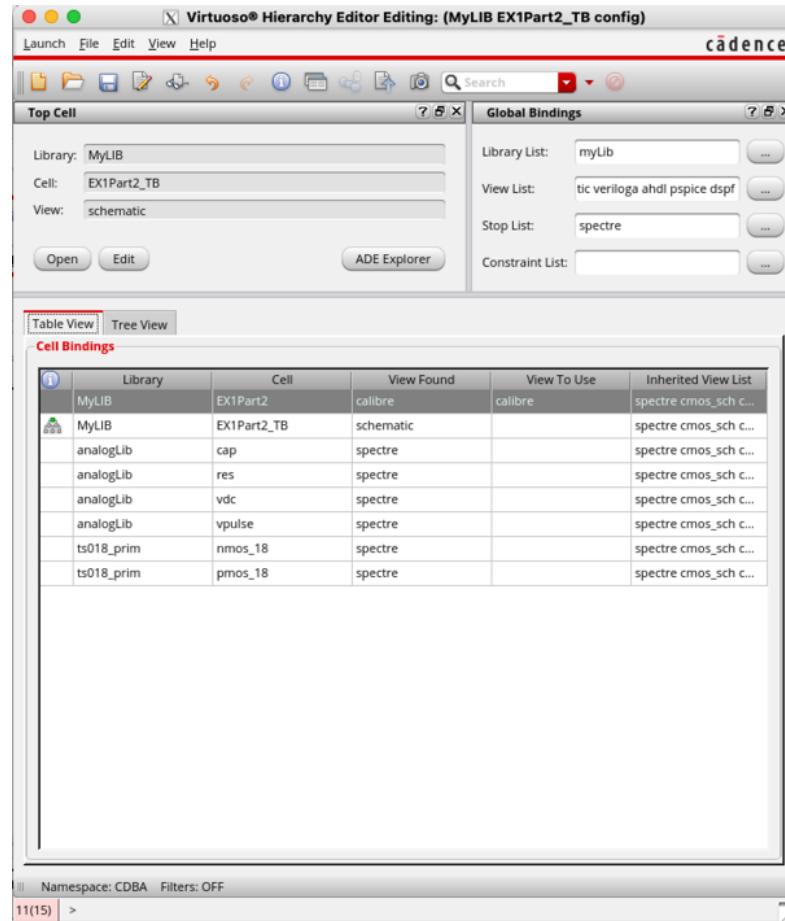
נשים לב שהקיבולים בסדר גודל של 0.1f



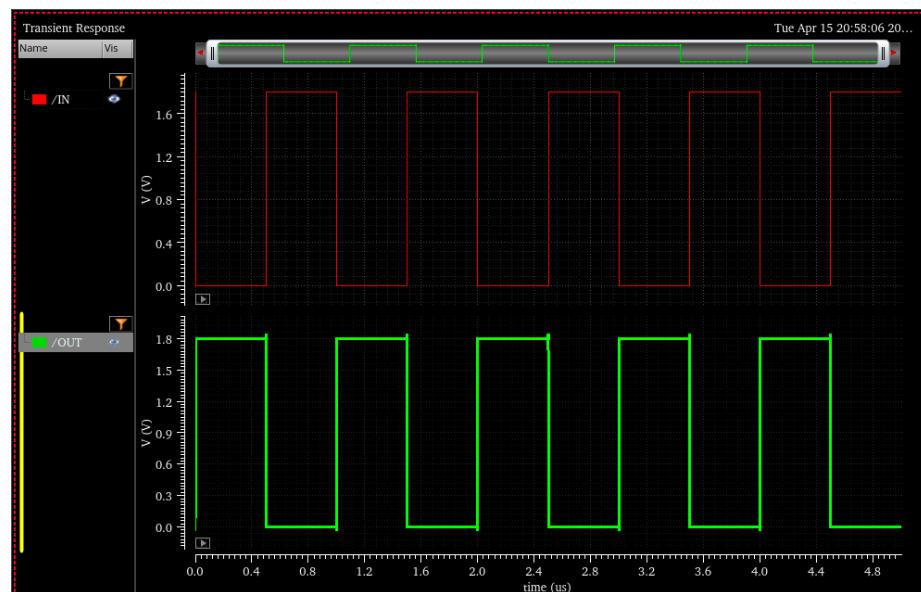
מתרוך קובץ ה-PEX



cut ניצור קובץ config ובתוכו TB נשנה בהיררכיה את הרכיב לcalibre שיצרנו קודם (באפור) -



נשנה בסטרטוגרפיה את ההויזן על קובץ config ונקבע סימולציה חדשה עם הרכיב בתוספת **הפרזיטים** –



### 3.5. השוואה לפני ואחרי הפרזיטיקה -

לפני:

Name	Type	Details	Value
tphl	expr	(cross(VT("/OUT") 0.9 1 "falling" nil nil nil) - cross(VT("/IN")...	215.8p
tplh	expr	(cross(VT("/OUT") 0.9 1 "rising" nil nil nil) - cross(VT("/IN")...	160.5p
tpd	expr	((tplh + tphl) / 2)	188.1p

אחרי :

Name	Type	Details	Value
tphl	expr	(cross(VT("/OUT") 0.9 1 "falling" nil nil nil) - cross(VT("/IN")...	218.2p
tplh	expr	(cross(VT("/OUT") 0.9 1 "rising" nil nil nil) - cross(VT("/IN")...	162.2p
tpd	expr	((tplh + tphl) / 2)	190.2p

נשים לב כי אכן הזמן גדל כשהוספנו את הרכיבים הפרזיטיים צפוי, הקבלים דורשים עוד זמן על מנת לטען ולפרק אותם, והנגדים מקטינים את הזרם.

### 3.6. שינוי קובל המוצא עבור גידילה משמעותית של tpd –

כמו שעשינו לפני הפרזיטים, נרצה לבדוק עבור איזה גודל של קובל זמן ההשהיה גדל ב 10%.

$$Tpd_{new} = 1.1 * tpd = 190.2 * 1.1 = 209.22 \text{ [s]}$$

نبצע שוב **sweep** על גודל הקובל ונסתכל על הערכים של **tpd** שיצרנו בערך המחשבון :

Parameters: C=110.8f			
9	MyLIB_EX1Part2...	tpd	209.1p
Parameters: C=110.9f			
10	MyLIB_EX1Part2...	tpd	209.3p

כלומר קובל בגודל  $f=110.8$  בערך הוא שיפיע משמעותית על זמן ההשהיה במודל הפרזיטיקה.

### 3.7. נבדוק איזה קובל גדול יותר –

از כפי שראינו, הקובל במודל האידיאלי הוא  $f=110.3$  ואכן קובל המוצא של התא לאחר PEX גדול יותר בקצת.

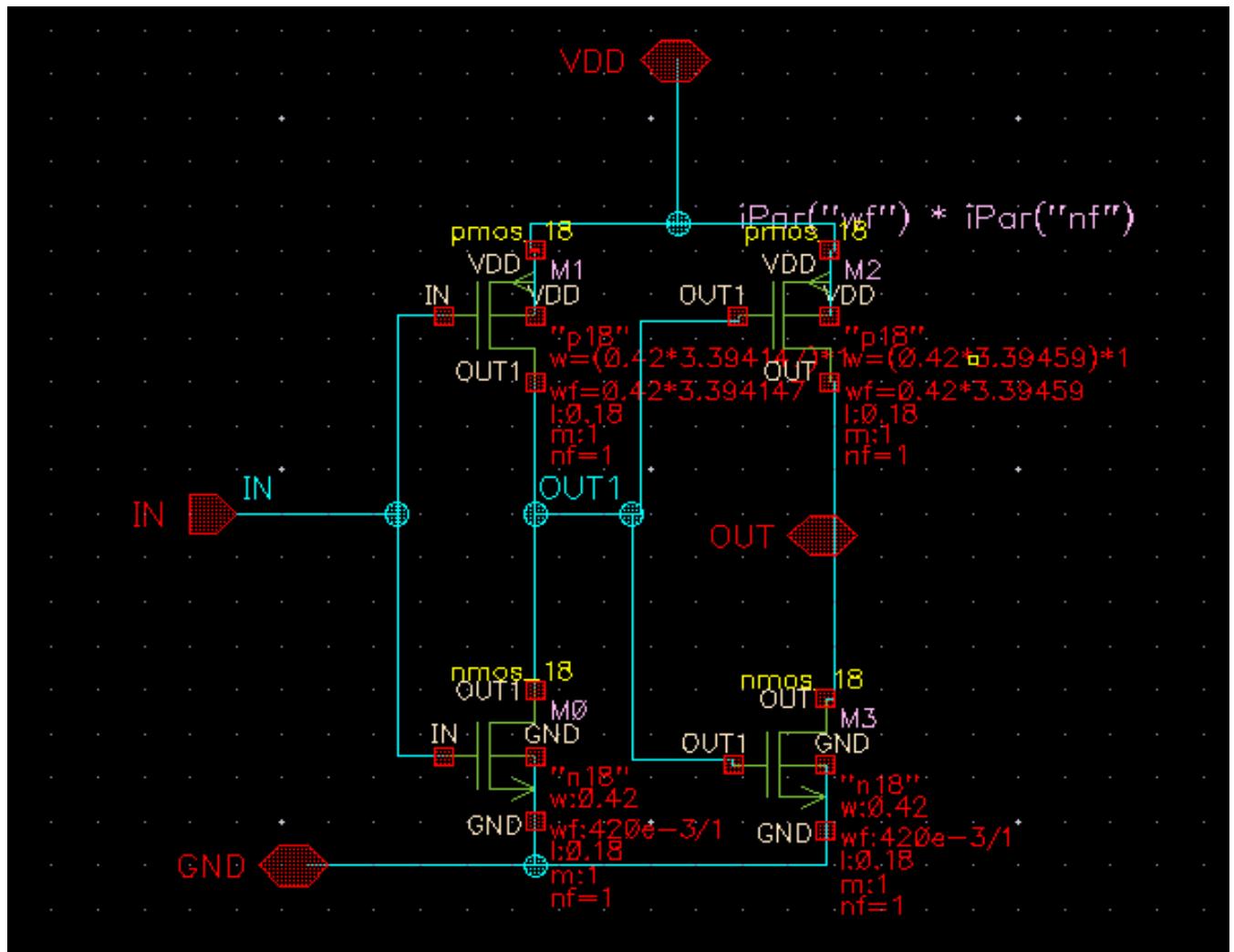
זה הגיוני מפני שהקבולים הפרזיטיים שקיבלנו היו מסדר גודל של  $f=1.0$ . לעומת זאת גודל קובל המוצא שהוא  $f=110$  כמעט כמעט לא משפיעים על קיבול המוצא כל כך ולכן קיבלנו תוצאה זהה בערך.

## 4. בניה Buffer

### 4.1. שתי הסכמאות –

Buffer בניו מ 2 מהפכים בטור ( 4 טרנזיסטורים בסה"כ – 2 מכל סוג)  
נתכנן ב 2 דרכים את הסכימה כמבוקש (פעם אחת באמצעות טרנזיסטורים והפעם השנייה באמצעות המהפכים שיצרנו)

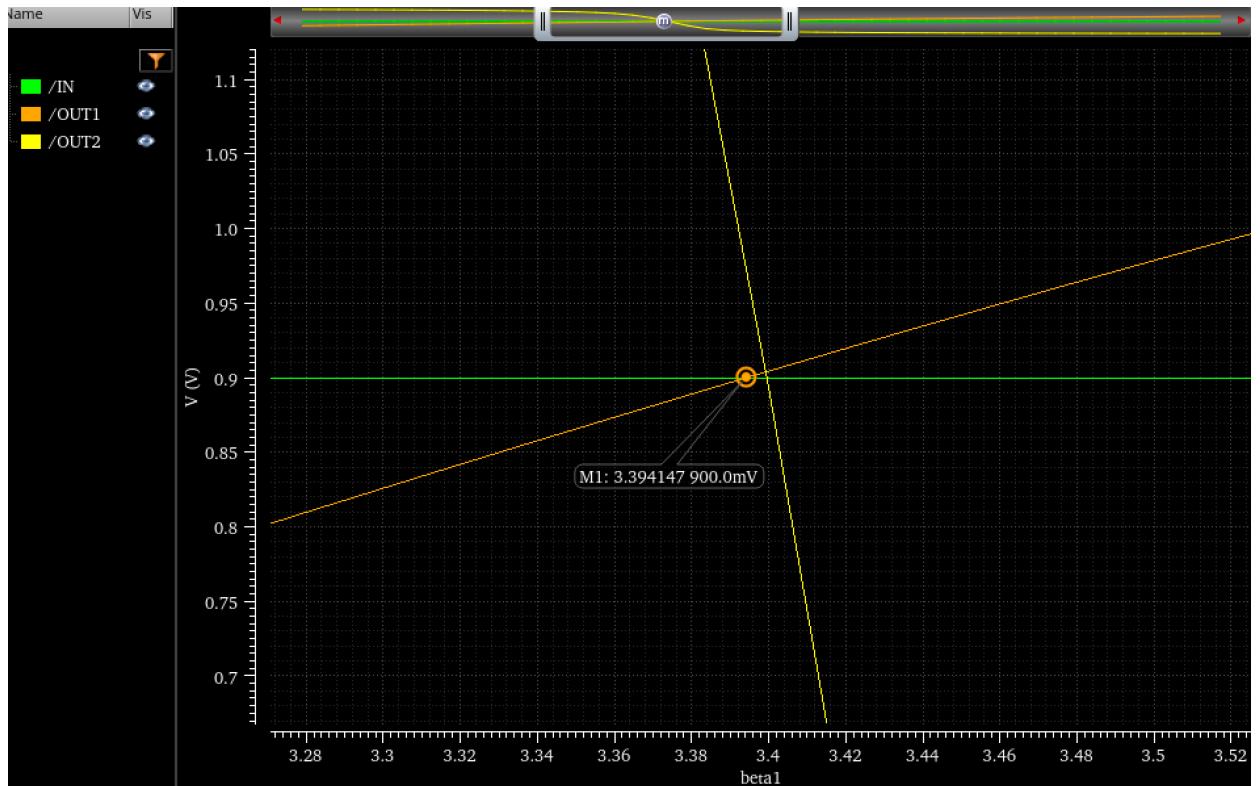
סיכום 1 (באמצעות טרנזיסטורים):



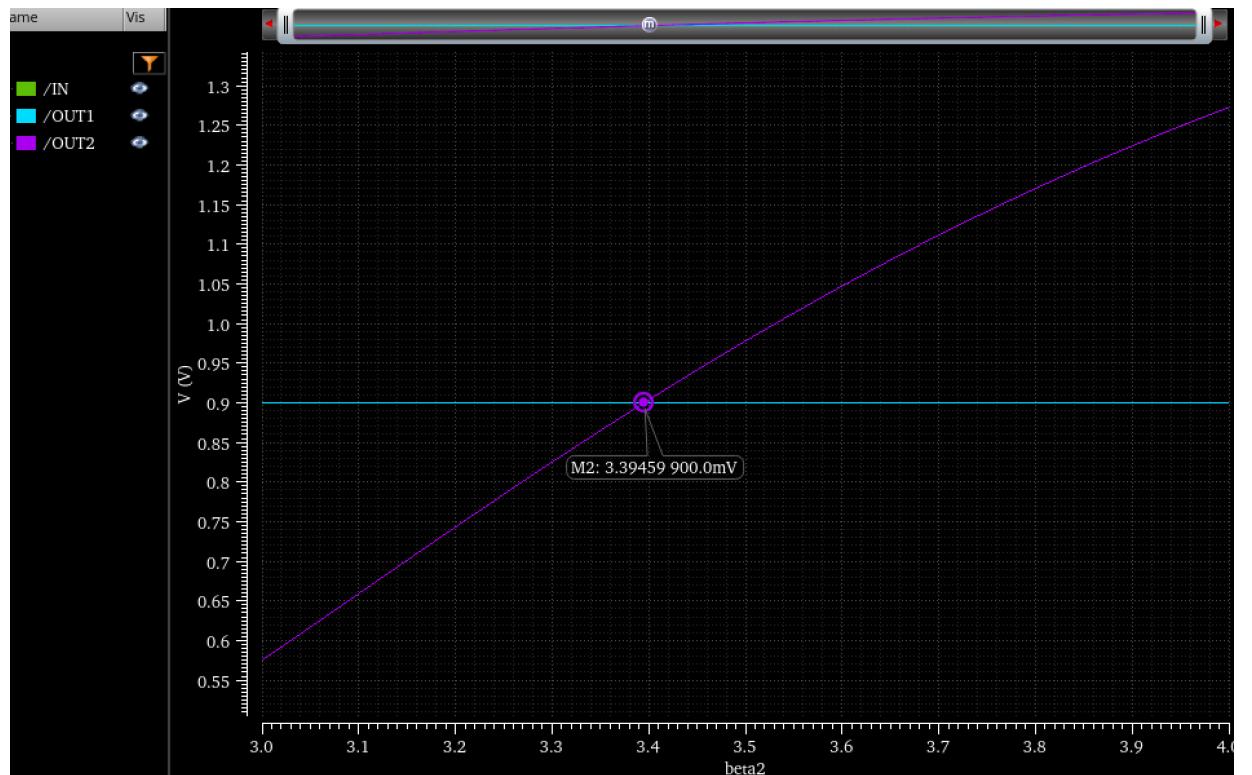
כאשר כן לכל הטרנזיסטורים אורך מינימלי זהה אך יוצרים עבור ה 1 soak בטא מתאימה, ועבורו 2 soak יוצרים עבורו גם בטא מתאימה בהינתן הבטא הראשונה.

עבדנו באותה צורה כמו בחלק של המהפר שchipshno בטא אופטימלית עבור כל מהפר בטור הבאפר.

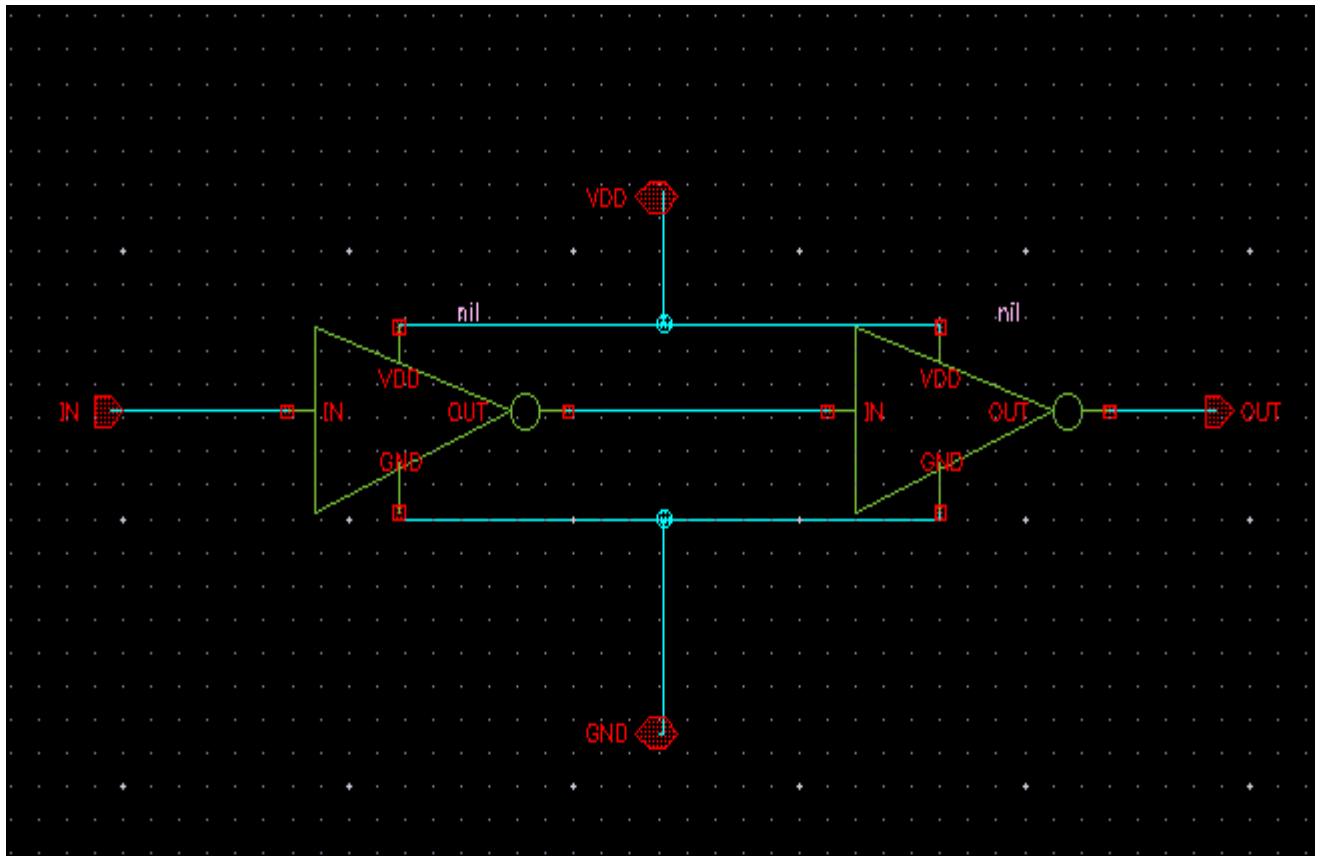
Beta1=3.394147:



Beta2= 3.39459:



סכמה 2 (באמצעות המהפקים):



נשתמש במחיצים שיצרנו בחלק של וחבר אותם בטור.

#### 4.2. צרו סימboleים ברי הבדלה –

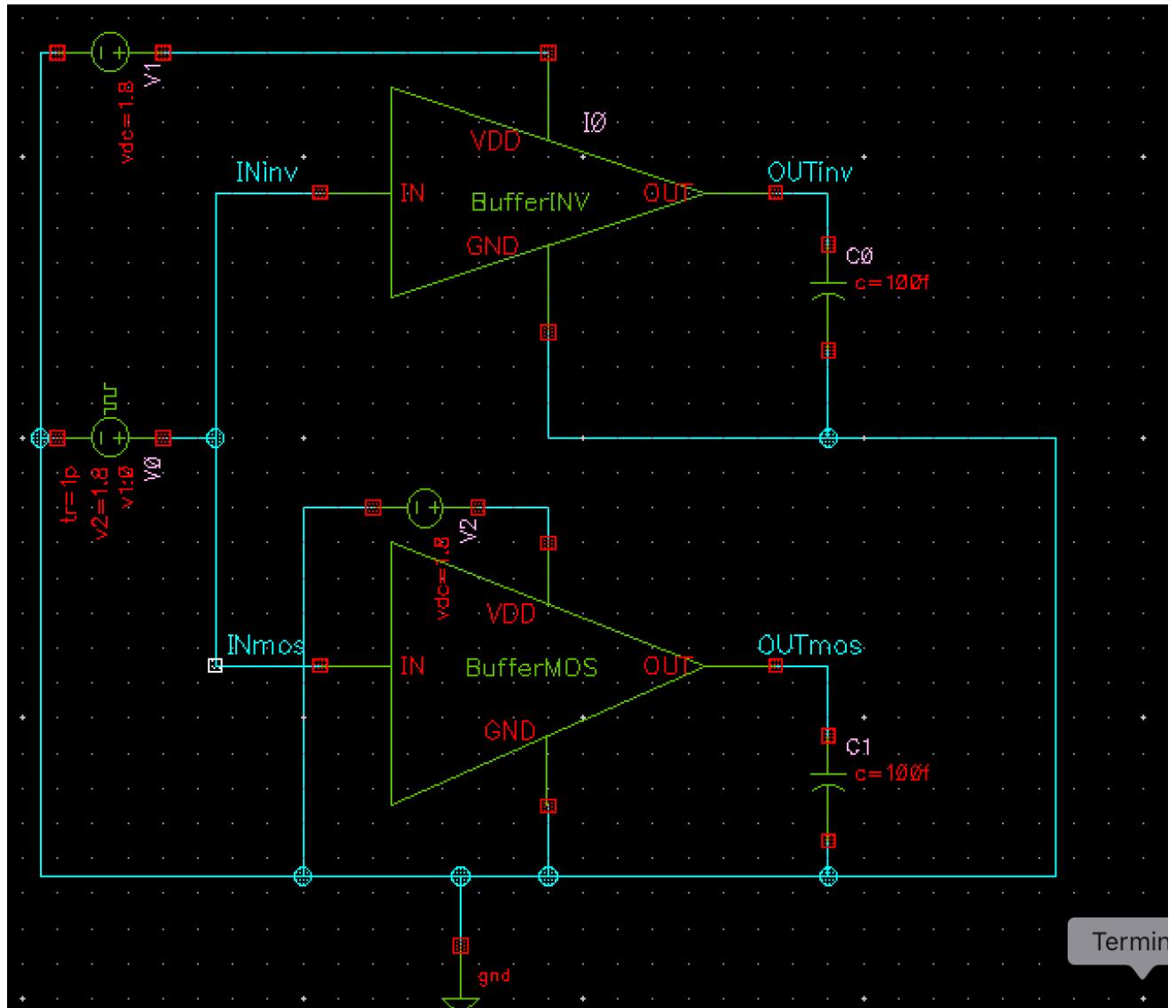
ኒצ'ור סימבול של כל אחד מהסכםות, עבור הבادر מהטרנזיסטורים נקרא לסימבול BufferMOS

ולבادر בשימוש המהיצים נקרא VNlNVBuffer.

#### 4.3. סימולציה בזמן עברו הבאפרים –

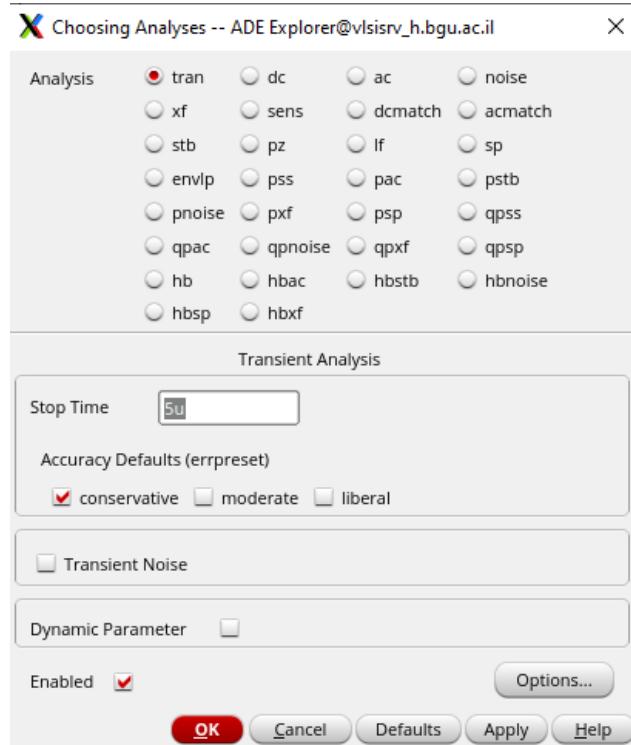
ኒצ'ור את קובץ ה TB עבור 2 הסימboleים ייחדי.

ונאכל לבצע את הסימולציות במקביל עבור כל סוג באפר.

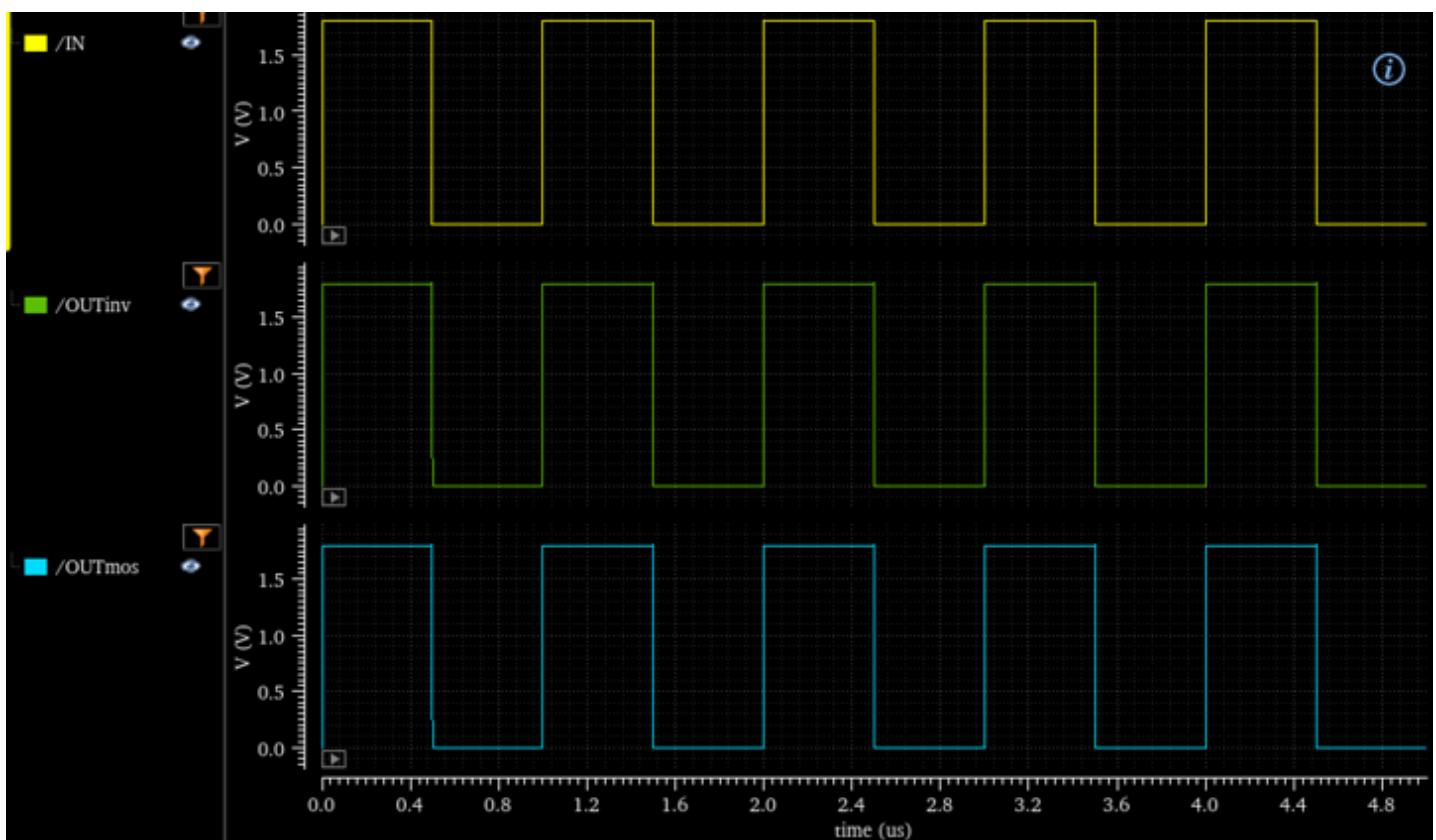


בסעיף הנ"ל נרצה להריץ סימולציה בזמן של גל הכניסה מול גל המוצא בתדר 1 MHz וקיבול מצוי של 100 fF. במתוח הכניסה נשים גל ריבועי הנע בין 0 ל 1.8 וולט באמצעות, pulse את זמני העלייה והירידה נגדיר  $C_0 = 1$  שניות, זמן המחזר מוגדר להיות 1 שניות.

נגידר טסט כפי שתיארנו לעיל, ובנוספּה נרים אונלייז מסוג trans המוגדרת עד ס 5 שניות כדי לקבל 5 מחזוריים שלמים, נסמן conservative.



נשים את הכניסה והמוצאים בפלט ונקבל את הגרף:



ונכל לראות כי קיבלנו שמתוח המוצא (גם עבור ה-BufferMOS וגם עבור VNI Buffer) הולך כמו מתוח הכניסה כמצופה מבאפר.

#### 4.4. הערכת $T_{pd}$

$T_{pd}$  מוגדר להיות הזמן הארוך ביותר בין התיצבות הכניסה על ערך חדש והתיצבות המוצא על הערך הרצוי.

כיוון שאנו משתמשים בבאפר נצפה כי  $T_{pd}$  הכלול של הבאפר יהיה סכום של שני המהפכים הבאים:

$$T_{pd_{buffer}} = T_{pd_{inv}} + T_{pd_{inv}} = 2T_{pd_{inv}}$$

במקרה שלנו נערך כי קיבל:

$$T_{pd_{buffer}} = 2T_{pd_{inv}} = 2 \cdot 326.7p = 653.4p [s]$$

#### 4.5. חישוב $T_{pd}$

נחשב את ה- $T_{pd}$  באמצעות המחשבון כמו שעשינו בחלק 2 (בתמונה מצורפת הפונקציה הנ"ל לחישוב -בשונה מחלק 2 כעת נחשב על מתוח המוצא לפי trise ו-tfall )

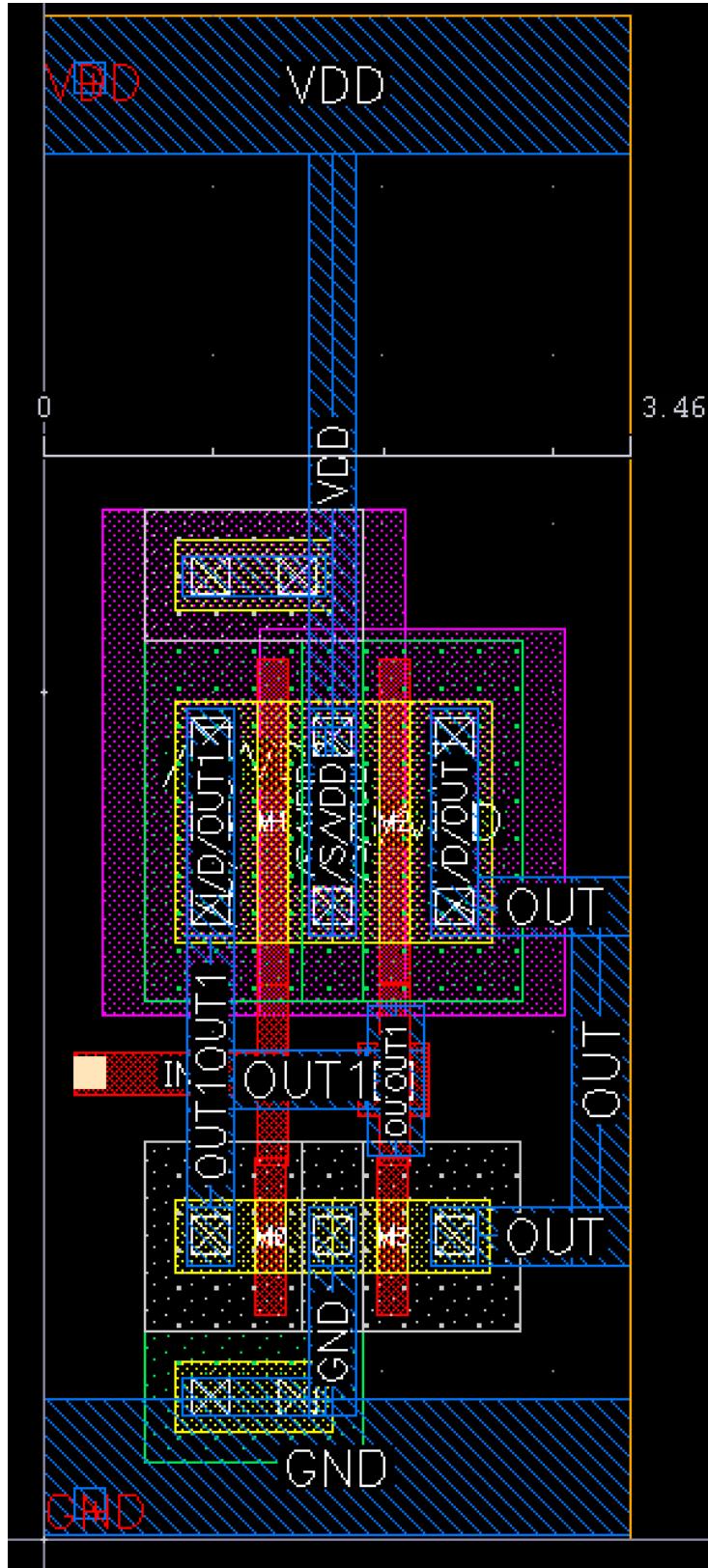
tpdINV	expr	((tprINV + tpfINV) / 2)	643.2p
tprINV	expr	(cross(VT("/OUTinv") 1.62 1 "rising" nil nil nil) - cross(VT("/OUTinv") 0.18 1 "rising" ...	615.8p
tpfINV	expr	(cross(VT("/OUTinv") 0.18 1 "falling" nil nil nil) - cross(VT("/OUTinv") 1.62 1 "falling" ...	670.7p
	signal	/IN	
	signal	/OUTinv	
	signal	/OUTmos	
tpdMOS	expr	((tprMOS + tpfMOS) / 2)	643.2p
tprMOS	expr	(cross(VT("/OUTmos") 1.62 1 "rising" nil nil nil) - cross(VT("/OUTmos") 0.18 1 "risin...)	615.8p
tpfMOS	expr	(cross(VT("/OUTmos") 0.18 1 "falling" nil nil nil) - cross(VT("/OUTmos") 1.62 1 "falli...)	670.7p

כלומר צדקנו בהערכתנו, קודם כל הגיוני שהזמן יהיה גבוה יותר כי הוספנו עוד דרגה ובנוסף, ציפינו שהעליה תהיה פי 2 ואכן קיבלנו פי 2 בערך.

#### 4.6. שרטוט ה-*layout* עבור כל אחד מהתאים שלנו.

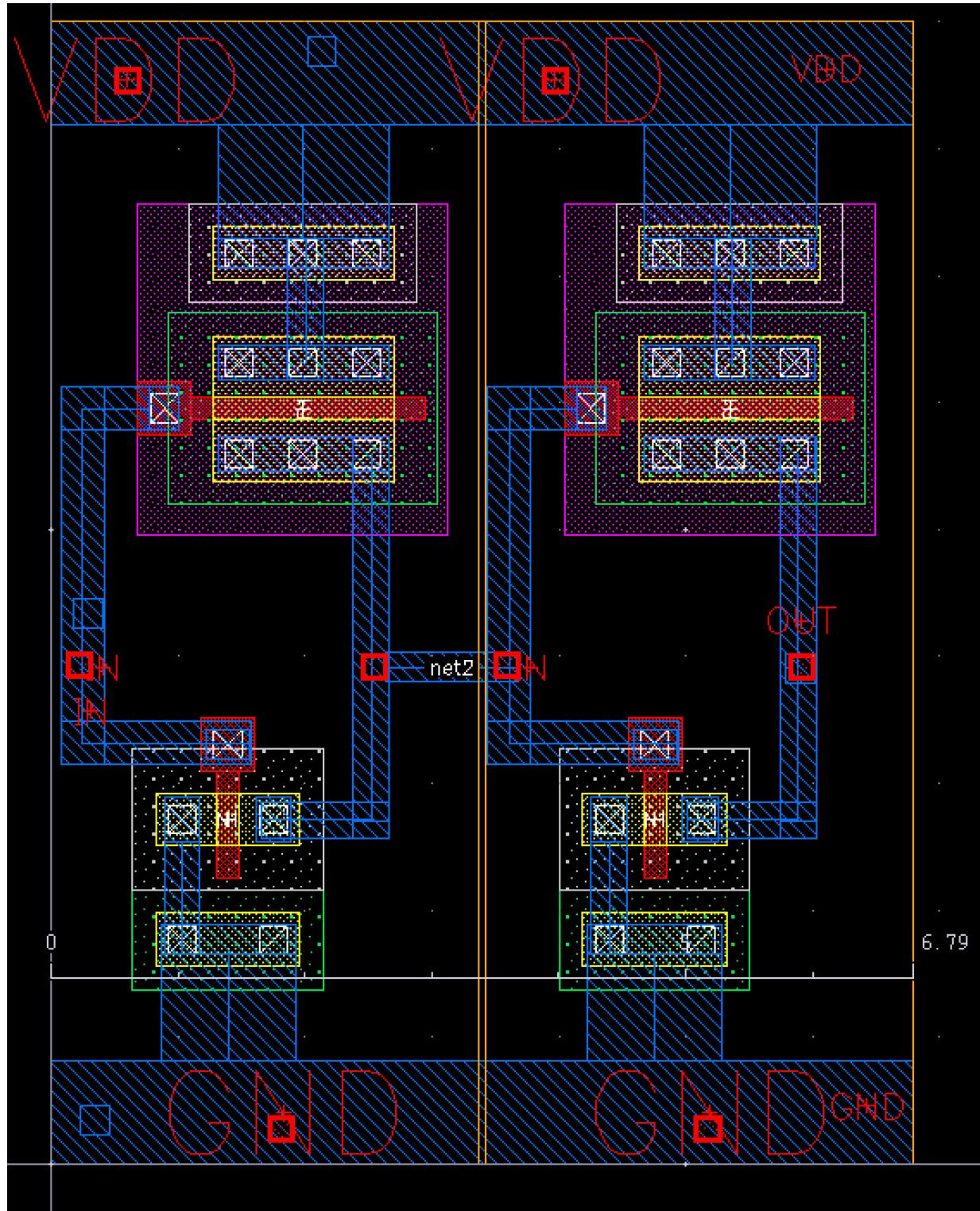
BufferMOS layout:

נראה כי עבור ה Bufferהן"ל מכיוון שיש לנו 2 טרנזיסטורים מסוג, נראה כי נדרש לשותף את הדיפוזיות שלהם.



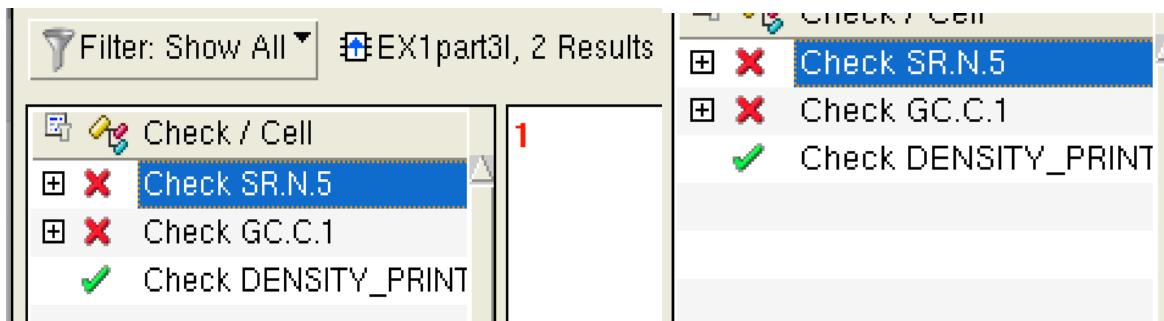
## BufferINV layout:

עבור שרטוט ה `layout` המהפקים, נראה כי אנו משתמשים בסימבול (ולכן לא ניתן לשתף דיפוזיות) כלומר נצפה לשימוש ב-2 תעלות נפרדות, ולכן במקרה הנ"ל החיבור בין 2 המהפקים הוא פשוט יותר כיוון שרק נדרש להוסיף חיבור מתכתי באמצעותו.



## 4.7. בדיקות DRC

הבדיקות לשתי סוגי הבאים עברו בהצלחה כמעט ללא שגיאות



## 4.8. בדיקות LVS

עבור התא הראשון:(BufferMOS)

```

REPORT FILE NAME: EX1part3T.lvs.report
LAYOUT NAME: EX1part3T.sp ('EX1part3T')
SOURCE NAME: EX1part3T.cdl ('EX1part3T')
RULE FILE: _LVS.header
CREATION TIME: Thu Apr 17 12:13:49 2025
CURRENT DIRECTORY: /tech/ts18sl_rev_6_3/PROJECTS/6M1L_lib_sem2/
USER NAME: stu34
CALIBRE VERSION: v2022.1_36.16 Tue Mar 1 14:26:36 PST 2022

OVERALL COMPARISON RESULTS

      #      #####
      #      #   #
      #      #   CORRECT   #
      #      #   #
      #      #####     *   *
      #      #   |   /   \   /
      #      #####
  
```

עבור התא השני:(BufferINV)

```

REPORT FILE NAME: EX1part3I.lvs.report
LAYOUT NAME: EX1part3I.sp ('EX1part3I')
SOURCE NAME: EX1part3I.cdl ('EX1part3I')
RULE FILE: _LVS.header
CREATION TIME: Thu Apr 17 13:21:06 2025
CURRENT DIRECTORY: /tech/ts18sl_rev_6_3/PROJECTS/6M1L_lib_sem2/
USER NAME: stu34
CALIBRE VERSION: v2022.1_36.16 Tue Mar 1 14:26:36 PST 2022

OVERALL COMPARISON RESULTS

      #      #####
      #      #   #
      #      #   CORRECT   #
      #      #   #
      #      #####     *   *
      #      #   |   /   \   /
      #      #####
  
```

## - בדיקות PEX 4.9

### MOS PEX:

**Navigator**

**EX1part3T x**

**Results**

- Extraction Results
- Comparison Results
- Parasitics

No.	Layout Net	Source Net	R Count	C Total (F)	CC Total (F)	C+CC Total (F)
1	IN	IN	8	2.95377E-19	2.48504E-16	2.48800E-16
2	2	OUT1	18	3.15532E-19	7.92006E-16	7.92322E-16
3	GND	GND	6	0.00000	1.17525E-15	1.17525E-15
4	VDD	VDD	11	2.01547E-20	1.10024E-15	1.10026E-15
5	OUT	OUT	15	0.00000	5.47603E-16	5.47603E-16

### INV PEX:

**Navigator**

**EX1part3I x**

**Results**

- Extraction Results
- Comparison Results
- Parasitics

No.	Layout Net	Source Net	R Count	C Total (F)	CC Total (F)	C+CC Total (F)
1	IN	IN	12	2.66704E-20	6.00093E-16	6.00120E-16
2	GND	GND	14	3.79877E-19	2.12520E-15	2.12558E-15
3	VDD	VDD	33	3.83820E-19	1.26154E-15	1.26193E-15
4	5	net2	29	4.08519E-19	1.02277E-15	1.02318E-15
5	OUT	OUT	11	3.81849E-19	5.48858E-16	5.49240E-16

-calibre ניצור קובץ config עבור הטעס המכיל את שתי הבאים ואת שניהם נעביר ל-

**Virtuoso® Hierarchy Editor Editing: (MyLIB EX1part3\_TB config)**

Launch File Edit View Help

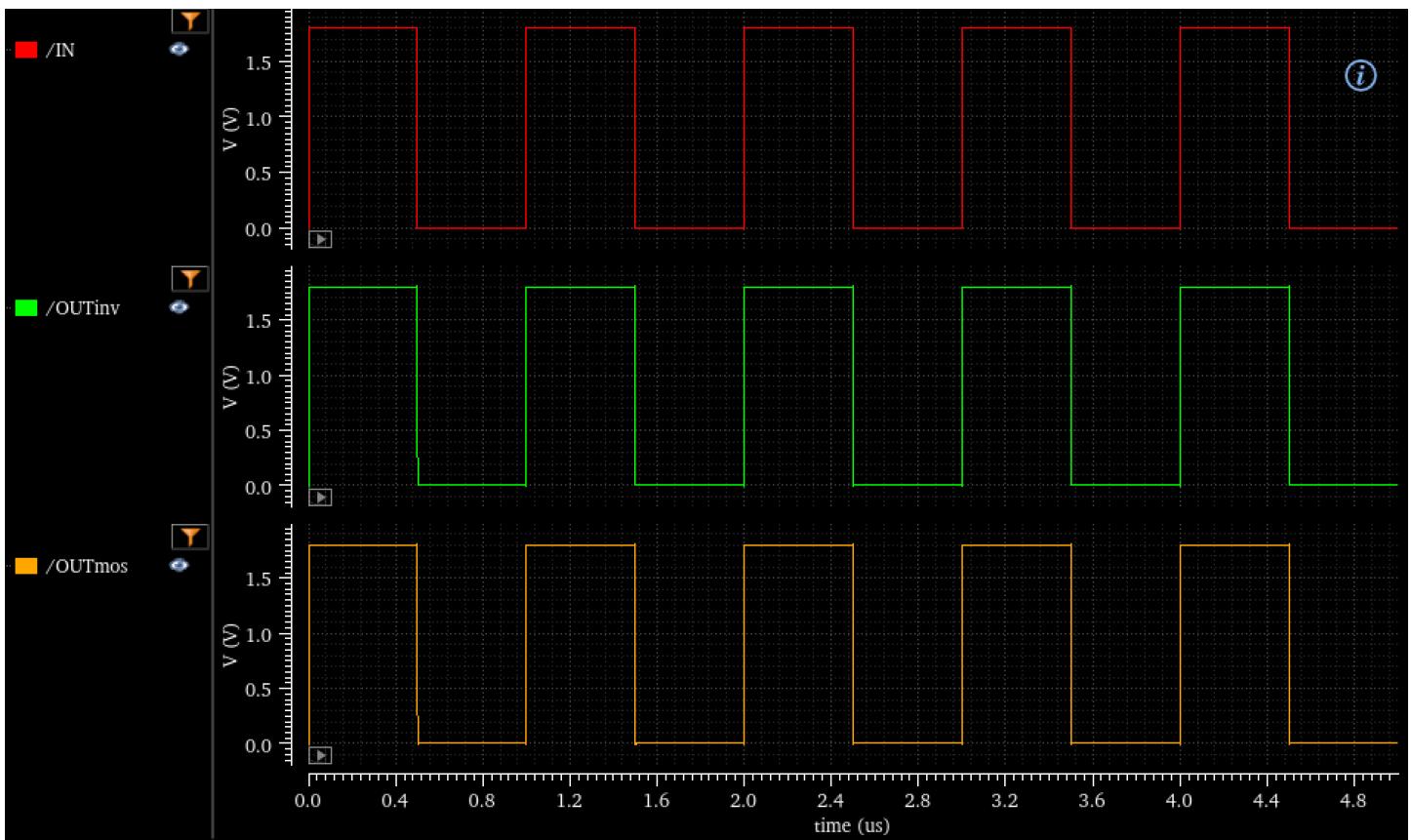
Top Cell Global Bindings

Library: MyLIB	Library List: myLib
Cell: EX1part3_TB	View List: tic verilogahdlnpspicedspf
View: schematic	Stop List: spectre
<b>Open</b>	<b>Edit</b>
<b>ADE Explorer</b>	

Cell Bindings

Library	Cell	View Found	View To Use	Inherited View List
MyLIB	EX1part3I	calibre	calibre	spectre cmos_sch c...
MyLIB	EX1part3T	calibre	calibre	spectre cmos_sch c...
MyLIB	EX1part3_TB	schematic		spectre cmos_sch c...
analogLib	cap	spectre		spectre cmos_sch c...
analogLib	res	spectre		spectre cmos_sch c...
analogLib	vdc	spectre		spectre cmos_sch c...
analogLib	vpulse	spectre		spectre cmos_sch c...
ts018_prim	nmos_18	spectre		spectre cmos_sch c...
ts018_prim	pmos_18	spectre		spectre cmos_sch c...

#### 4.10. נבצע את הסימולציה שעשינו בשאלת 1 בתוספת הפרזיטיקה לכל אחד מהתאים -



tpdINV	expr	$((\text{tpriINV} + \text{tpfINV}) / 2)$	649.1p
tprINV	expr	$(\text{cross}(\text{VT}("/\text{OUTinv}") 1.62 1 "rising" \text{nil} \text{nil} \text{nil}) - \text{cross}(\text{VT}("/\text{OUTinv}") 0.18 1 "rising" \text{...}))$	621.4p
tpfINV	expr	$(\text{cross}(\text{VT}("/\text{OUTinv}") 0.18 1 "falling" \text{nil} \text{nil} \text{nil}) - \text{cross}(\text{VT}("/\text{OUTinv}") 1.62 1 "falling" \text{...}))$	676.8p
	signal	/IN	
	signal	/OUTinv	
	signal	/OUTmos	
tpdMOS	expr	$((\text{tprMOS} + \text{tpfMOS}) / 2)$	648.8p
tprMOS	expr	$(\text{cross}(\text{VT}("/\text{OUTmos}") 1.62 1 "rising" \text{nil} \text{nil} \text{nil}) - \text{cross}(\text{VT}("/\text{OUTmos}") 0.18 1 "risin...))$	621.2p
tpfMOS	expr	$(\text{cross}(\text{VT}("/\text{OUTmos}") 0.18 1 "falling" \text{nil} \text{nil} \text{nil}) - \text{cross}(\text{VT}("/\text{OUTmos}") 1.62 1 "falli...))$	676.5p

נראה את ההבדלים באמצעות טבלה:

פרמטר	BufferINV	BufferINV	BufferMOS	BufferMOS
עム/בלי פרזיטיקה	בלי	עム	בלי	עム
$[s \cdot p]$	643.2	649.1	643.2	648.8

ניתן לראות כי כאשר הוספנו את הפרזיטיקה, למעשה הגדלנו את ערכי ההתנגדות והקיבולים ומכאן נובע כי זמן ההשניה  $T_{pd}$  גדל (תואם לתיאוריה).

ניתן לראות כי לפני הפרזיטיקה הבדל בזמן ההשניה בין הבאים זניח, ואשר הוסיף את הפרזיטיקה אז למעשה הוסיף עוד יותר קיבול והתנדות, ולכן ניתן לראות כי אכן>Z מניע ההשניה על כמצופה. בנוסף ניתן לראות כי כתף (בתוספת הפרזיטיקה) הבדלים יותר משמעותיים וכי עבר הבאים עם הטרנזיסטורים קטן מהבאפר עם המהפקים וזאת כתוצאה מיחסון במרקחים ושיטות הדיפוזיות.

#### 4.11. נסביר את המינוחים -

MOSBuffer השתמשו בשיטה הנكرة, (custom design) - FCD בשיטה זו למעשה אנו עושים את הכל "מאפס" ככלור בשיטה זו אנו עושים הכל באופן ידני, כאשר אנו שולטים בכל פרמטר ברמת הרזולוציה היכי גבורה. היתרון בשיטה זו הוא שאנו יכולים להגיע לאופטימיזציה גבורה, אך לעומת זאת זאת נדרש הרבה יותר זמן לתכנון.

NVBufferNV השתמשו בשיטה הנكرة, (standard cell design) - SCD בשיטה זו אנו מתכוונים תמיד קבועים מראש, אשר ניתן להשתמש בהם בצורה אמינה כי הם כבר נמדדו ונבדקו. הגודל של התא והמבנה הפנימי כבר קבוע מראש. היתרון בשיטה זו הוא חיסכון בזמן בצורה משמעותית כי כבר כל הרכיב והתקנון מוכן מראש, אך החסרון היא חוסר גמישות בתא, ככלומר אין התאמה אופטימלית בין התא לדרישות המערכת.

#### 4.12. נתאר את ה trade-off בטבלה -

	SCD	FCD
שטח	רחב גדול יותר, משתמש ביוטר סיליקון וכן יותר יקר	רחב קטן יותר, חיסכון במקום ובסיליקון וכן זול יותר
שיתופי דיפוזיות	לא ניתן כי התא מוכן מראש	ניתן כי אנו מכינים מאפס את התא
פרזיטיות	השפעה גדולה יחסית	נוח לעבד רק עם מספר מועט של טרנזיסטורים
סקילבilities	נוח לשימוש כאשר יש מספר רב של טרנזיסטורים	גדול יחסית (יש יותר חומר ולכך יותר קיבולים והתנדות)
זמן ההשניה	קטן יחסית כי יש שליטה ברמה גבוהה	