



مدارهای منطقی

نیم‌سال دوم ۱۴۰۴-۱۴۰۳

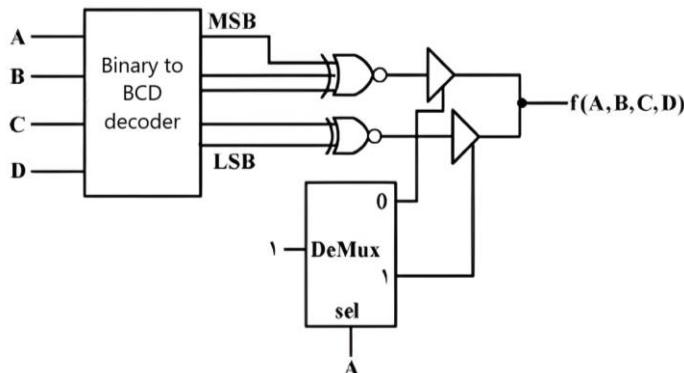
مهلت ارسال: ساعت ۲۴ جمعه ۲۲ فروردین ۱۴۰۴

تمرین چهار

به موارد زیر توجه کنید:

- ۱- حتما نام و شماره دانشجویی خود را روی پاسخ‌نامه بنویسید.
- ۲- در حل سوالات به نوشتن جواب آخر اکتفا نکنید. همه مراحل میانی را هم بنویسید.
- ۳- کل پاسخ تمرینات را در قالب یک فایل pdf با شماره دانشجویی خود نام‌گذاری کرده در سامانه CW بارگذاری کنید.
- ۴- در صورت مشاهده هر گونه مشابهت نامتعارف هر دو (یا چند) نفر کل نمره این تمرین را از دست خواهند داد.

- ۱- (۲ نمره) مشخص کنید مدار زیر بر حسب مینترم‌ها چه تابعی را پیاده‌سازی می‌کند. توجه کنید در تبدیل کننده باینری به BCD، ورودی A بالارزش‌ترین و ورودی D کم‌ارزش‌ترین هستند. همچنین خروجی MSB بالارزش‌ترین و خروجی LSB کم‌ارزش‌ترین هستند.



ABCD	f_4	f_3	f_2	f_1	f_0
0000	0	0	0	0	0
0001	0	0	0	0	1
0010	0	0	0	1	0
0011	0	0	0	1	1
0100	0	0	1	0	0
0101	0	0	1	0	1
0110	0	0	1	1	0
0111	0	0	1	1	1
1000	0	1	0	0	0
1001	0	1	0	0	1
1010	1	0	0	0	0
1011	1	0	0	0	1
1100	1	0	0	1	0
1101	1	0	0	1	1
1110	1	0	1	0	0
1111	1	0	1	0	1

پاسخ:

از بالارزش‌ترین تا کم‌ارزش‌ترین بیت خروجی دیکودر را به ترتیب f_4 تا f_0 می‌نامیم.

موقعی که $A = 0$ آنگاه $f = \overline{(f_4 \oplus f_3 \oplus f_2)}$ و موقعی که $A = 1$ آنگاه $f = \overline{(f_1 \oplus f_0)}$ است.

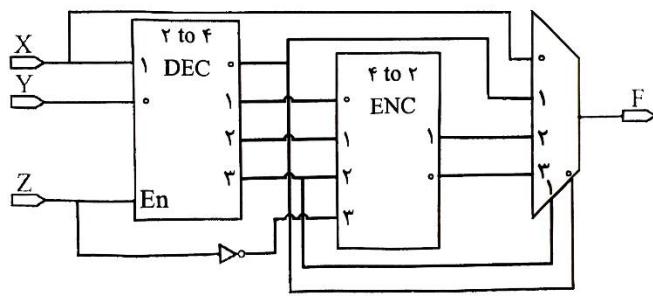
پس به ازای حالت‌های زیر، خروجی f یک می‌شود.

$$ABCD = 0000, 0001, 0010, 0011, 1000, 1010, 1101, 1110$$

که مینترم‌های معادل آن عبارتند از:

$$m_0, m_1, m_2, m_3, m_8, m_{10}, m_{13}, m_{14}$$

۲- (۲ نمره) خروجی تابع F را به دست آورید.



XYZ	$D_0 D_1 D_2 D_3$	$E_0 E_1 E_2 E_3$	$I_0 I_1 I_2 I_3$	$S_1 S_0$	F
000	0000	0001	0011	00	0
001	0000	0001	0011	00	0
010	0000	0001	1011	00	1
011	0000	0001	1011	00	1
100	1000	0000	01dd	01	1
101	0100	1001	0000	00	0
110	0010	0101	1001	00	1
111	0011	0010	1010	10	1

پاسخ:

در جدول بالا D_i ها خروجی های دیکودر، E_i ها ورودی های انکوڈر، I_i ها ورودی های مالتی پلکسر و S_i ها خطوط انتخاب مالتی پلکسر هستند. بنابراین تابع F به دست می آید.

$$F = x + \bar{y}z$$

۳- (۲ نمره) تابع $F(a, b, c) = a\bar{b} + \bar{a}c$ را با هر کدام از موارد زیر پیاده سازی کنید. در صورت نیاز، می توانید از گیت های پایه استفاده کنید.

الف - Mux 8×1

ب - Mux 4×1 با خطوط انتخاب ab

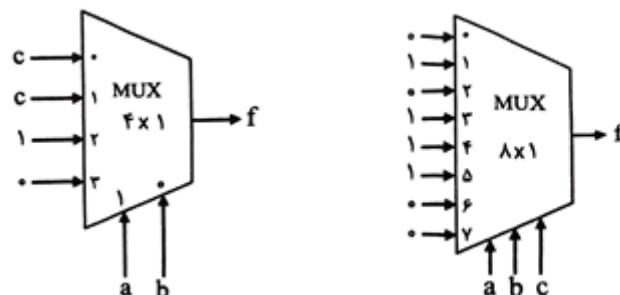
ج - Mux 4×1 با خطوط انتخاب bc

د - Mux 2×1 با خط انتخاب c

پاسخ:

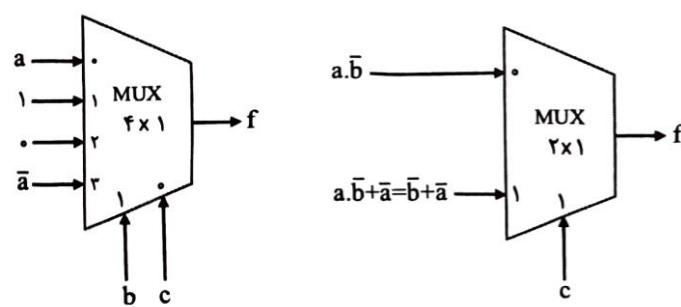
بخش های الف و ب را می توانیم با رسم جدول درستی پاسخ دهیم.

abc	f	
000	0	$I_0=c$
001	1	
010	0	$I_1=c$
011	1	
100	1	$I_2=1$
101	1	
110	0	$I_3=0$
111	0	



برای پاسخ به بخش های ج و د می توانیم جدول درستی را طور دیگری رسم کنیم.

cba	f		
000	0	$I_0=a$	
001	1		$J_0=ab'$
010	0	$I_2=0$	
011	0		$J_1=1$
100	1	$I_1=1$	
101	1		$J_1=a'+b'$
110	1	$I_3=a'$	
111	0		



۴- (۲ نمره) بررسی کنید که هر یک از واحدهای زیر یک منطق کامل هست یا خیر.

الف- نیم تفریق کننده

ب- مقایسه کننده دوبیتی

پاسخ:

الف- در نیم تفریق کننده دو خروجی داریم که با توابع زیر بیان می شوند:

$$b(x, y) = x'y, \quad d(x, y) = x \oplus y$$

با هیچ کدام از این دو تابع نمی توانیم NOT را بسازیم، بنابراین نیم تفریق کننده منطق کامل نیست.

ب- در مقایسه کننده سه خروجی داریم که با توابع زیر بیان می شوند:

$$E(a, b) = a \odot b \quad L(a, b) = a'b \quad G(a, b) = ab'$$

داریم:

$$E(a, a) = aa + a'a' = 1$$

$$L(a, E(a, a)) = L(a, 1) = a'.1 = a'$$

$$L(L(a, E(a, a)), b) = L(a', b) = ab$$

بنابراین مقایسه کننده منطق کامل است.

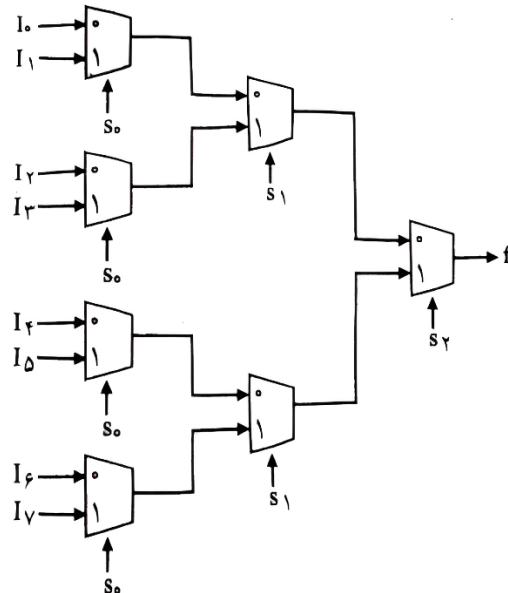
۵- (۲ نمره) با حداقل تعداد مالتی پلکسر 1×2 ، یک مالتی پلکسر 8×1 بسازید. سپس بررسی کنید برای ساخت یک مالتی پلکسر 64×1 به چه تعداد مالتی پلکسر 2×1 نیاز است.

پاسخ:

یک مالتی پلکسر 1×8 دارای ۸ ورودی است. پس باید ۴ تا یک مالتی پلکسر 2×1 زیر هم قرار دهیم که ۸ تا ورودی را دریافت کنند. این چهار مالتی پلکسر چهار خروجی دارند که به کمک دو مالتی پلکسر 2×1 دیگر تبدیل

به دو خروجی و سپس با کمک یک مالتی پلکسر 2×1 دیگر تبدیل به یک خروجی می شود.

با همین استدلال، برای ساخت یک مالتی پلکسر 64×1 به ۶۳ مالتی پلکسر 2×1 زیر نیاز است.

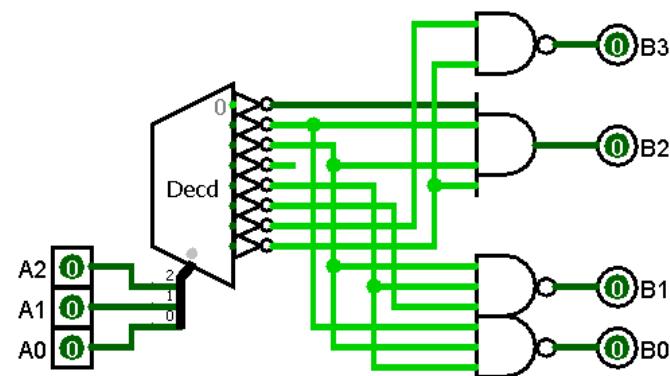


۶- (۲ نمره) به کمک یک دیکودر ۳ به ۸ با خروجی‌های active-low و کمترین گیت اضافه با کمترین تعداد ورودی مداری بسازید که یک عدد ۳ بیتی دریافت کند و حاصل جمع مقسوم علیه‌هاش را تولید کند.

پاسخ:

A ₂	A ₁	A ₀		B ₃	B ₂	B ₁	B ₀
0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1
0	1	0	3	0	0	1	1
0	1	1	4	0	1	0	0
1	0	0	7	0	1	1	1
1	0	1	6	0	1	1	0
1	1	0	12	1	1	0	0
1	1	1	8	1	0	0	0

چون خروجی دیکودر active-low است، برای ساخت خروجی‌ها، اگر تعداد صفرها کمتر بود، خروجی‌های متناظر را صفر را AND می‌کنیم و اگر تعداد یک‌ها کمتر بود، خروجی‌های متناظر با یک را NAND می‌کنیم.
برای ساخت B₂ هم می‌توانیم از گیت AND استفاده کنیم و هم از گیت NAND



۷- (۲ نمره)تابع زیر را به کمک یک مالتی‌پلکسر ۴ به ۱ و حداقل گیت ممکن پیاده سازی کنید. (هر یک از گیت‌های NOT, XOR, NOR, OR, AND را بدون توجه به تعداد ورودی یک گیت محسوب کنید). راهنمایی: متغیرهای ارزش بالا را به ورودی‌های انتخاب مالتی‌پلکسر بدهید.

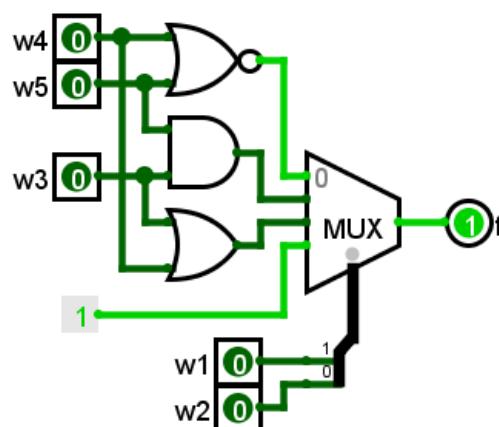
$$f(w_1, w_2, w_3, w_4, w_5) = \overline{w_1} \overline{w_2} \overline{w_4} \overline{w_5} + w_1 w_2 + w_1 w_3 + w_1 w_4 + w_2 w_3 w_5$$

پاسخ:

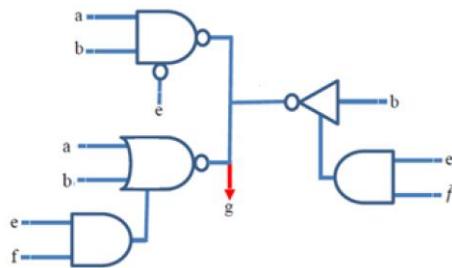
تابع بالا را می‌توانیم به صورت زیر ساده کنیم تا ورودی‌های مالتی‌پلکسر به دست آید.

$$f(w_1, w_2, w_3, w_4, w_5)$$

$$\begin{aligned} &= \overline{w_1} \overline{w_2} \overline{w_4} \overline{w_5} + w_1 w_2 + w_1 \overline{w_2} w_3 + w_1 w_2 w_3 + w_1 \overline{w_2} w_4 + w_1 w_2 w_4 + \overline{w_1} w_2 w_3 w_5 + w_1 w_2 w_3 w_4 \\ &= \overline{w_1} \overline{w_2} (\overline{w_4} \overline{w_5}) + w_1 w_2 (1 + w_3 + w_4 + w_3 w_4) + w_1 \overline{w_2} (w_3 + w_4) + \overline{w_1} w_2 (w_3 w_5) \\ &= \overline{w_1} \overline{w_2} (\overline{w_4} \overline{w_5}) + w_1 w_2 (1) + w_1 \overline{w_2} (w_3 + w_4) + \overline{w_1} w_2 (w_3 w_5) \end{aligned}$$



-۸ (۳ نمره) تابع g مدار زیر را به شکل ساده شده SOP بنویسید.



پاسخ:

می بینیم که ورودی های فعال ساز بافرهای سه حالتی طوری است که هیچ وقت دو بافر همزمان فعال نمی شوند.

بنابراین می توانیم تابع خروجی g را به صورت زیر بنویسیم و سپس ساده کنیم.

$$g = e'(ab)' + ef(a+b)' + ef'b'$$

این تابع را می توانیم با جدول کارنو یا با قوانین جبر بول ساده کنیم.

ab	00	01	11	10
ef	1	1	0	1
00	1	1	0	1
01	1	1	0	1
11	1	0	0	0
10	1	0	0	1

$$g = a'e' + b'f' + b'e' + a'b'$$

-۹ (۳ نمره) با استفاده از تعداد کافی مالتی پلکسر 1×2 یک جمع کننده کامل (full adder) بسازید. فرض کنید ورودی های صفر و یک در دسترس هستند، اما هیچ گیت منطقی ندارید.

پاسخ:

حداقل به دو مالتی پلکسر نیاز داریم که خروجی های s و c را طبق روابط زیر بسازیم:

$$c(x, y, z) = xy + yz + xz = z'(xy) + z(x+y)$$

$$s(x, y) = x \oplus y \oplus z = xy'z' + x'yz' + x'y'z + xyz = z'(xy' + x'y) + z(xy + x'y')$$

اما برای ساخت ورودی های هر کدام از این مالتی پلکسرهای هم نیاز به مالتی پلکسرهایی داریم که توابع NOT, AND, XOR را بسازند.

بنابراین مدار نهایی به صورت زیر خواهد شد.

