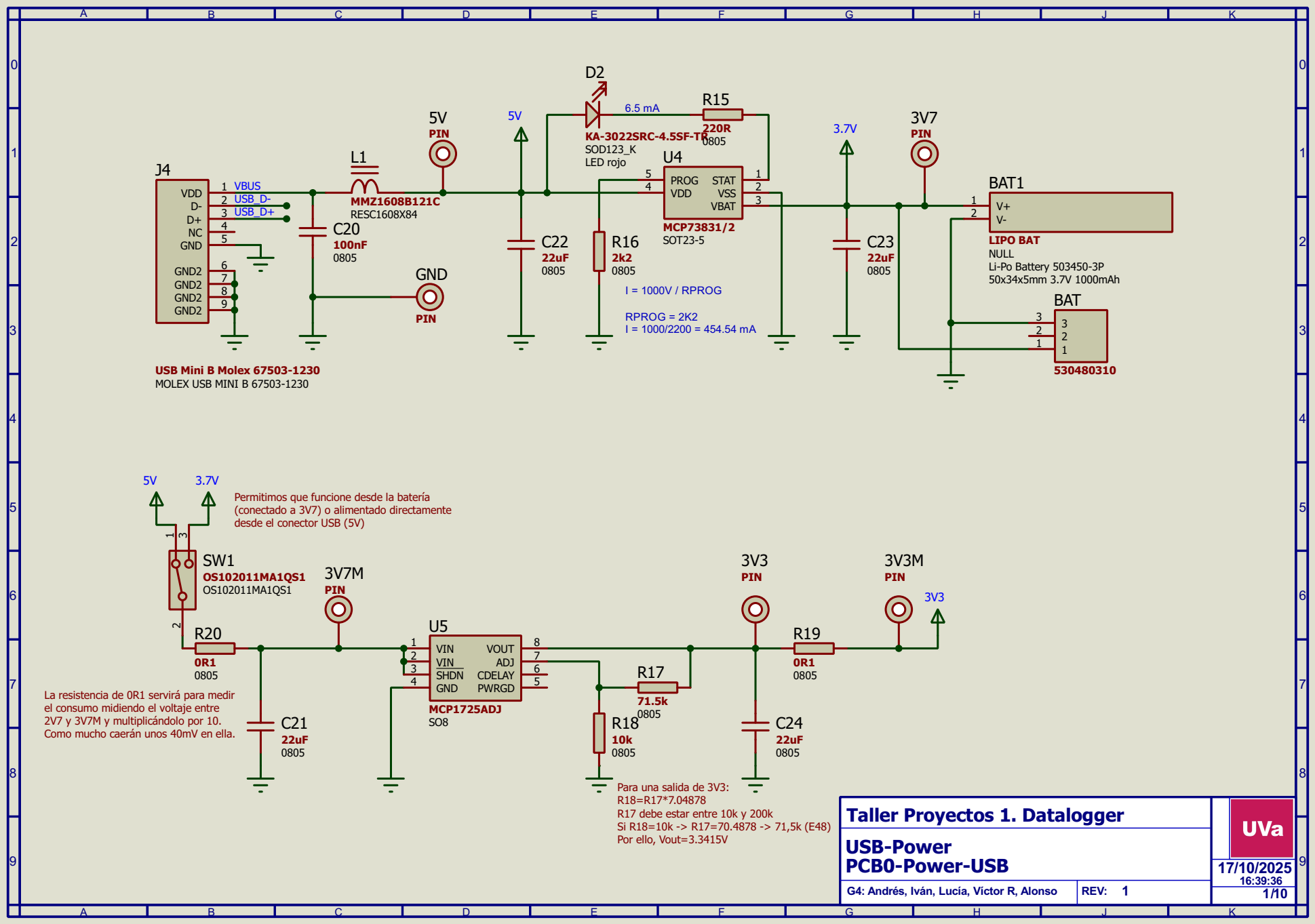
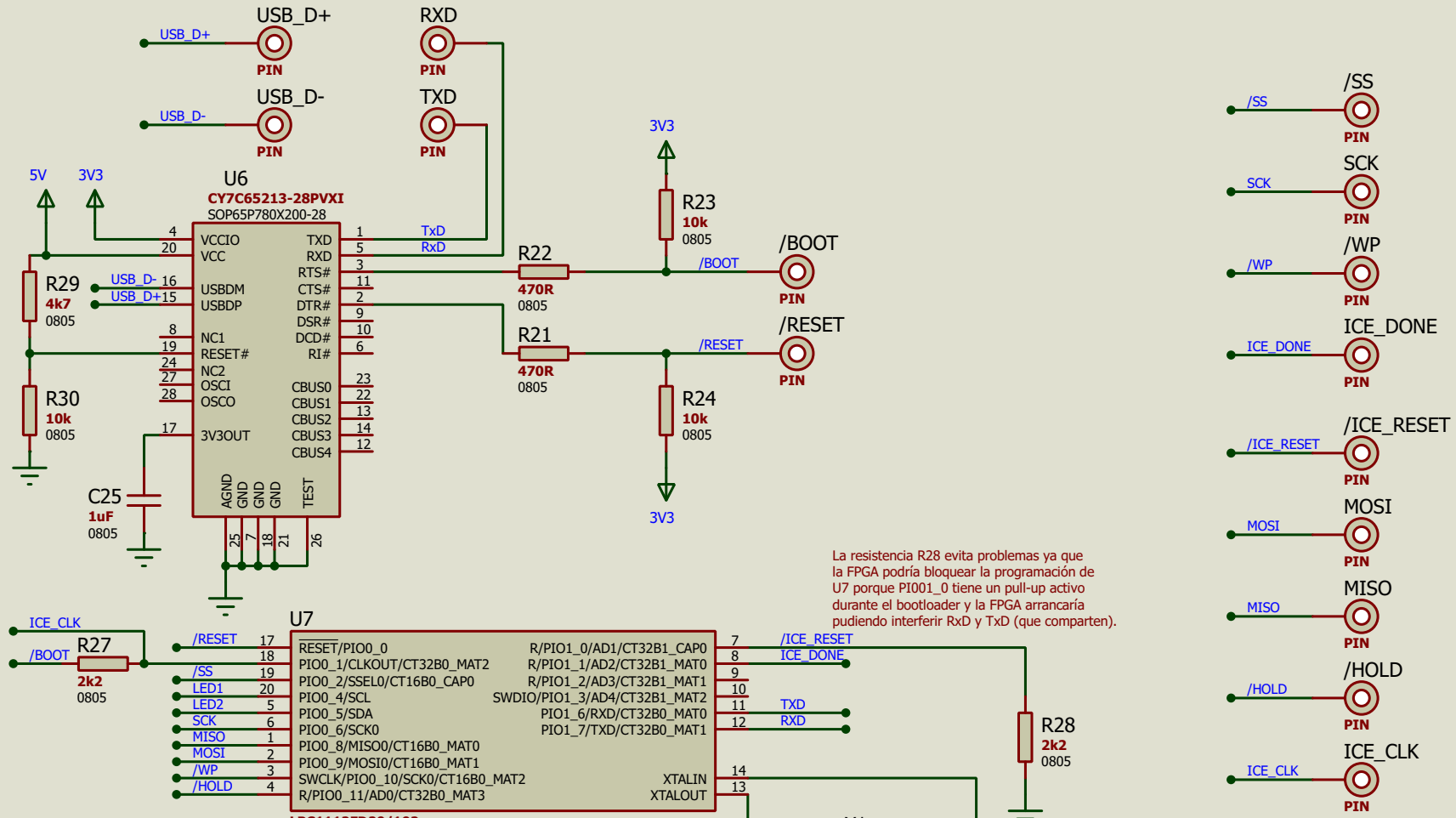
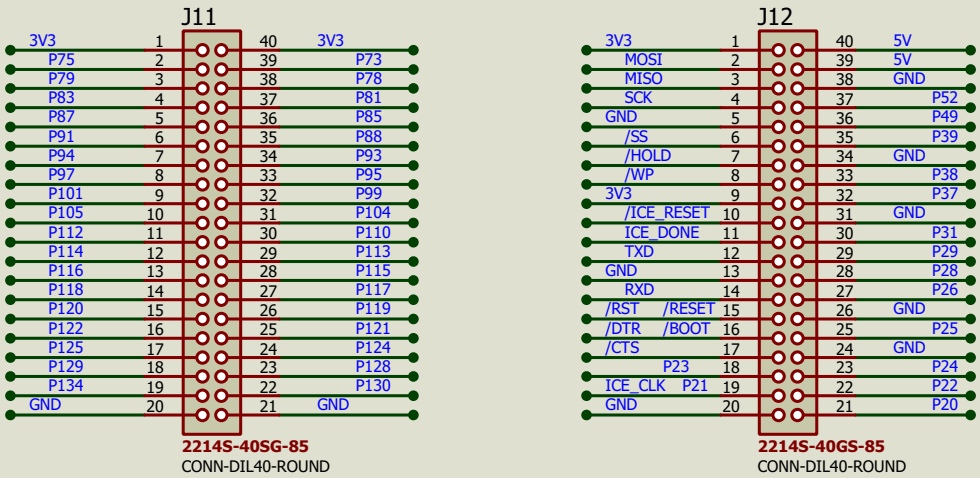

J4
VDD
D-
D+
NC
GND
GND2
GND2
GND2
GND2
VBUS
USB_D-
USB_D+
USB Mini B Molex 67503-1230
MOLEX USB MINI B 67503-1230
L1
MMZ1608B121C
RESC1608X84
C20
100nF
0805
5V
PIN
GND
PIN
5V
C22
22uF
0805
D2
KA-3022SRC-4.5SF-TR
SOD123_K
LED rojo
6.5 mA
R15
220R
0805
R16
2k2
0805
U4
PROG
VDD
STAT
VSS
VBAT
MCP73831/2
SOT23-5
I = 1000V / RPROG
RPROG = 2K2
I = 1000/2200 = 454.54 mA
3.7V
C23
22uF
0805
3V7
PIN
BAT1
V+
V-
LIPO BAT
NULL
Li-Po Battery 503450-3P
50x34x5mm 3.7V 1000mAh
BAT
530480310
5V
3.7V
Permitimos que funcione desde la batería
(conectado a 3V7) o alimentado directamente
desde el conector USB (5V)
SW1
OS102011MA1QS1
OS102011MA1QS1
3V7M
PIN
R20
0R1
0805
La resistencia de 0R1 servirá para medir
el consumo midiendo el voltaje entre
2V7 y 3V7M y multiplicándolo por 10.
Como mucho caerán unos 40mV en ella.
C21
22uF
0805
U5
VIN
VIN
SHDN
GND
VOUT
ADJ
CDELAY
PWRGD
MCP1725ADJ
SO8
R17
71.5k
0805
R18
10k
0805
Para una salida de 3V3:
R18=R17*7.04878
R17 debe estar entre 10k y 200k
Si R18=10k -> R17=70.4878 -> 71,5k (E48)
Por ello, Vout=3.3415V
3V3
PIN
C24
22uF
0805
R19
0R1
0805
3V3M
PIN
3V3
Taller Proyectos 1. Datalogger
USB-Power
PCB0-Power-USB
G4: Andrés, Iván, Lucía, Víctor R, Alonso
REV: 1
UVa
17/10/2025
16:39:36
1/10


USB_D+
USB_D-
RXD
TXD
PIN
U6
CY7C65213-28PVXI
SOP65P780X200-28
VCCIO
VCC
USBDM
USBDP
NC1
RESET#
NC2
OSCI
OSCO
3V3OUT
TXD
RXD
RTS#
CTS#
DTR#
DSR#
DCD#
RI#
CBUS0
CBUS1
CBUS2
CBUS3
CBUS4
AGND
GND
TEST
5V
3V3
R29
4k7
0805
R30
10k
0805
C25
1uF
0805
R22
470R
0805
R21
470R
0805
R23
10k
0805
R24
10k
0805
/BOOT
/RESET
/SS
SCK
/WP
ICE_DONE
/ICE_RESET
MOSI
MISO
/HOLD
ICE_CLK
La resistencia R28 evita problemas ya que la FPGA podría bloquear la programación de U7 porque PI001_0 tiene un pull-up activo durante el bootloader y la FPGA arrancaría pudiendo interferir RxD y TxD (que comparten).
U7
RESET/PIO0_0
PIO0_1/CLKOUT/CT32B0_MAT2
PIO0_2/SSEL0/CT16B0_CAP0
PIO0_4/SCL
PIO0_5/SDA
PIO0_6/SCK0
PIO0_8/MISO0/CT16B0_MAT0
PIO0_9/MOSI0/CT16B0_MAT1
SWCLK/PIO0_10/SCK0/CT16B0_MAT2
R/PIO0_11/AD0/CT32B0_MAT3
R/PIO1_0/AD1/CT32B1_CAP0
R/PIO1_1/AD2/CT32B1_MAT0
R/PIO1_2/AD3/CT32B1_MAT1
SWDIO/PIO1_3/AD4/CT32B1_MAT2
PIO1_6/RXD/CT32B0_MAT0
PIO1_7/TXD/CT32B0_MAT1
XTALIN
XTALOUT
LPC1112FD20/102
SO20W
VCC=3V3
R27
2k2
0805
R28
2k2
0805
X1
QT49-12.000MEEJ-B
C27
33pF
0805
C28
33pF
0805
C26
100nF
0805
D3
D4
LED1
LED2
KA-3022SRC-4.5SF-TR
KA-3022SGC-4.5SF
SOD123_K
R25
R26
680R
0805
Taller Proyectos 1. Datalogger
USB-Serial, Microcontroller
PCB0-Power-USB
G4: Andrés, Iván, Lucía, Víctor R, Alonso
REV: 1
UVa
17/10/2025
16:39:36
2/10



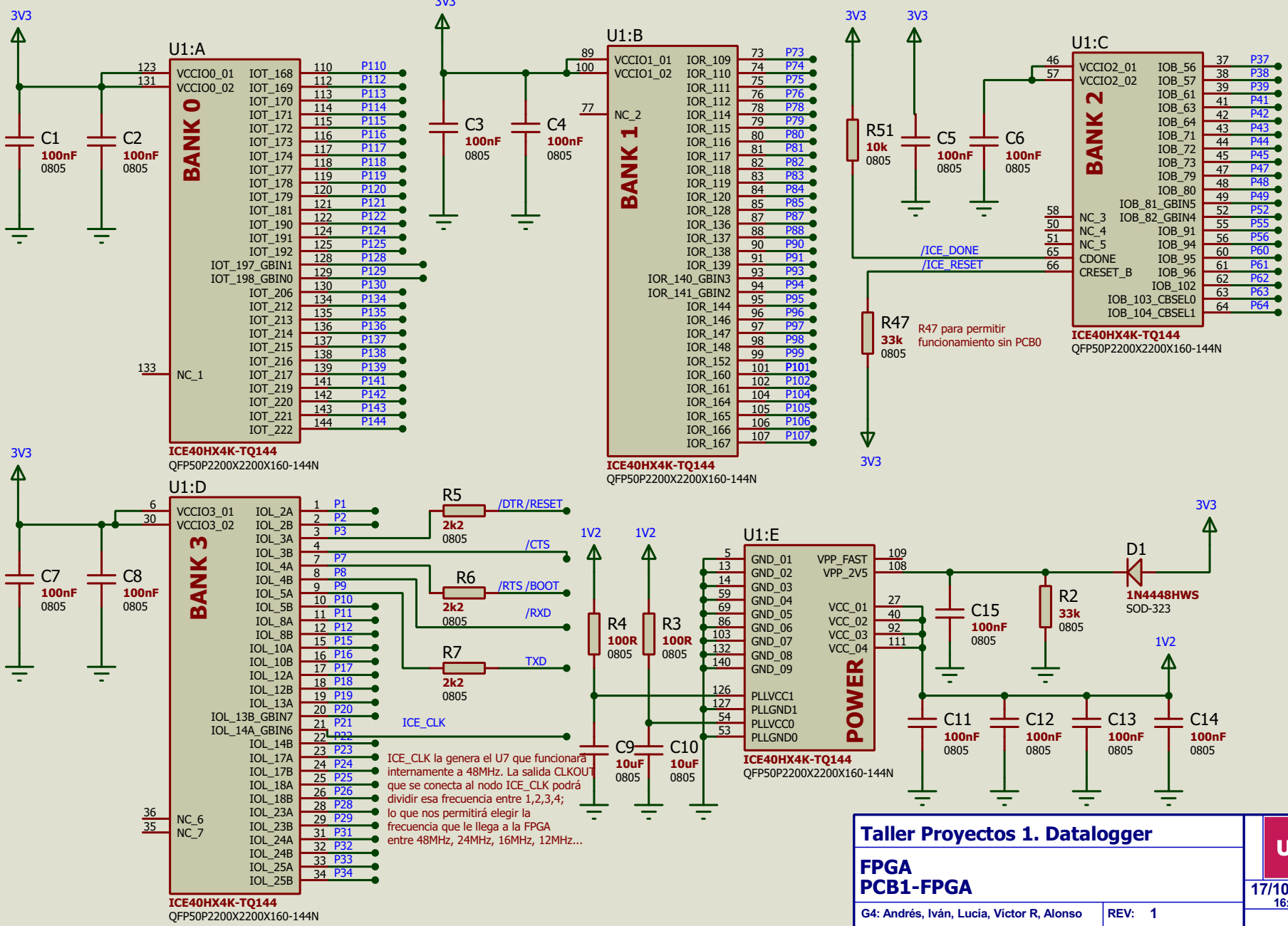
Taller Proyectos 1. Datalogger

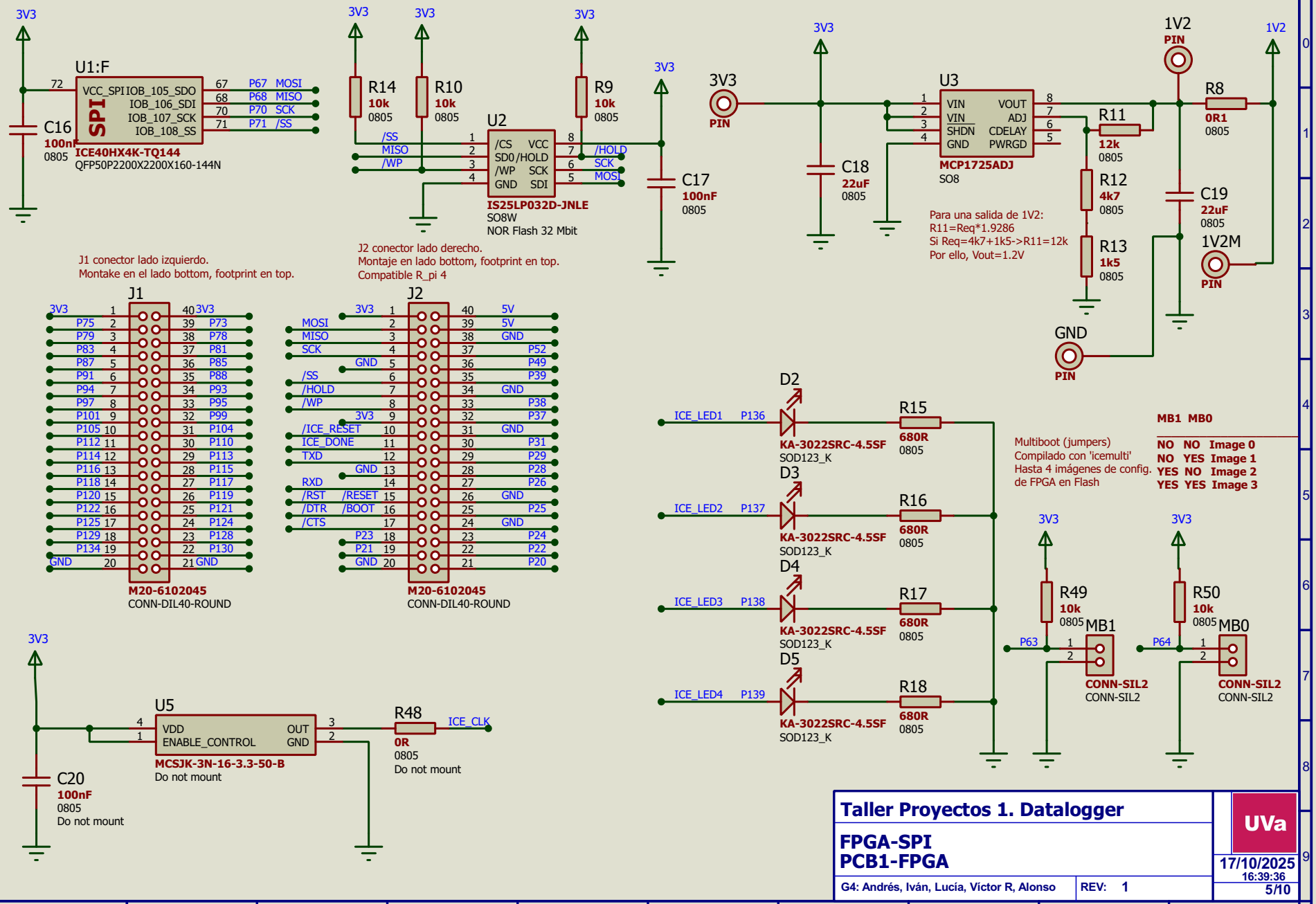
Conectores
PCB0-Power-USB

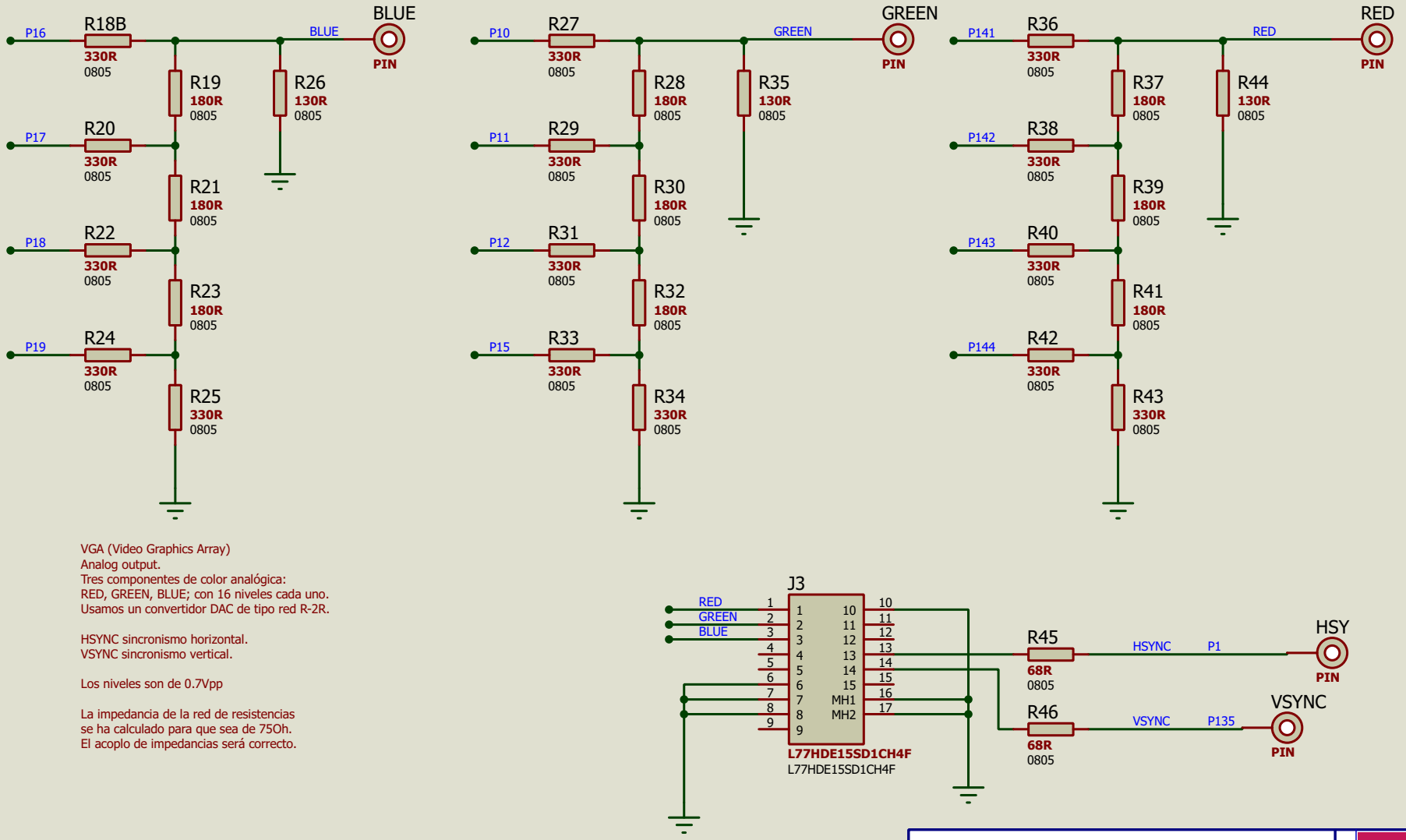
G4: Andrés, Iván, Lucía, Víctor R, Alonso | REV: 1

UVa

17/10/2025
16:39:36
3/10


U1:A
BANK 0
ICE40HX4K-TQ144
QFP50P2200X2200X160-144N
U1:B
BANK 1
ICE40HX4K-TQ144
QFP50P2200X2200X160-144N
U1:C
BANK 2
ICE40HX4K-TQ144
QFP50P2200X2200X160-144N
U1:D
BANK 3
ICE40HX4K-TQ144
QFP50P2200X2200X160-144N
U1:E
POWER
ICE40HX4K-TQ144
QFP50P2200X2200X160-144N
3V3
1V2
C1 100nF 0805
C2 100nF 0805
C3 100nF 0805
C4 100nF 0805
C5 100nF 0805
C6 100nF 0805
C7 100nF 0805
C8 100nF 0805
C9 10uF 0805
C10 10uF 0805
C11 100nF 0805
C12 100nF 0805
C13 100nF 0805
C14 100nF 0805
C15 100nF 0805
R51 10k 0805
R47 33k 0805
R47 para permitir funcionamiento sin PCB0
R2 33k 0805
R3 100R 0805
R4 100R 0805
R5 2k2 0805
R6 2k2 0805
R7 2k2 0805
D1 1N4448HWS SOD-323
/ICE_DONE
/ICE_RESET
/DTR/RESET
/CTS
/RTS /BOOT
/RXD
TXD
ICE_CLK
ICE_CLK la genera el U7 que funcionará internamente a 48MHz. La salida CLKOUT que se conecta al nodo ICE_CLK podrá dividir esa frecuencia entre 1,2,3,4; lo que nos permitirá elegir la frecuencia que le llega a la FPGA entre 48MHz, 24MHz, 16MHz, 12MHz...
Taller Proyectos 1. Datalogger
FPGA
PCB1-FPGA
G4: Andrés, Iván, Lucía, Víctor R, Alonso
REV: 1
UVa
17/10/2025
16:39:36
4/10


U1:F
SPI
VCC_SPI
IOB_105_SDO
IOB_106_SDI
IOB_107_SCK
IOB_108_SS
P67 MOSI
P68 MISO
P70 SCK
P71 /SS
C16
100nF
0805
ICE40HX4K-TQ144
QFP50P2200X2200X160-144N
R14
10k
0805
R10
10k
0805
R9
10k
0805
U2
/CS VCC
SO1 /HOLD
/WP SCK
GND SDI
IS25LP032D-JNLE
SO8W
NOR Flash 32 Mbit
C17
100nF
0805
U3
VIN VOUT
VIN ADJ
SHDN CDELAY
GND PWRGD
MCP1725ADJ
SO8
C18
22uF
0805
R11
12k
0805
R12
4k7
0805
R13
1k5
0805
R8
0R1
0805
C19
22uF
0805
1V2
1V2M
PIN
Para una salida de 1V2:
R11=Req*1.9286
Si Req=4k7+1k5->R11=12k
Por ello, Vout=1.2V
J1 conector lado izquierdo.
Montake en el lado bottom, footprint en top.
J1
M20-6102045
CONN-DIL40-ROUND
J2 conector lado derecho.
Montaje en lado bottom, footprint en top.
Compatible R_pi 4
J2
M20-6102045
CONN-DIL40-ROUND
D2
D3
D4
D5
KA-3022SRC-4.5SF
SOD123_K
R15
R16
R17
R18
680R
0805
ICE_LED1 P136
ICE_LED2 P137
ICE_LED3 P138
ICE_LED4 P139
Multiboot (jumpers)
Compilado con 'icemulti'
Hasta 4 imágenes de config.
de FPGA en Flash
MB1 MB0
NO NO Image 0
NO YES Image 1
YES NO Image 2
YES YES Image 3
R49
10k
0805
MB1
P63
CONN-SIL2
R50
10k
0805
MB0
P64
CONN-SIL2
U5
VDD OUT
ENABLE_CONTROL GND
MCSJK-3N-16-3.3-50-B
Do not mount
C20
100nF
0805
Do not mount
R48
0R
0805
Do not mount
ICE_CLK
Taller Proyectos 1. Datalogger
FPGA-SPI
PCB1-FPGA
G4: Andrés, Iván, Lucía, Víctor R, Alonso
REV: 1
UVa
17/10/2025
16:39:36
5/10



VGA (Video Graphics Array)
Analog output.
Tres componentes de color analógica:
RED, GREEN, BLUE; con 16 niveles cada uno.
Usamos un convertidor DAC de tipo red R-2R.

HSYNC sincronismo horizontal.
VSYNC sincronismo vertical.

Los niveles son de 0.7Vpp

La impedancia de la red de resistencias
se ha calculado para que sea de 75Oh.
El acoplo de impedancias será correcto.

Taller Proyectos 1. Datalogger

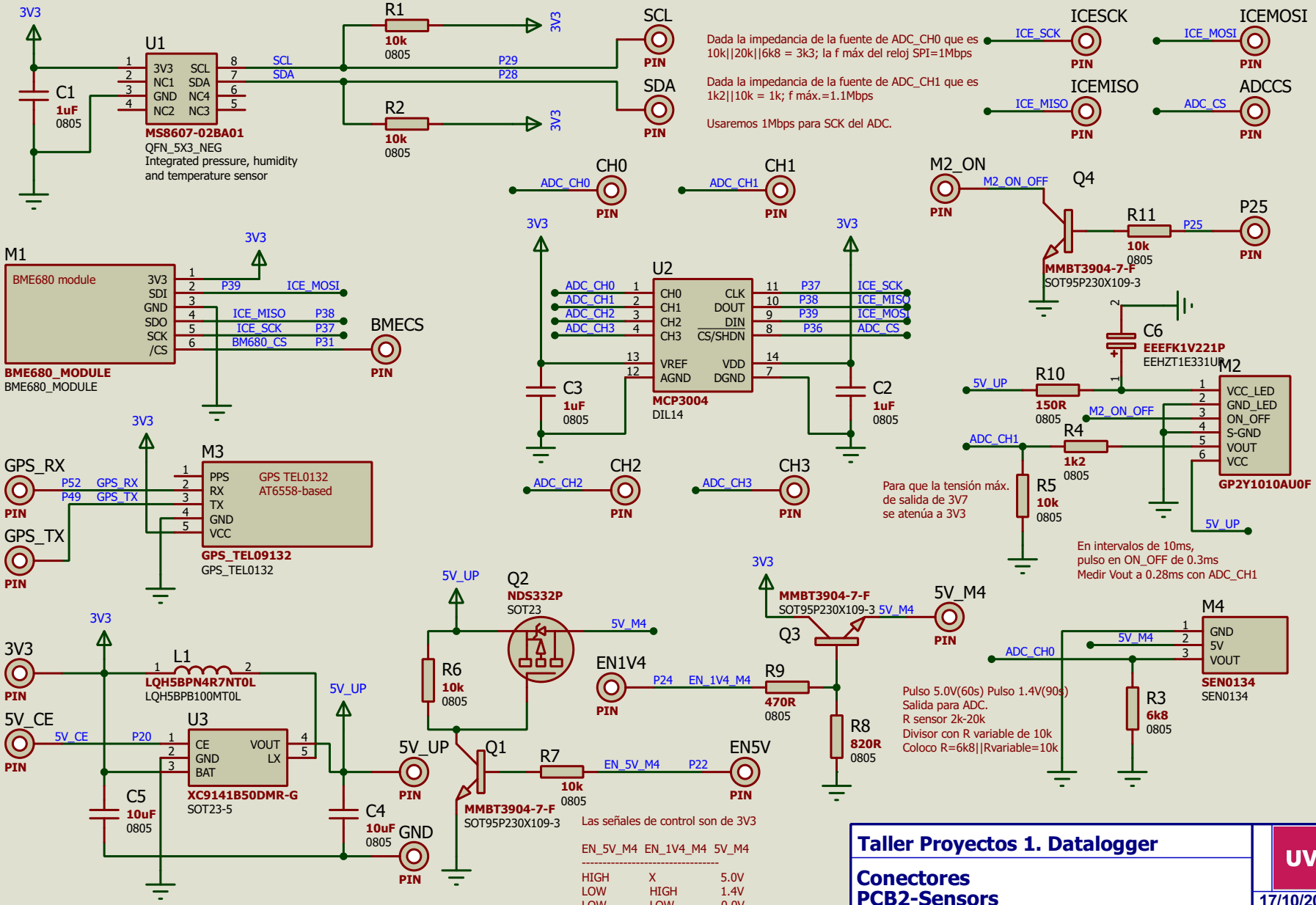
FPGA VGA output
PCB1-FPGA

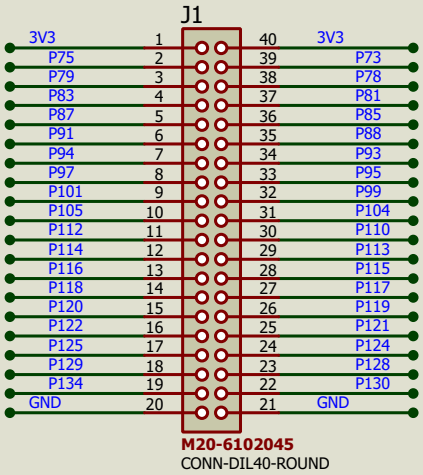
G4: Andrés, Iván, Lucía, Víctor R, Alonso

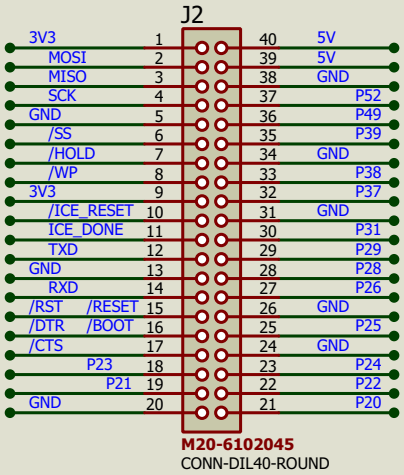
REV: 1

UVa

17/10/2025
16:39:36
6/10


3V3
U1
C1
1uF
0805
MS8607-02BA01
QFN_5X3_NEG
Integrated pressure, humidity
and temperature sensor
R1
10k
0805
R2
10k
0805
SCL
SDA
PIN
P29
P28
Dada la impedancia de la fuente de ADC_CH0 que es 10k||20k||6k8 = 3k3; la f máx del reloj SPI=1Mbps
Dada la impedancia de la fuente de ADC_CH1 que es 1k2||10k = 1k; f máx.=1.1Mbps
Usaremos 1Mbps para SCK del ADC.
ICESCK
ICEMOSI
ICEMISO
ADCCS
ICE_SCK
ICE_MOSI
ICE_MISO
ADC_CS
CH0
CH1
ADC_CH0
ADC_CH1
M2_ON
M2_ON_OFF
Q4
MMBT3904-7-F
SOT95P230X109-3
R11
P25
M1
BME680 module
BME680_MODULE
BMECS
P39
P38
P37
P31
BM680_CS
U2
MCP3004
DIL14
C3
1uF
0805
C2
1uF
0805
ADC_CH2
ADC_CH3
CH2
CH3
C6
EEEFK1V221P
EEHZT1E331UP
M2
GP2Y1010AU0F
VCC_LED
GND_LED
ON_OFF
S-GND
VOUT
VCC
R10
150R
0805
R4
1k2
0805
R5
10k
0805
5V_UP
Para que la tensión máx.
de salida de 3V7
se atenúa a 3V3
En intervalos de 10ms,
pulso en ON_OFF de 0.3ms
Medir Vout a 0.28ms con ADC_CH1
M3
GPS_TEL09132
GPS_TEL0132
GPS_RX
GPS_TX
P52
P49
Q2
NDS332P
SOT23
Q3
MMBT3904-7-F
SOT95P230X109-3
5V_M4
EN1V4
EN5V
R6
10k
0805
R9
470R
0805
R8
820R
0805
M4
SEN0134
GND
5V
VOUT
R3
6k8
0805
Pulso 5.0V(60s) Pulso 1.4V(90s)
Salida para ADC.
R sensor 2k-20k
Divisor con R variable de 10k
Coloco R=6k8||Rvariable=10k
L1
LQH5BPN4R7NT0L
LQH5BPB100MT0L
5V_CE
U3
XC9141B50DMR-G
SOT23-5
C5
10uF
0805
C4
10uF
0805
GND
Q1
R7
10k
0805
Las señales de control son de 3V3
EN_5V_M4 EN_1V4_M4 5V_M4
HIGH X 5.0V
LOW HIGH 1.4V
LOW LOW 0.0V
Taller Proyectos 1. Datalogger
Conectores
PCB2-Sensors
G4: Andrés, Iván, Lucía, Víctor R, Alonso
REV: 1
UVa
17/10/2025
16:39:36
7/10





Uso de pines de la FPGA:

P28 5V_CE Enciende fuente 5v

P22 EN_5V_M4
P24 EN_14V_M4

P25 Contgrola M2_ON_OFF

P26 ADC_CS Activo en baja

P28 SCL Tiene pull-up 10k
P29 SDA Tiene pull-up 10k

P31 0ME680_CS Activo en baja

P37 ICE_SCK
P38 ICE_MOSI

P49 GPS_TX
P52 GPS_RX

Taller Proyectos 1. Datalogger

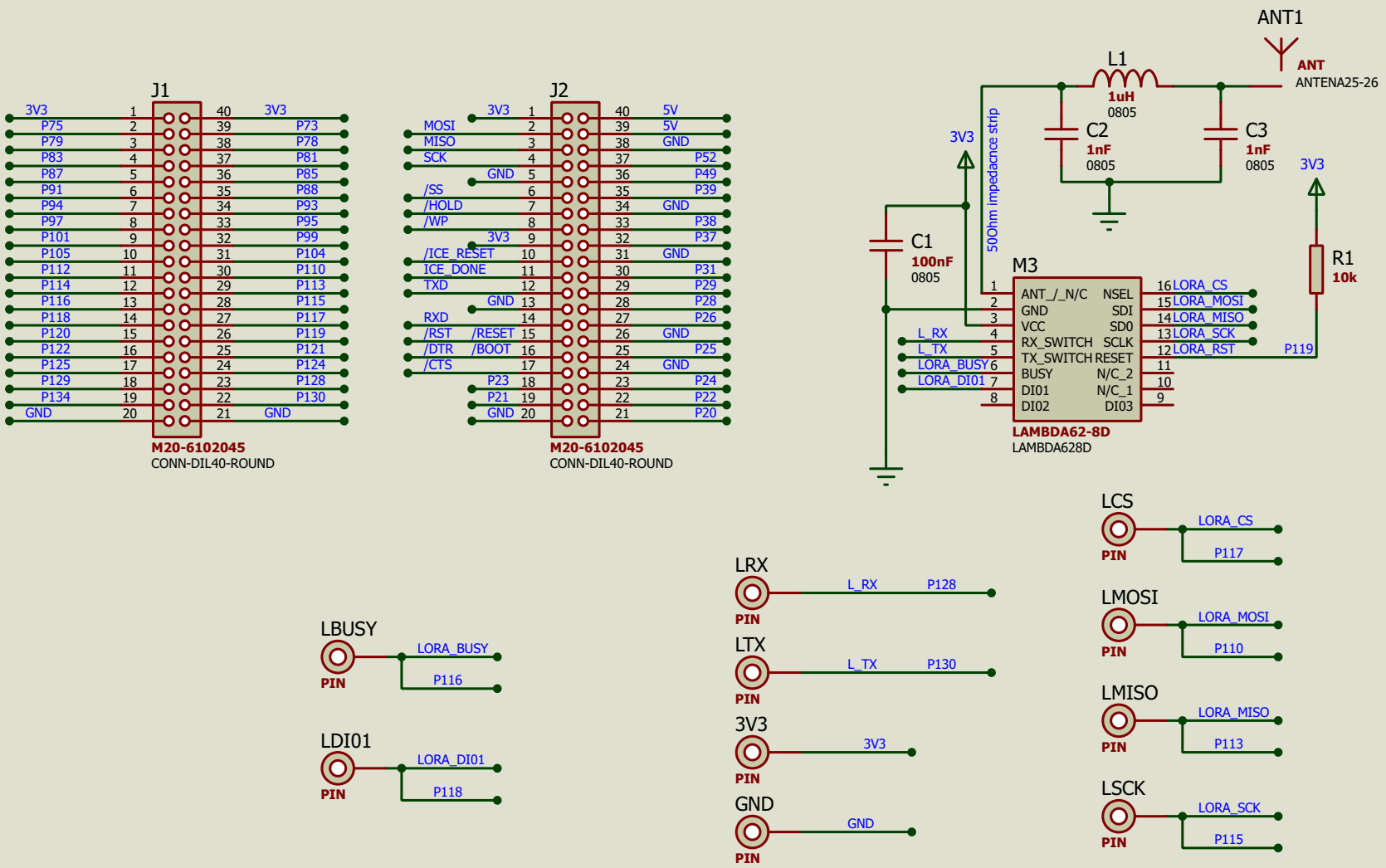
PCB2-Sensors

G4: Andrés, Iván, Lucía, Víctor R, Alonso

REV: 1

UVa

17/10/2025
16:39:36
8/10



Taller Proyectos 1. Datalogger

PCB-LoRa-Antenna-25-26
PCB3-Wireless

G4: Andrés, Iván, Lucía, Víctor R, Alonso | REV: 1

UVa

17/10/2025
16:39:36
9/10

Taller Proyectos 1. Datalogger

PCB1-FPGA

G4: Andrés, Iván, Lucía, Víctor R, Alonso

REV: 1

UVa

17/10/2025

16:39:36

1010