

Exercise 1:

- Design and verify the 4 x 4 RAM using Verilog HDL
- ◆ Structural modeling

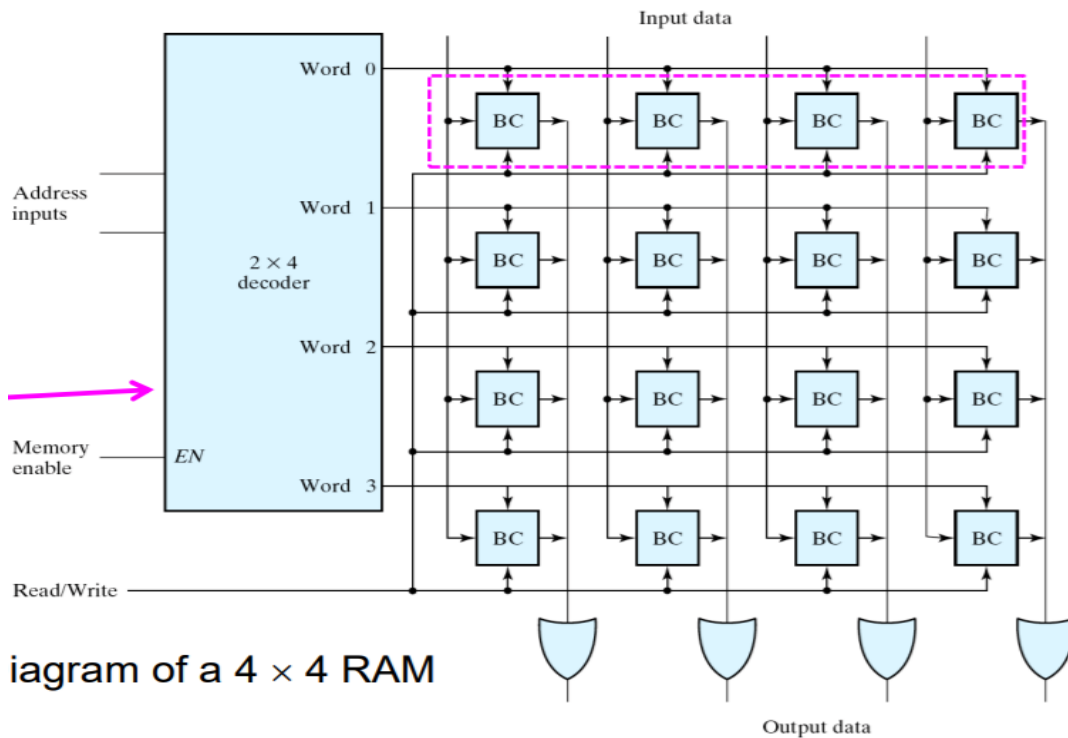
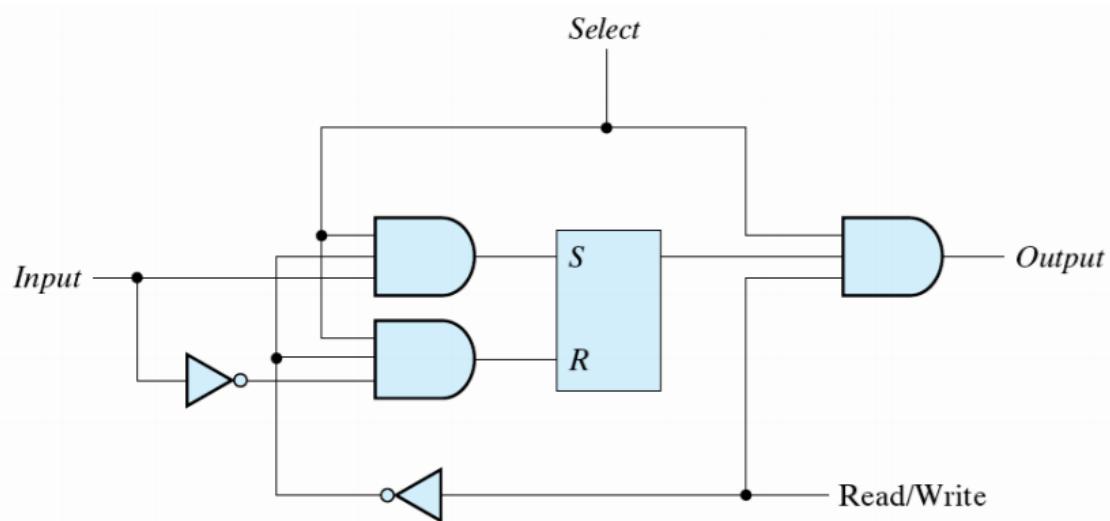


Diagram of a 4×4 RAM



(a) Logic diagram

實驗內容

一、Exercise 1:

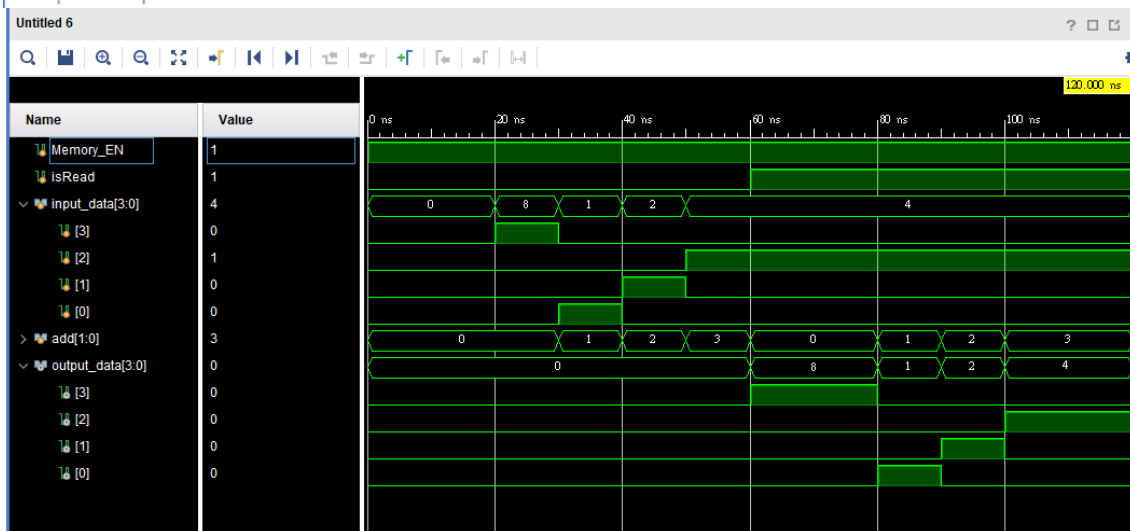
按照 pdf 的 block 寫就 OK 了

```
1  module SR_latch (Q, S, R);
2      output Q;
3      input S, R;
4
5      wire n1, n2, Q, _Q;
6      nor(Q, R, _Q);
7      nor(_Q, S, Q);
8
9  endmodule
10
11 module Unit_BC(output y,input i,select,rw);
12     wire s,r,q,qb,ni,nrw;
13     not(ni,i);
14     not(nrw,rw);
15     and(s,select,nrw,i);
16     and(r,select,nrw,ni);
17     SR_latch sr(q,s,r);
18     and(y,select,q,rw);
19 endmodule
20 module decoder_2x4_gates (D,A, B, enable );
21     output [0: 3] D;
22     input A, B;
23     input enable;
24
25     assign D[0] = (~A) && (~B) && enable,
26            D[1] = (~A) && B & enable,
27            D[2] = A & (~B) && enable,
28            D[3] = A & B && ~enable;
29 endmodule
30
```

```

31 module RAM_4x4 (output_data, input_data, add, Memory_EN, isRead);
32     output [3: 0]output_data;
33     input [3: 0]input_data;
34     input [1: 0]add;
35     input Memory_EN, isRead;
36     wire [3: 0]Word;
37     wire [15:0]BC_output;
38
39     decoder_2x4_gates DE1( Word[3: 0], add[0], add[1], Memory_EN);
40     Unit_BC BC00(BC_output[0], input_data[0], Word[0], isRead);
41     Unit_BC BC01(BC_output[1], input_data[1], Word[0], isRead);
42     Unit_BC BC02(BC_output[2], input_data[2], Word[0], isRead);
43     Unit_BC BC03(BC_output[3], input_data[3], Word[0], isRead);
44     Unit_BC BC10(BC_output[4], input_data[0], Word[1], isRead);
45     Unit_BC BC11(BC_output[5], input_data[1], Word[1], isRead);
46     Unit_BC BC12(BC_output[6], input_data[2], Word[1], isRead);
47     Unit_BC BC13(BC_output[7], input_data[3], Word[1], isRead);
48     Unit_BC BC20(BC_output[8], input_data[0], Word[2], isRead);
49     Unit_BC BC21(BC_output[9], input_data[1], Word[2], isRead);
50     Unit_BC BC22(BC_output[10], input_data[2], Word[2], isRead);
51     Unit_BC BC23(BC_output[11], input_data[3], Word[2], isRead);
52     Unit_BC BC30(BC_output[12], input_data[0], Word[3], isRead);
53     Unit_BC BC31(BC_output[13], input_data[1], Word[3], isRead);
54     Unit_BC BC32(BC_output[14], input_data[2], Word[3], isRead);
55     Unit_BC BC33(BC_output[15], input_data[3], Word[3], isRead);
56     or (output_data[0], BC_output[0], BC_output[4], BC_output[8], BC_output[12]);
57     or (output_data[1], BC_output[1], BC_output[5], BC_output[9], BC_output[13]);
58     or (output_data[2], BC_output[2], BC_output[6], BC_output[10], BC_output[14]);
59     or (output_data[3], BC_output[3], BC_output[7], BC_output[11], BC_output[15]);
60 endmodule

```



實驗心得

1. Structural level modeling 中邏輯閘使用函數表示
2. Structural level modeling 可以很直觀的轉換成 Schematic
3. Structural level modeling 需要宣告邏輯閘之間的線路
4. 所有的 modeling 都需要注意該邏輯閘是否有交換律或結合律