

Mạch điều khiển thăm nhập trực tiếp - DMA

Truy nhập bộ nhớ trực tiếp (DMA)

Khái niệm về DMA

Khi máy tính cần phải chuyển một số lượng lớn số liệu giữa thiết bị ngoại vi và bộ nhớ. Nếu dùng CPU để thực hiện thì đầu tiên CPU nhận thông tin rồi sau đó mới chuyển đến nơi nhận. Quá trình nhận và giải mã lệnh còn cần thêm các thông tin bổ xung do đó công việc này sẽ rất chậm. Vì vậy Intel thiết kế bộ điều khiển và truy cập trực tiếp 8237 với chức năng bỏ qua CPU và truyền số liệu trực tiếp giữa bộ nhớ và ngoại vi, nhờ vậy mà làm cho quá trình sẽ nhanh lên nhiều.

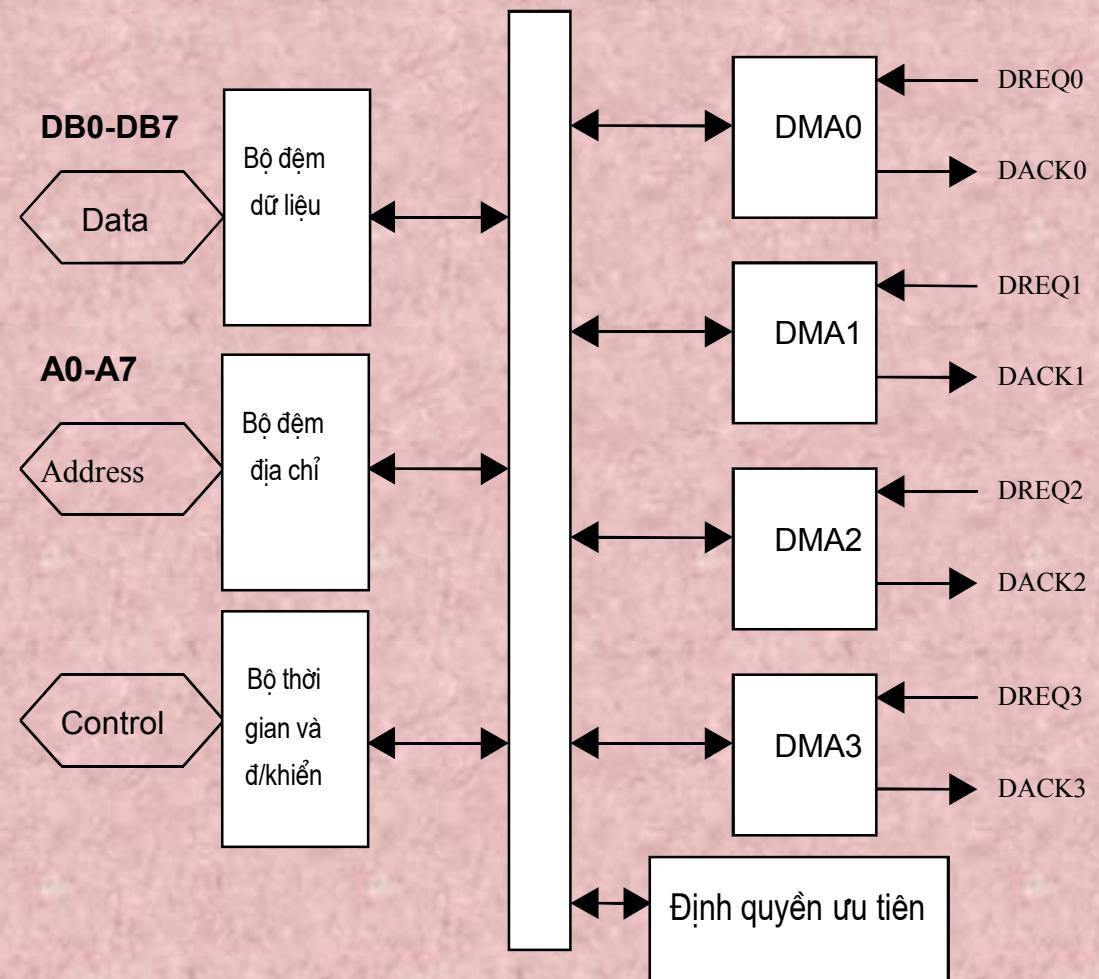
DMA (Direct Memory Access – Truy cập bộ nhớ trực tiếp). Là một dạng của phương pháp vào ra, trong đó dữ liệu được di chuyển trực tiếp giữa bộ nhớ máy tính và mạch ngoài mà không dùng bộ vi xử lý.

Ta có thể so sánh: nếu 8237 có thể truyền byte dữ liệu giữa thiết bị ngoại vi I/O và bộ nhớ trong 4 chu kỳ đồng hồ thì 8088 phải thực hiện trong 39 chu kỳ đồng hồ.

Số chu kỳ đồng hồ		
BACK: MOV	AL,[SI]	10
OUT	PORT,AL	10
INC	SI	2
LOOP	BACK	<u>17</u>
		Tổng 39

BỐ TRÍ CHÂN CỦA VI MẠCH DMA 8237A

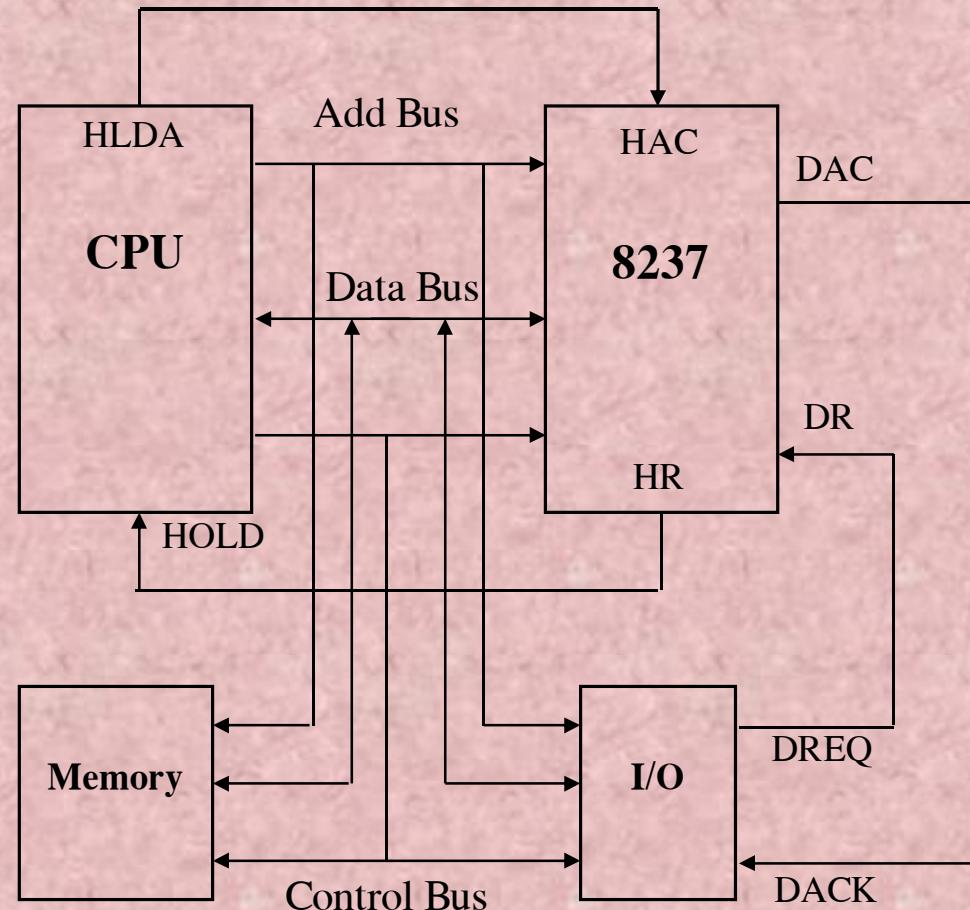
IOR	1	40	A7
IOW	2	39	A6
MEMR	3	38	A5
MEMW	4	37	A4
+5v	5	36	EOP
READY	6	35	A3
HLDA	7	34	A2
ADSTB	8	33	A1
AEN	9	32	A0
HRQ	10	31	VCC
CS	11	30	DB0
CLK	12	29	DB1
RESET	13	28	DB2
DACK2	14	27	DB3
DACK3	15	26	DB4
DREQ3	16	25	DACK0
DREQ2	17	24	DACK1
DREQ1	18	23	DB5
DREQ0	19	22	DB6
GND	20	21	DB7



BỐ TRÍ CHÂN CỦA VI MẠCH
DMA 8237A

SƠ ĐỒ KHỐI ĐƠN GIẢN CỦA 8237

Khác với quá trình truyền số liệu qua CPU, DMA chỉ truyền số liệu mà không có quá trình giải mã và thực hiện lệnh và khi CPU nhận tín hiệu HOLD nó sẽ kết thúc chu kỳ BUS hiện hành để trao quyền điều hành BUS cho 8237 khác với ngắt cứng CPU cần kết thúc lệnh hiện hành trước khi phát tín hiệu INTA.



TIẾN TRÌNH DMA

Bốn kênh DMA được định các mức ưu tiên khác nhau bằng lập trình. Mỗi kênh DMA trước khi sử dụng phải được khởi tạo để xác định địa chỉ và kích thước của khối số liệu. Quá trình khởi tạo là ghi vào từng kênh các nội dung:

Địa chỉ đầu của khối số liệu cần truyền đi (Địa chỉ cơ sở)

Số lượng byte cần truyền (Số từ)

Để đặt chế độ làm việc cho các kênh của 8237 cần phải lập trình bằng cách ghi giá trị vào các thanh ghi của 8237 qua bốn chân địa chỉ A0 - A3. Mỗi kênh DMA có địa chỉ cơ sở riêng và có số từ riêng nên 8237 cần 8 cổng.

Địa chỉ của tám cổng vào/ra đó như sau:

CH		\overline{CS}	\overline{IOR}	\overline{IOW}	A3	A2	A1	A0
0	Địa chỉ hiện hành và cơ sở	0	1	0	0	0	0	0
	Địa chỉ hiện hành	0	0	1	0	0	0	0
	Đếm từ hiện hành và cơ sở	0	1	0	0	0	0	1
	Đếm từ hiện hành	0	0	1	0	0	0	1
1	Địa chỉ hiện hành và cơ sở	0	1	0	0	0	1	0
	Địa chỉ hiện hành	0	0	1	0	0	1	0
	Đếm từ hiện hành và cơ sở	0	1	0	0	0	1	1
	Đếm từ hiện hành	0	0	1	0	0	1	1
2	Địa chỉ hiện hành và cơ sở	0	1	0	0	1	0	0
	Địa chỉ hiện hành	0	0	1	0	1	0	0
	Đếm từ hiện hành và cơ sở	0	1	0	0	1	0	1
	Đếm từ hiện hành	0	0	1	0	1	0	1
3	Địa chỉ hiện hành và cơ sở	0	1	0	0	1	1	0
	Địa chỉ hiện hành	0	0	1	0	1	1	0
	Đếm từ hiện hành và cơ sở	0	1	0	0	1	1	1
	Đếm từ hiện hành	0	0	1	0	1	1	1

Để lập trình cho 8237 truyền số liệu cần có:

Địa chỉ byte đầu tiên của khối số liệu cần truyền
Số lượng byte số liệu cần truyền.

Để xác định địa chỉ byte đầu tiên của khối số liệu cần truyền đây là một số 16 bits trong khi bus số liệu là 8 bits cho nên cần phải gửi 2 byte số liệu ở cùng một địa chỉ. Để xác định số lượng thông tin cần truyền, cần phải ghi thông tin vào thanh ghi đếm. Số đếm cực đại của thanh ghi đếm là FFFF h do đó cũng cần phải 2 lần ghi liên tiếp ra cùng một địa chỉ.

Ví dụ: Mạch điều khiển DMA cần truyền 2048 byte số liệu bộ nhớ từ địa chỉ 3400 h. Giả thiết địa chỉ giải mã của 8237 là 90H. Lập trình để kênh 2 thực hiện truyền số liệu.

Địa chỉ thanh ghi địa chỉ bộ nhớ kênh 2 và địa chỉ thanh ghi đếm kênh 2 là 94H và 95H.

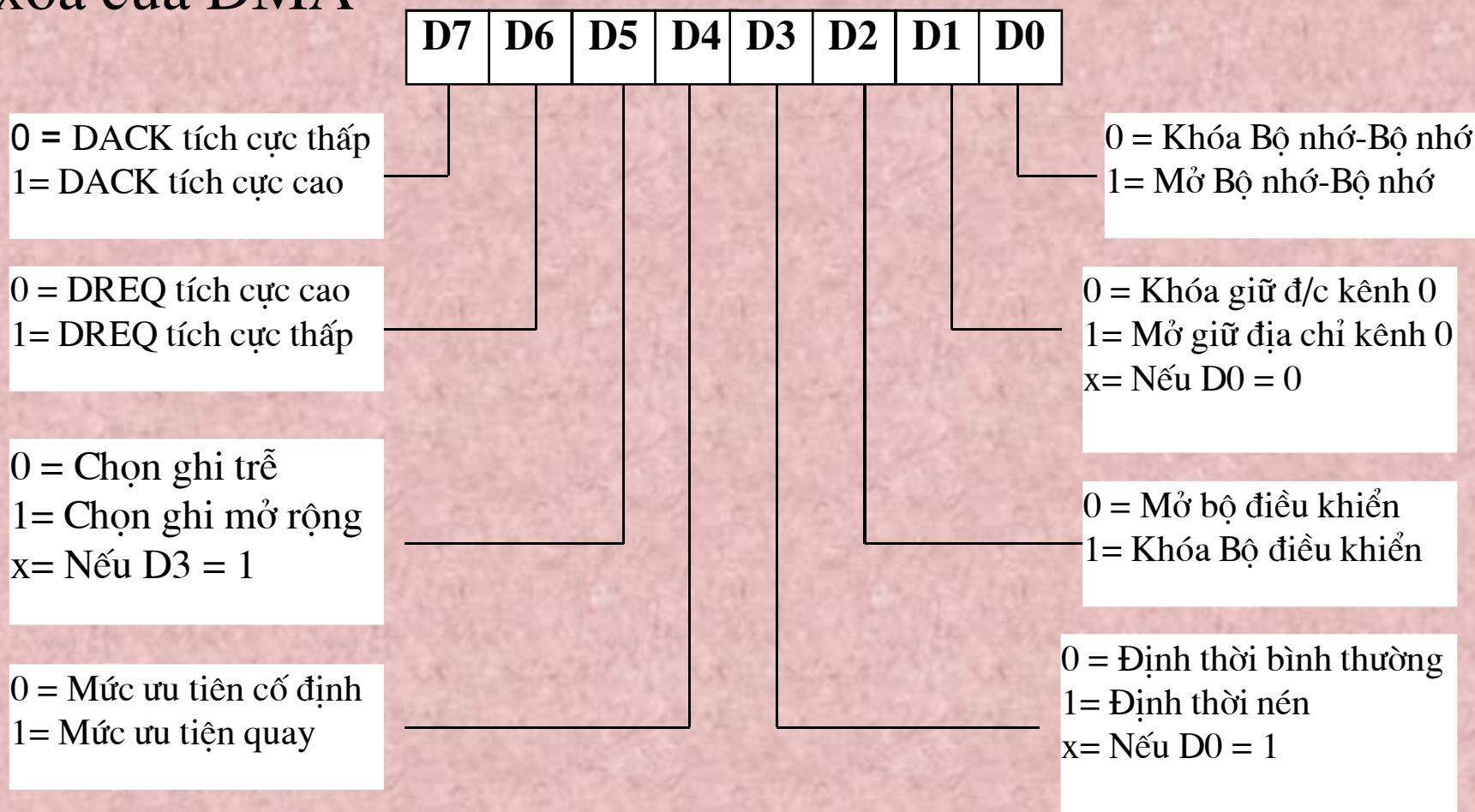
Mov	ax, 3400h	; Nạp địa đầu của vùng nhớ nguồn
out	94h, al	; Nạp byte địa chỉ thấp
mov	al,ah	
out	94h, al	; Nạp byte địa chỉ cao
mov	ax, 2048	; Nạp số đếm
out	95h, al	; Nạp phần thấp của số đếm
mov	al,ah	
out	95h, al	; Nạp phần cao của số đếm

Các thanh ghi điều khiển của 8237.

8237 có 4 kênh DMA được lập trình riêng biệt nhưng nó chỉ có một hệ thanh ghi điều khiển dùng chung cho tất cả các kênh. 8237 có tất cả 8 thanh ghi được mô tả như sau: (*x là tổ hợp địa chỉ giải mã để chọn*).

A3	A2	A1	A0	Thao tác	$\overline{\text{IOR}}$	$\overline{\text{IOW}}$	Địa chỉ
1	0	0	0	Đọc thanh ghi trạng thái	0	1	x8 H
1	0	0	0	Ghi vào thanh ghi lệnh	1	0	x8 H
1	0	0	1	Ghi vào thanh yêu cầu	1	0	x9 H
1	0	1	0	Ghi bit thanh ghi mặt nạ đơn	1	0	xA H
1	0	1	1	Ghi vào thanh ghi chế độ	1	0	xB H
1	1	0	0	Xoá con trỏ byte	1	0	xC H
1	1	0	1	Đọc thanh ghi tạm	0	1	xD H
1	1	0	1	Xoá thiết bị chủ	1	0	xD H
1	1	1	0	Xoá thanh ghi mặt nạ	1	0	xE H
1	1	1	1	Ghi tất cả các bit của thanh ghi mặt nạ	1	0	xF H

1. Thanh ghi lệnh X8h - ghi: Là thanh ghi 8 bits điều khiển hoạt động của 8237 . Thanh ghi này được ghi bằng lệnh Out và được xóa bởi tín hiệu RESET của CPU hay lệnh xóa của DMA



Ví dụ: Lập trình cho 8237 làm việc ở chế độ: Không truyền bộ nhớ sang bộ nhớ, định thời bình thường, mức ưu tiên định trước, ghi chậm, DREQ và DACK có mức tích cực cao. Ta có byte lệnh là 1000 0000 = 80H

Mov al, 80h

Out x8h,al

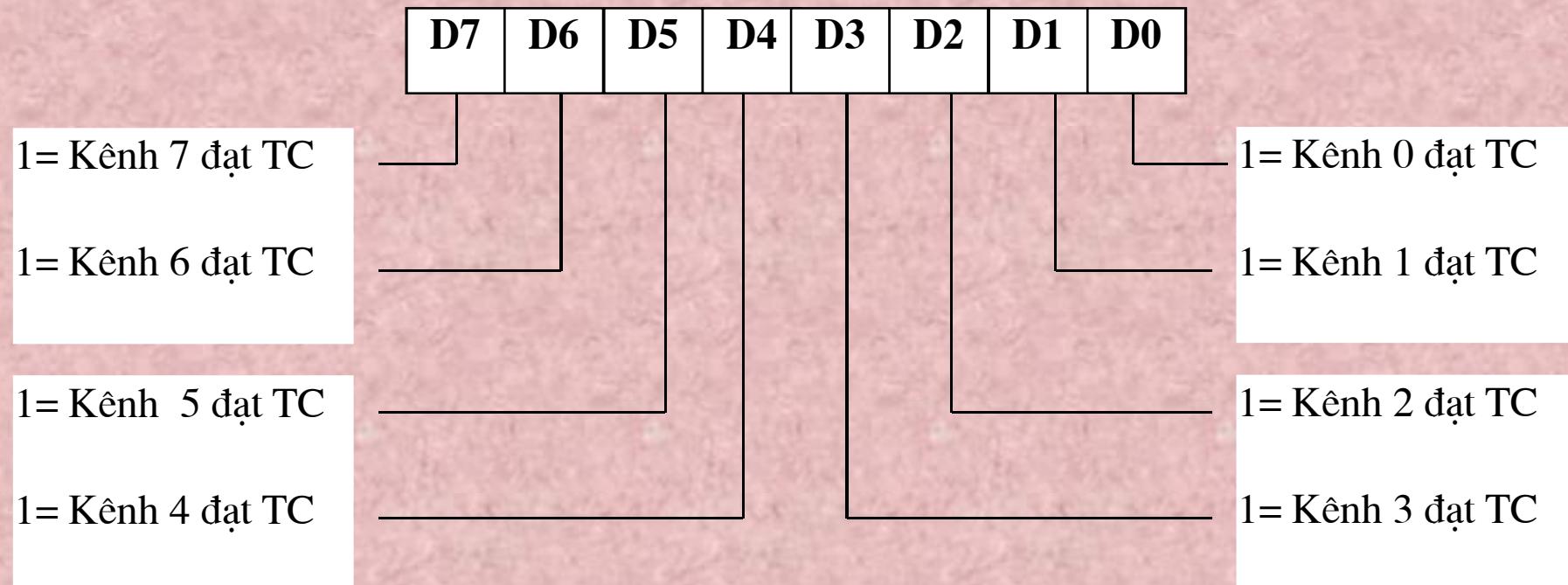
Hay khi CPU đang thực hiện một quá trình cần phải cấm DMA. Khi đó D2 = 1

Mov al, 04h

out x8h, al

Thanh ghi trạng thái x8h - đọc:

Là thanh ghi 8 bits được CPU đọc tại cùng địa chỉ với thanh ghi lệnh (x8). Thanh ghi này chứa các thông tin về trạng thái làm việc của 4 kênh DMA. Bốn bits thấp D0 – D3 được dùng để xác định các kênh từ 0 đến 3 đạt được số đếm cuối (TC). TC có mức cao khi thanh ghi đếm bằng 0. Bốn bits cao từ D4 – D7 dùng để dự trữ.



3. Thanh ghi chế độ: Có địa chỉ ghi là xBH

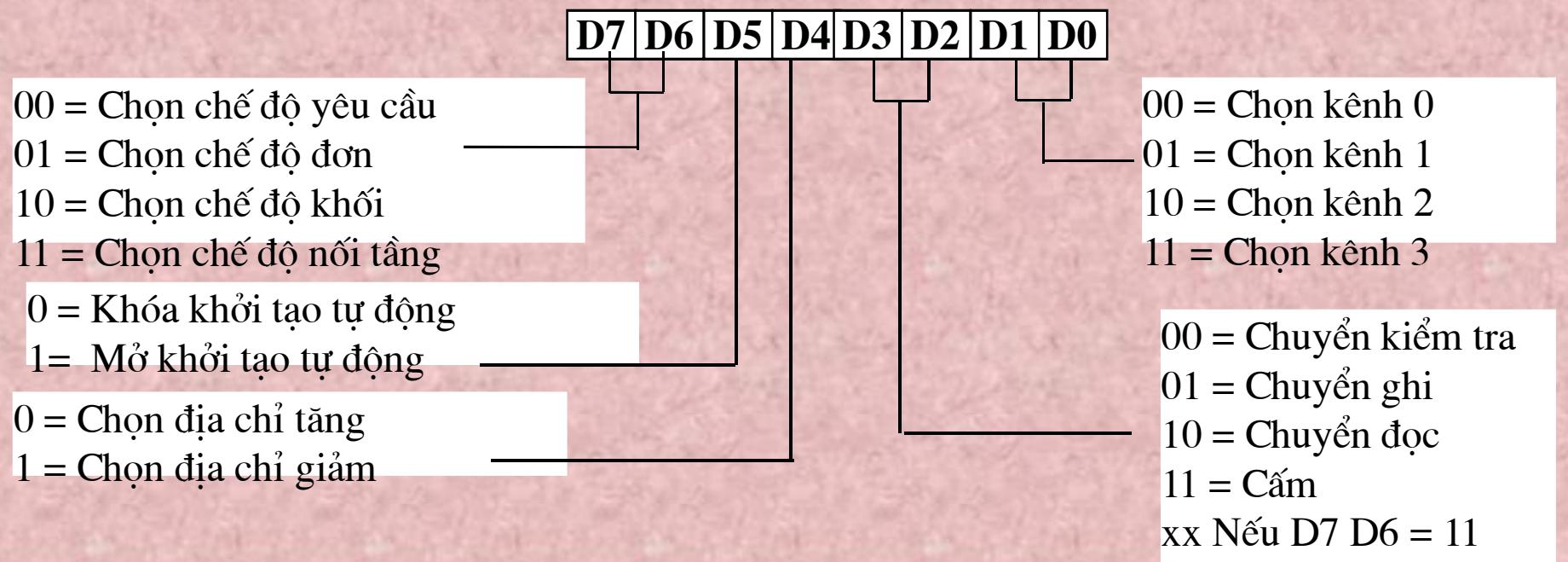
Hai bit D7 D6 xác định chế độ làm việc của 8237 là:

D7 D6 = 00: Chế độ yêu cầu: Truyền số liệu xảy ra liên tục cho tới khi DREQ không còn được kích hoạt hoặc TC = 0.

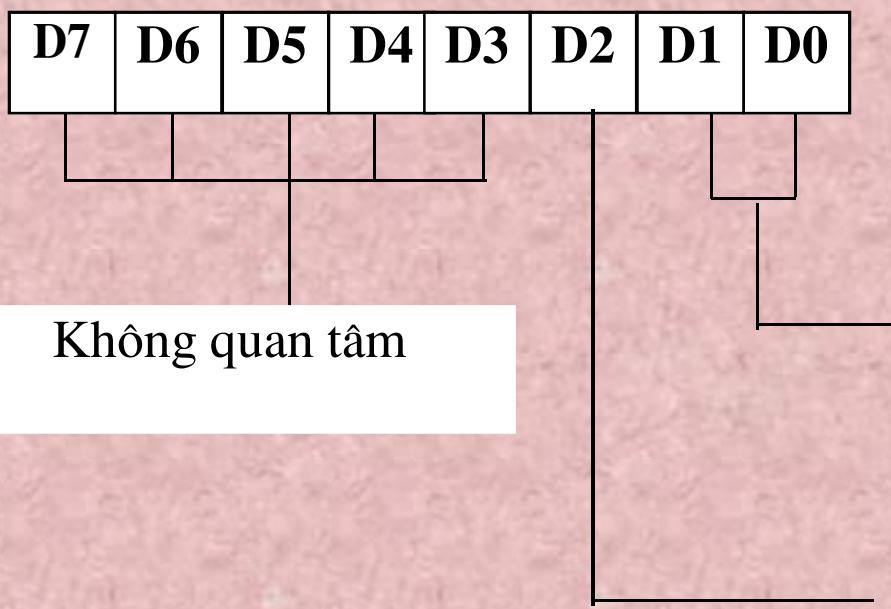
D7 D6 = 10: Chế độ khối: Giống như chế độ theo yêu cầu chỉ khác là DREQ không cần giữ ở mức cao trong quá trình truyền dữ liệu.

D7 D6 = 01: Chế độ đơn: Nếu DREQ tích cực thì DMA thực hiện truyền 1 byte sau đó CPU chiếm lại quyền điều khiển Bus. Quá trình này xảy ra xen kẽ cho đến khi TC = 0.

D7 D6 = 11: Chế độ nối tầng: Các bộ điều khiển 8237 có thể nối tầng với nhau để tăng kênh DMA nhiều hơn 4. Chế độ này dùng trong các máy AT.



4. Thanh ghi mặt nạ đơn: Có địa chỉ ghi là xAH
Chỉ dùng 3 bit là D2 D1 D0.

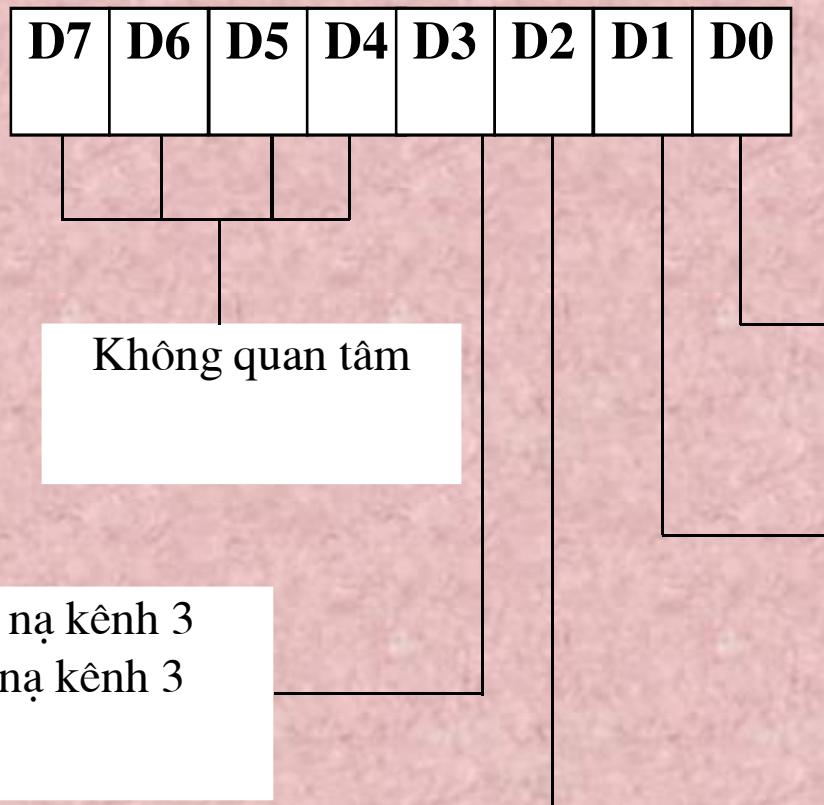


00 = Chọn bit mặt nạ kênh 0
01 = Chọn bit mặt nạ kênh 1
10 = Chọn bit mặt nạ kênh 2
11 = Chọn bit mặt nạ kênh 3

0 = Bit xóa mặt nạ
1 = Bit đặt mặt nạ

5. Thanh ghi mặt nạ đầy đủ: Có địa chỉ ghi là xFH

Thanh ghi này tương tự như thanh ghi mặt nạ đơn chỉ khác là tất cả 4 kênh có thể che được hoặc không che được:



0 = Xóa bit mặt nạ kênh 0
1 = Đặt bit mặt nạ kênh 0

0 = Xóa bit mặt nạ kênh 1
1 = Đặt bit mặt nạ kênh 1

0 = Xóa bit mặt nạ kênh 3
1 = Đặt bit mặt nạ kênh 3

0 = Xóa bit mặt nạ kênh 2
1 = Đặt bit mặt nạ kênh 2

- 6. Thanh ghi đệm/Xóa chủ:** Có địa chỉ ghi là xDH
- Thanh ghi này xóa thanh ghi trạng thái, thanh ghi lệnh, thanh ghi yêu cầu, thanh ghi mặt nạ và buộc DMA chuyển sang chu kỳ nghỉ. Thanh ghi này có chức năng giống như chân RESET của 8237.
- 7. Thanh ghi mặt nạ xóa:** Có địa chỉ ghi là xEH
- Thanh ghi này có chức năng xóa các bit mặt nạ cho cả 4 kênh DMA để cho phép chúng nhận yêu cầu DMA qua các chân DREQ.

Ví dụ: Lập trình để kênh 2 của 8237 truyền số liệu từ bộ nhớ sang I/O ở chế độ tự động khởi tạo, địa chỉ tăng và truyền từng byte.

Thanh ghi mặt nạ đơn cho phép kênh 2 thực hiện DMA là 0000 0010 = 02 và thanh ghi chế độ có giá trị 01011010 = 5AH. Địa chỉ thanh ghi lệnh là xBH.

mov	al, 02h
out	xA h,al
mov	al, 5A h
out	xB h, al

Ghép nối vi mạch 8237 trên máy tính IBM PC/XT

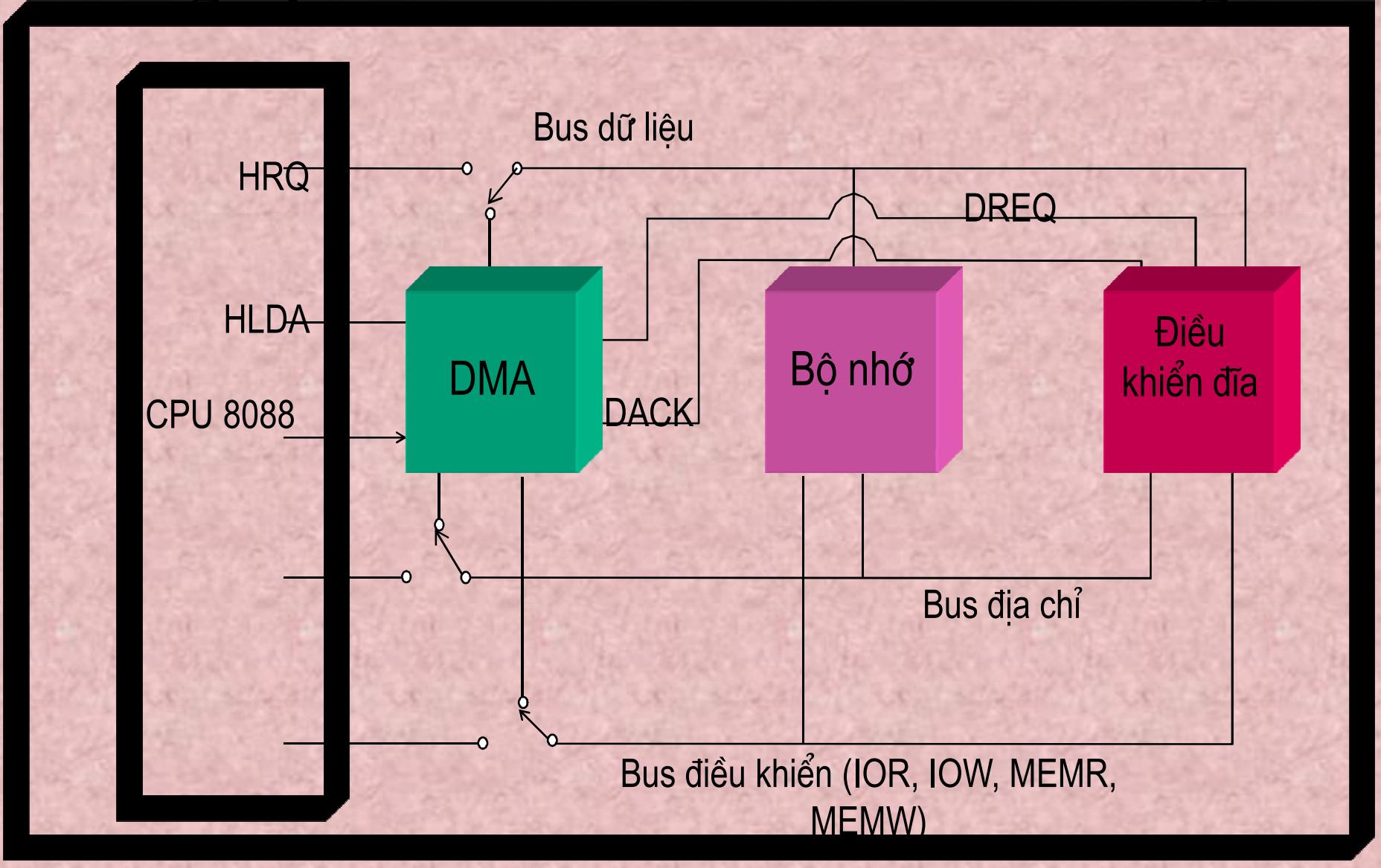
Các chân địa chỉ của 8237 từ A0 – A7, bốn đường từ A0 – A3 là các đường hai chiều cùng với cho phép 8237 chọn một trong số 16 thanh ghi. Trong đó các địa chỉ cổng từ x0H – x7H được gán cho 4 kênh DMA và các địa chỉ từ x8H – xFH được gán cho các thanh ghi điều khiển được tất cả các kênh sử dụng.

8237 có Bus số liệu hai chiều 8 bits từ D0 – D7 được nối vào Bus hệ thống.

8237 cũng cung cấp đủ 4 đường điều khiển $\overline{\text{IOR}}$, $\overline{\text{IOW}}$ và $\overline{\text{MEMR}}$

Với Bus địa chỉ chỉ có 8 bits từ A0 – A7 nên khi cần truyền khối số liệu có kích thước lớn phải cần thêm các đường địa chỉ từ A8 – A15, 8237 sẽ dùng 8 bits số liệu D0 – D7 để tạo phần cao của địa chỉ và dùng một mạch chốt 74LS373. Khi đó tín hiệu ADSTB (Address strobe) có vai trò như tín hiệu ALE ở mạch chốt địa chỉ khi nối ghép CPU với Bus địa chỉ..

Nối ghép DMA controller với bus hệ thống



CPU chỉ sử dụng BUS khi 8237 không hoạt động. Tín hiệu AEN đảm bảo điều kiện này:

- AEN = 0: CPU 80x86 điều khiển bus hệ thống.
- AEN = 1: Vi mạch 8237 điều khiển bus hệ thống.

Các chân còn lại của 8237:

- ^{A0}RESET: Là đầu vào được nối tới tín hiệu RESET của 8284.
- READY là chân vào từ RDYDMA của mạch phát trạng thái đợi với mục đích kéo dài chu kỳ bộ nhớ của DMA
- CLK được nối đến chân CLK của 8284 và có tần số làm việc 4,7 Mhz.
- HOLD và HLDA được nối với các chân HOLD và HLDA của 80x86.
- EOP được đảo pha thành TC. Tín hiệu này được kích hoạt mỗi khi thanh ghi đếm của một trong 4 kênh DMA bằng 0.
- DREQ0 và DACK0 là các tín hiệu của kênh 0 được dùng để làm tươi DRAM.
- DREQ1 – DREQ3 và DACK0 – DACK3 là các tín hiệu của kênh 1 đến 3 được bố trí trên rãnh ISA



Trên máy tính IBM PC – XT các kênh DMA được sử dụng như sau:

Kênh 0 được dùng làm tưới DRAM. Trong các máy PC/AT không còn chức năng này.

Kênh 1 không được sử dụng, người ta dùng kênh này cho mạng.

Kênh 2 dùng cho bộ điều khiển đĩa mềm.

Kênh 3 dùng cho bộ điều khiển đĩa cứng.

Các kênh 1,2 và 3 được khởi tạo nhờ lập trình thanh ghi chế độ (xBH)

D1 D0 = 0 1 : Chọn kênh 1.

D3 D2 = 00 : Kiểm tra truyền.

D4 = 0 : Bỏ chế độ khởi tạo tự động.

D5 = 0 : Tăng địa chỉ.

D7 D6 = 01 : Chế độ từng byte.

Như vậy để lập trình cho kênh, thanh ghi chế độ có giá trị là 41H. Tương tự giá trị đó là 42H, 43H với kênh 2 và 3.

; Nạp địa chỉ thanh ghi chế độ.

Mov dx, 00xBH

; Đặt chế độ cho kênh 1.

mov al, 41H

out dx, al

; Đặt chế độ cho kênh 2.

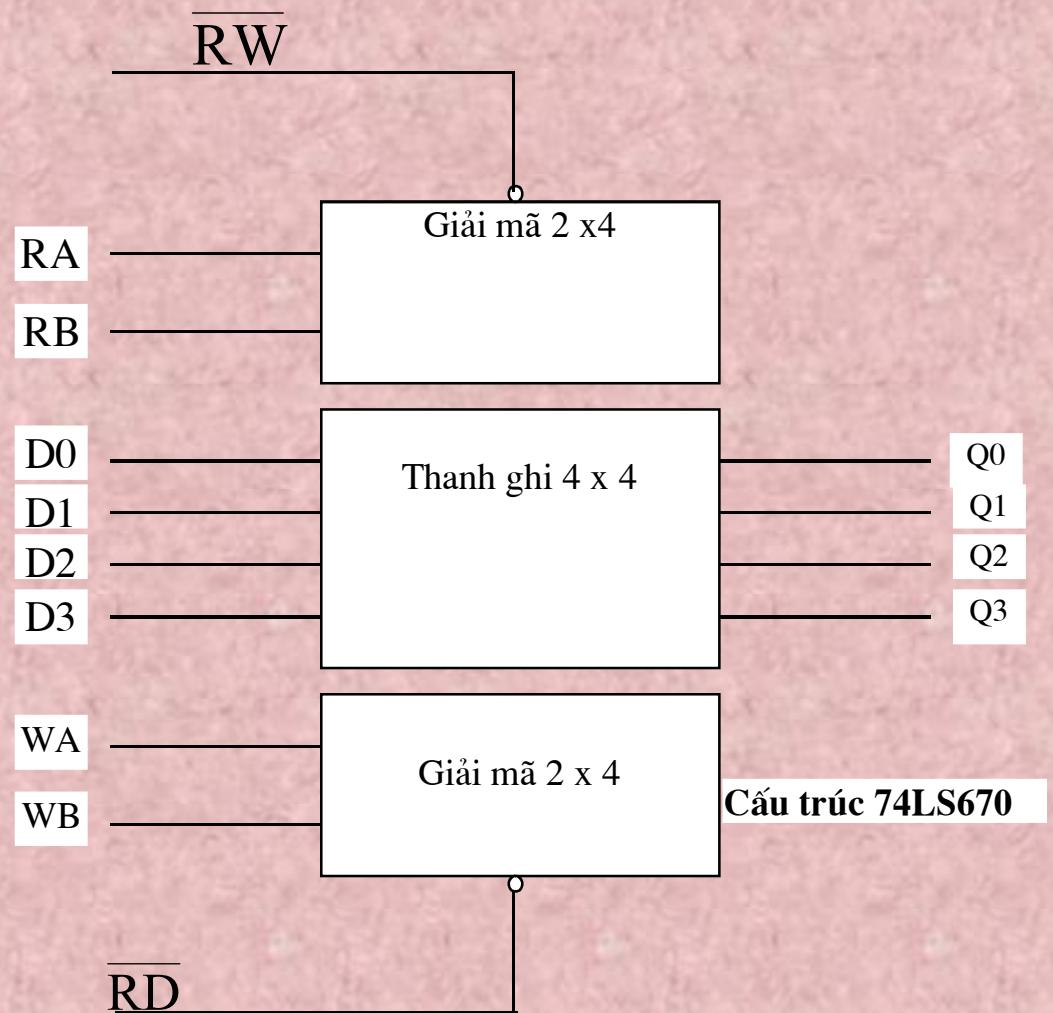
mov al, 42H

out dx, al

; đặt chế độ cho kênh 3.

mov al, 43H

out dx, al



Thanh ghi trang DMA

Vi mạch 8237 cung cấp được 16 đường địa chỉ từ A0 – A15. Để cấp được 20 đường địa chỉ, máy tính IBM PC-XT sử dụng vi mạch 74LS670 có bốn thanh ghi trang (segment) để cung cấp các đường địa chỉ còn lại A16-19 cho 4 kênh DMA. Các thanh ghi này được CPU ghi bằng lệnh OUT qua Bus D0 – D3. Trong sơ đồ hai tín hiệu A0 A1 của bus địa chỉ được nối đến hai chân WA và WB , các tín hiệu $\overline{\text{DACK}2}$ và $\overline{\text{DACK}3}$ trên đầu ra của 8237 cũng được nối đến chân RA và RB của vi mạch 74LS670 để chọn kênh.

$\overline{\text{DACK}2}$	$\overline{\text{DACK}3}$	
RA	RB	
1	1	Kênh 1
1	0	Kênh 3
0	1	Kênh 2
0	0	Cấm

Tốc độ truyền số liệu của 8237.

Khi sử dụng DMA, mạch tạo trạng thái chờ bổ xung thêm một chu kỳ đồng hồ vào chu kỳ bộ nhớ của kênh 1 – 3 bằng tín hiệu . Quá trình DMA cần 5 xung đồng hồ do đó cần phải mất 6 xung đồng hồ cho kênh 1 – 3 của DMA. Mỗi chu kỳ DMA có một chu kỳ bộ nhớ của CPU. Vì vậy một Quá trình DMA sẽ cần 10 chu kỳ đồng hồ. Trên máy IBM PC-XT (4,7 Mhz) có 1 chu kỳ đồng hồ là 210 ns. Do đó tốc độ truyền DMA là 1: $(10 \times 210) = 476190$ byte/s.

Làm tươi DRAM bằng kênh 0 của 8237.

Máy tính IBM PC – Xt sử dụng kênh DREQ0 để làm tươi DRAM. Tại thời điểm bật nguồn, BIOS khởi tạo kênh 0 của 8237:

Thanh ghi địa chỉ bộ nhớ là 0000

Thanh ghi đếm bằng FFFFH cho tất cả 64KB nhớ qua địa chỉ cổng 01

Thanh ghi chế độ được gửi ở địa chỉ 0BH có giá trị là 58H:

D1 D0 = 00: Chọn Kênh 0.

D3 D2 = 01: Cho truyền đọc

D4 = 1: Khởi tạo tự động

D5 = 0: Tăng địa chỉ

D7 D6 = 01: Chế độ từng byte

Thanh ghi lệnh được gửi ở địa chỉ cổng 08H có giá trị 00H:

D0 = 0: Không cho phép bộ nhớ – bộ nhớ

D1 = x:

D2 = 0: Cho phép bộ điều khiển DMA

D3 = 0: Định thời bình thường

D4 = 0: Mức ưu tiên định trước

D5 = 0: Ghi chậm

D6 = 0: Tín hiệu DREQ được kích hoạt ở mức cao

D7 = 0: Tín hiệu DACK được kích hoạt ở mức thấp

Thanh ghi mặt nạ đơn ghi qua cổng 0AH có giá trị 00

D1 D0 = 00: Chọn kênh 0

D2 = 0: Xoá mặt nạ cho phép DREQ có tác dụng

D7 D6 D5 D4 D3 = xxxxx.

Quá trình khởi tạo như sau:

mov	al, Offh	; Giá trị thanh ghi đếm
out	01,al	; Gửi byte thấp tới thanh ghi đếm
out	01, al	; Gửi byte cao tới thanh ghi đếm
mov	al, 58h	; Giá trị thanh ghi chế độ
out	0bh, al	; ghi vào thanh ghi chế độ
mov	al, 00	; Giá trị thanh ghi lệnh
out	08h, al	; Ghi vào thanh ghi lệnh
mov	al, 00	; Giá trị thanh ghi mặt nạ đơn
out	0ah,al	; ghi vào thanh ghi mặt nạ đơn

Sử dụng 8237 làm tươi DRAM

Bộ nhớ DRAM cần được làm tươi với chu kỳ 15,6 μ s. Nguyên tắc này được áp dụng cho mọi bộ nhớ DRAM và không lệ thuộc vào dung lượng của máy tính. Bộ nhớ của máy tính được sắp xếp theo các ma trận (n hàng x n cột) và khi làm tươi DRAM người ta chỉ cần làm tươi theo hàng hoặc theo cột. Ma trận DRAM được sắp xếp sao cho trong vòng 2ms có thể làm tươi được 128 hàng (Làm tươi một hàng hết 2ms : $128 = 15,6 \mu$ s. Đây là chuẩn công nghiệp cho tất cả các mạch DRAM. Ví dụ với chip DRAM có dung lượng là 64k-bit thì cần 2ms để làm tươi 128 hàng. Với chip DRAM 256 K-bit có 256 hàng cần 4ms để làm tươi ($4ms : 256 = 15,6 \mu$ s. Với chip DRAM 1 MB bit có 512 hàng được làm tươi trong 8 ms

Dung lượng DRAM	Kích thước ma trận	Số hàng	Thời gian làm tươi các hàng	Thời gian làm tươi một hàng
64 K-bit	4-128 x 128	128	2ms	15,6 µs
256 K-bit	4- 256 x 256	256	4ms	15,6 µs
1 M-bit	4- 512 x 512	512	8ms	15,6 µs
4 M-bit	4 - 1024 x 1024	1024	16ms	15,6 µs

Làm tươi trong máy tính IBM PC – XT

Tín hiệu DREQ0 trên máy tính IBM PC – XT được kích hoạt bằng xung có chu kỳ 15,6 µs. Kênh 0 của DMA được BIOS khởi tạo để đếm 65536 ô nhớ theo cách tăng địa chỉ, bắt đầu từ địa chỉ 00 với lựa chọn: Chế độ từng byte, địa chỉ tăng, khởi tạo tự động và truyền đọc. Bộ điều khiển DMA liên tục thực hiện chu kỳ truyền đọc bằng cách kích hoạt tín hiệu MEMR cung cấp địa chỉ tới các chận của DRAM và kích hoạt RAS, nhờ vậy mà quay vòng tuần tự hết 128 hàng của DRAM. Trong quá trình truyền tín hiệu READ, DMA cung cấp các tín hiệu điều khiển MEMR và IOW nhưng chỉ có tín hiệu MEMR được dùng vào việc làm tươi.

Tín hiệu IOW không được dùng vì không có sẵn số liệu tại chân DOUT của DRAM.

Chu kỳ DMA của kênh 0

Kênh 0 được dùng để làm tươi DRAM và không có trạng thái đợi trong quá trình làm tươi. Do đó chu kỳ của 8237 là 4 chu kỳ và thời gian làm tươi của DRAM là 128 hàng x 4 chu kỳ x 210ns = 0,10752ms chỉ bằng 5% thời gian làm tươi của chu kỳ làm tươi là 2ms.

DMA ở máy tính IBM PC AT 80x86

Trên máy IBM PC XT có 3 kênh DMA được đưa ra trên rãnh ISA. Tất cả các kênh này là DMA 8 bits. Từ máy IBM PC AT dùng BVXL 08286 trở đi có bổ xung thêm vi mạch 8237 thứ hai để thực hiện DMA truyền số liệu 16 bits.

Vịt mạch 8237 #1.

DREQ1, DREQ2, DREQ3 của 8237 thứ nhất thực hiện chức năng như trên máy XT (Thực hiện DMA 8 bits cho mạch vào/ra và với bộ nhớ 16 MB của máy AT). Máy tính AT có mạch làm tươi DRAM riêng mà không sử dụng kênh 0 của 8237#1. và DREQ0 và DACK0 được cung cấp trên phần 36 chân mở rộng của ISA Bus .

Các kênh 0 ,1, 2, 3 được dùng để truyền số liệu 8 bits giữa I/O và bộ nhớ.

Thanh ghi đếm có độ dài 16 bits do đó các kênh 0 ,1, 2, 3 có thể truyền được khối số liệu có độ dài đến 64KB.

Mỗi kênh 0 ,1, 2, 3 có thể truyền số liệu theo khối 64 KB qua không gian địa chỉ bộ nhớ 16 MB của máy AT. Địa chỉ bộ nhớ được bố trí như sau:

A23

A16 A15

A0

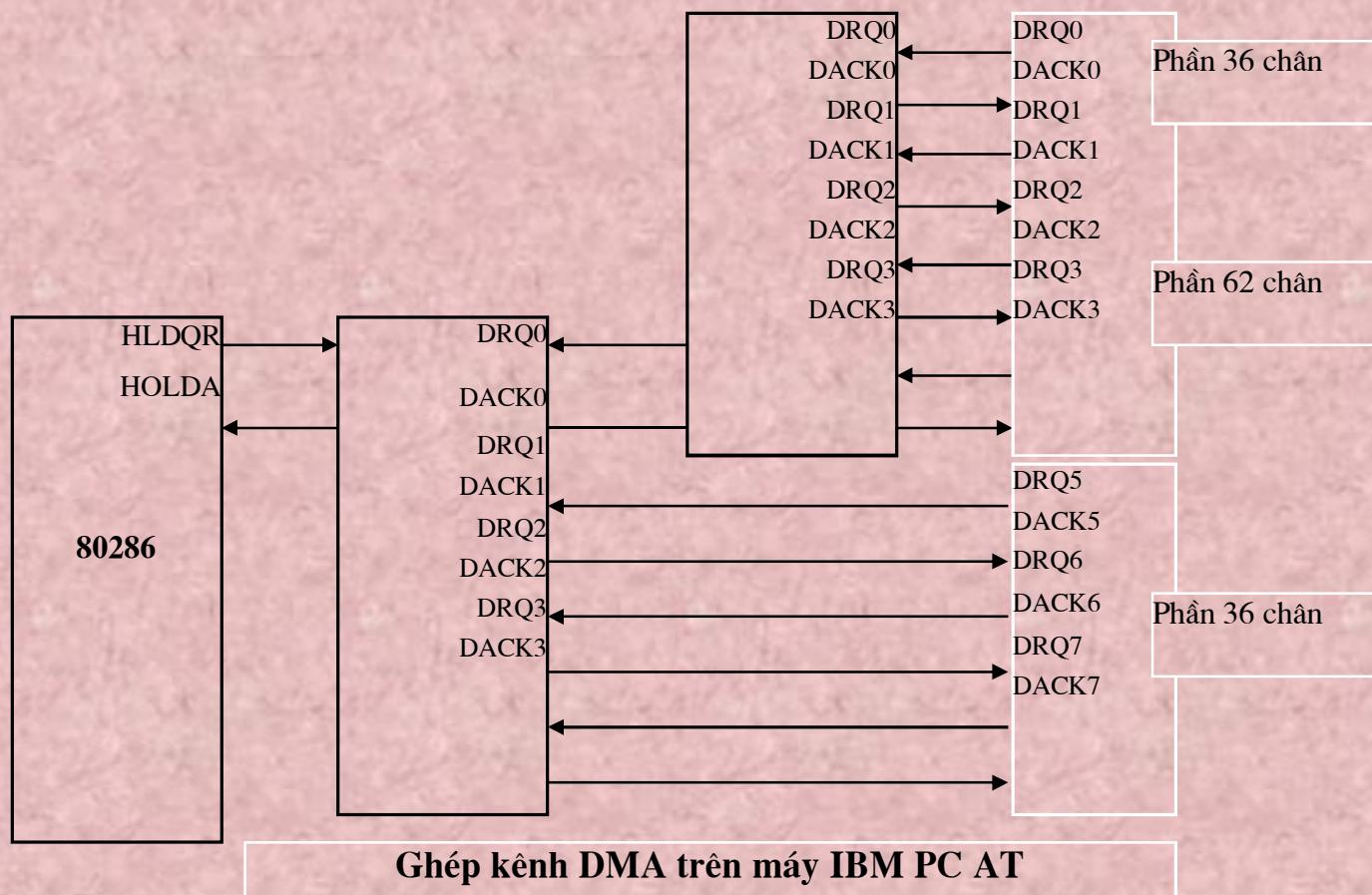
Thanh ghi trang DMA cung cấp

Đo DMA 8237#1 cung cấp

Địa chỉ cổng các kênh DMA 0 ,1, 2, 3 được xác định cụ thể:

Thanh ghi trang	Địa chỉ cổng I/O
Kênh DMA0	0087
Kênh DMA1	0083
Kênh DMA2	0081
Kênh DMA3	0082

Vi mạch 8237#2 được dùng làm mạch chủ và kênh 0 được sử dụng để nối tầng với 8237#1. Ba kênh còn lại DREQ5 - DREQ7 và DACK 5 – DACK7 được bố trí ở phần 36 chân của Bus ISA. Ba kênh này được dùng để truyền số liệu 16 bits.



Địa chỉ cổng của 8237 #2

Địa chỉ	Chức năng	Địa chỉ	Chức năng
0C0H	Thanh ghi địa chỉ bộ nhớ kênh 0	0D0H	Thanh ghi trạng thái/lệnh
0C2H	Thanh ghi đếm từ kênh 0	0D2H	Thanh ghi yêu cầu
0C4H	Thanh ghi địa chỉ bộ nhớ kênh 1	0D4H	Thanh ghi mặt nạ
0C6H	Thanh ghi đếm từ kênh 1	0D6H	Thanh ghi chế độ
0C8H	Thanh ghi địa chỉ bộ nhớ kênh 2	0D8H	Con trỏ byte xóa
0CAH	Thanh ghi đếm từ kênh 2	0DAH	Thanh ghi xóa chủ
0CCH	Thanh ghi địa chỉ bộ nhớ kênh 3	0DCH	Thanh ghi mặt nạ xóa
0CHF	Thanh ghi đếm từ kênh 3	0DHF	Thanh ghi mặt nạ đầy đủ

Các kênh DMA 5, 6, 7 của 8237#2 được dùng để truyền số liệu 16 bits giữa bộ nhớ 16 MB và I/O.

Với thanh ghi đếm là thanh ghi 16 bits nên với số liệu 16 bits mỗi kênh DMA có thể truyền được 65536 từ hay 128 KByte giữa I/O và bộ nhớ.

Địa chỉ bộ nhớ của khối số liệu truyền DMA là địa chỉ chẵn.

Các kênh 5, 6, 7 truyền số liệu sang bộ nhớ hệ thống 16 Mb theo khối, các khối này có kích thước tối đa là 128 KByte

Vì các kênh 5, 6, 7 không thể truyền số liệu ở địa chỉ lẻ nên A0 và BHE có mức 0. Phần còn lại của địa chỉ như sau:

A23

A16 A15

A0

Thanh ghi trang DMA cung cấp

Do DMA 8237#2 cung cấp

Vì mạch 8237 #2 có thể được nhiều thiết bị chủ khác truy cập qua ISA Bus và dùng tín hiệu vào MASTER của Bus ISA phần 36 chân.

Mức ưu tiên các kênh DMA trên máy IBM PC AT được lập trình với kênh 0 có mức ưu tiên cao nhất và giảm dần với kênh 1, 2, 3, 5, 6, 7.

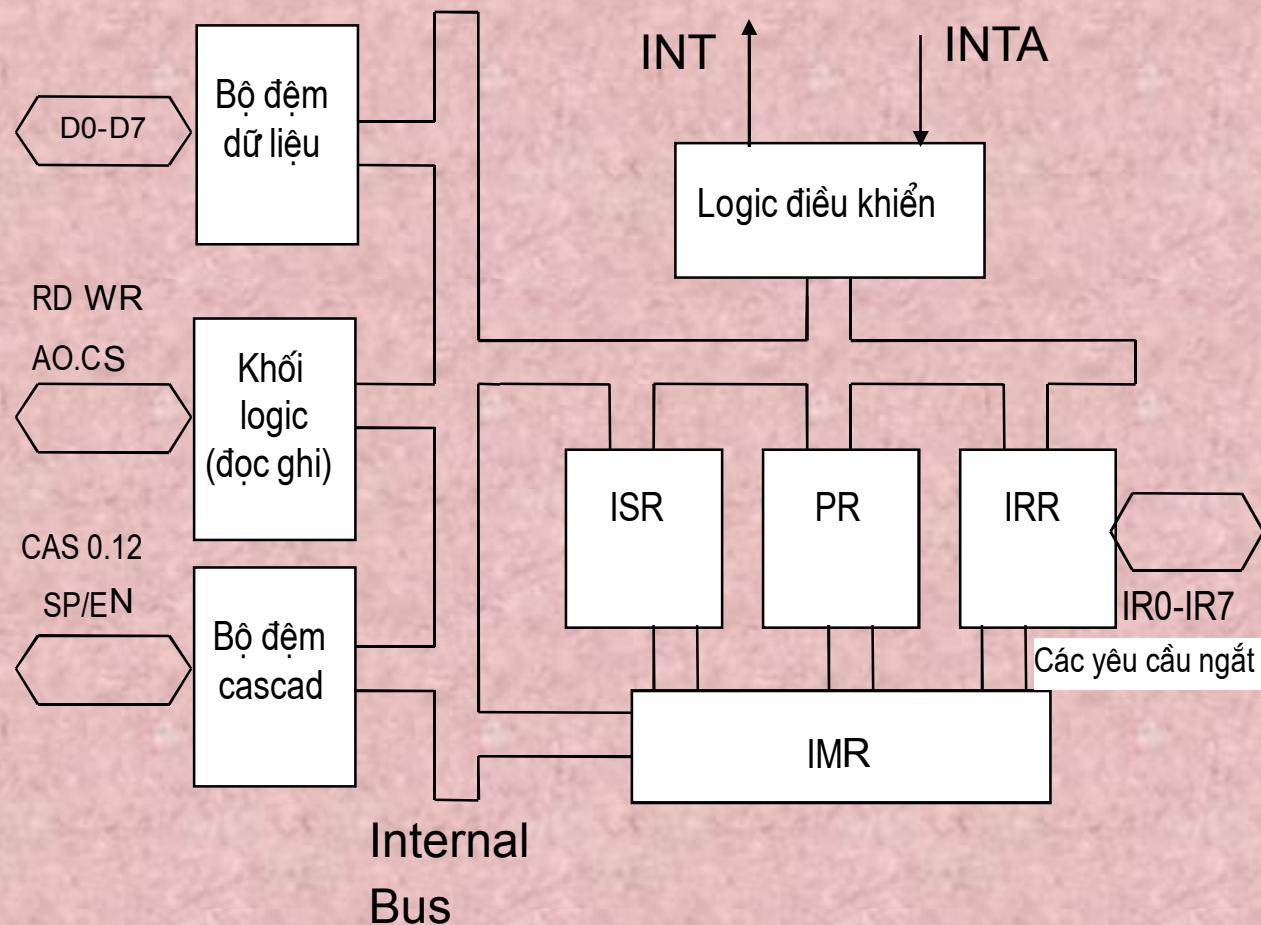
Địa chỉ của DMA trên máy IBM PC AT

Thanh ghi trang	Địa chỉ I/O
Kênh DMA 0	0087 H
Kênh DMA 1	0083 H
Kênh DMA 2	0081 H
Kênh DMA 3	0082 H
Kênh DMA 5	008B H
Kênh DMA 6	0089 H
Kênh DMA 7	008A H
Làm tươi	008F H

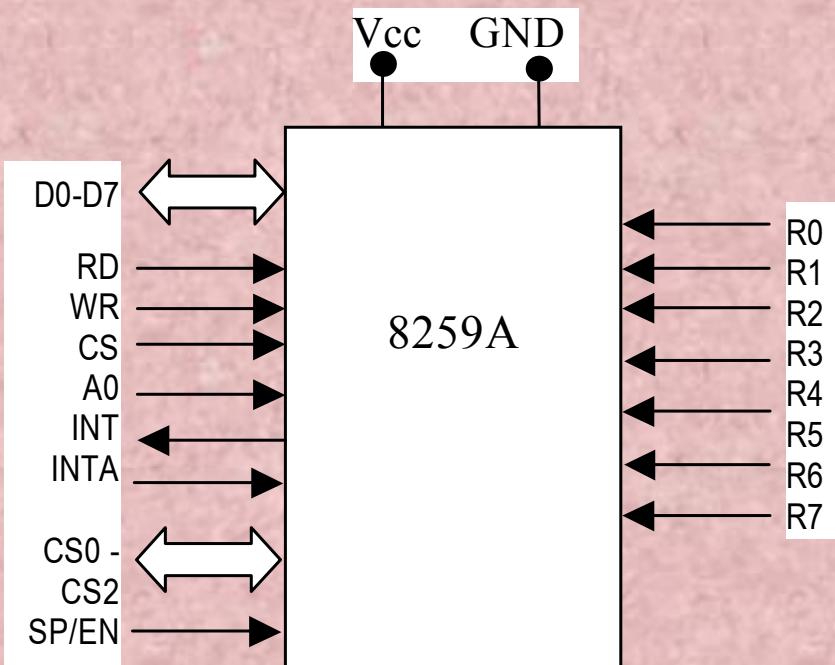
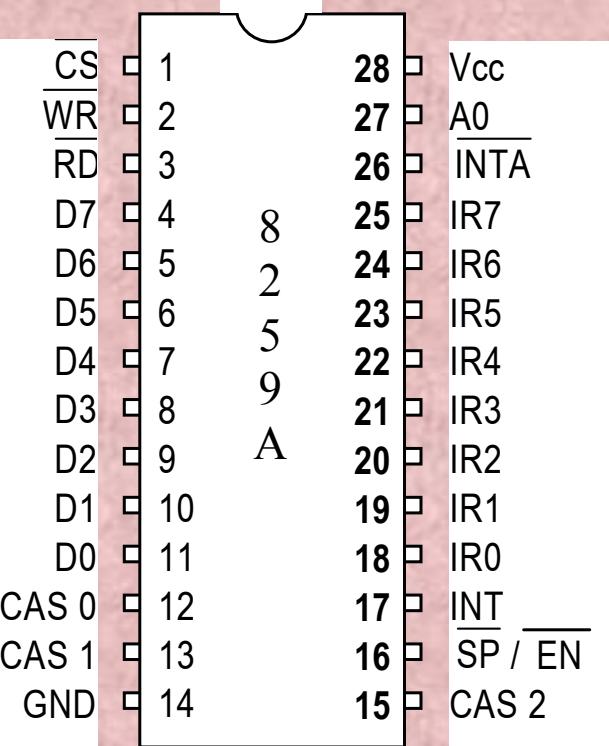
Mạch điều khiển ngắt khả trình 8259

- ✓ **Chức năng:** hỗ trợ ngắt cứng, mở rộng số ngắt cứng cho CPU, sắp xếp thứ tự ưu tiên.
- ✓ **Đáp ứng của CPU:** Khi nhận được tín hiệu ngắt (INTR hoặc NMI) CPU hoàn thành lệnh đang thực hiện rồi quyết định có báo nhận yêu cầu ngắt hay không. Có 2 trường hợp xảy ra:
 1. Nếu yêu cầu ngắt loại không che được (NMI) thì buộc CPU phải báo nhận và phục vụ yêu cầu đó.
 2. Nếu là loại ngắt bình thường (INTR) thì bộ vi xử lý tiến hành kiểm tra thanh ghi cờ để biết ngắt có bị che hay không. Sau đó mới phục vụ ngắt.

Sơ đồ khối 8259



Mạch điều khiển ngắt chương trình hóa 8259



Hình 2.24 Bộ điều khiển ngắt lập trình 8259A

Ghi chú:

CS : Chip select

A0 : đường địa chỉ A0

SP/EN : Slave Program Enable Buffer

D0-D7 : Bus dữ liệu 2 chiều

ISR : In Service

PR : Priority

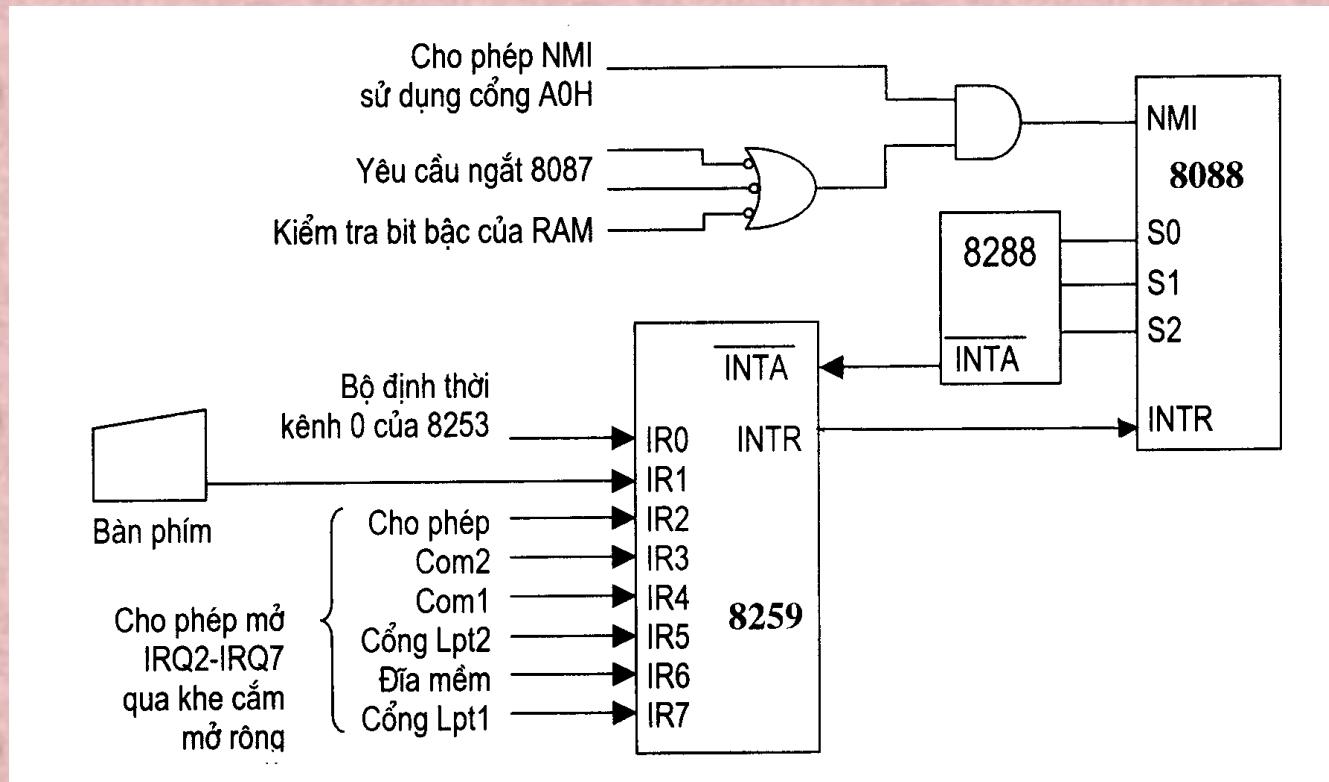
IRR : Interrupt Request

CAS : Cascad

IMR : Thanh ghi mặt nạ để che hay không che ngắt

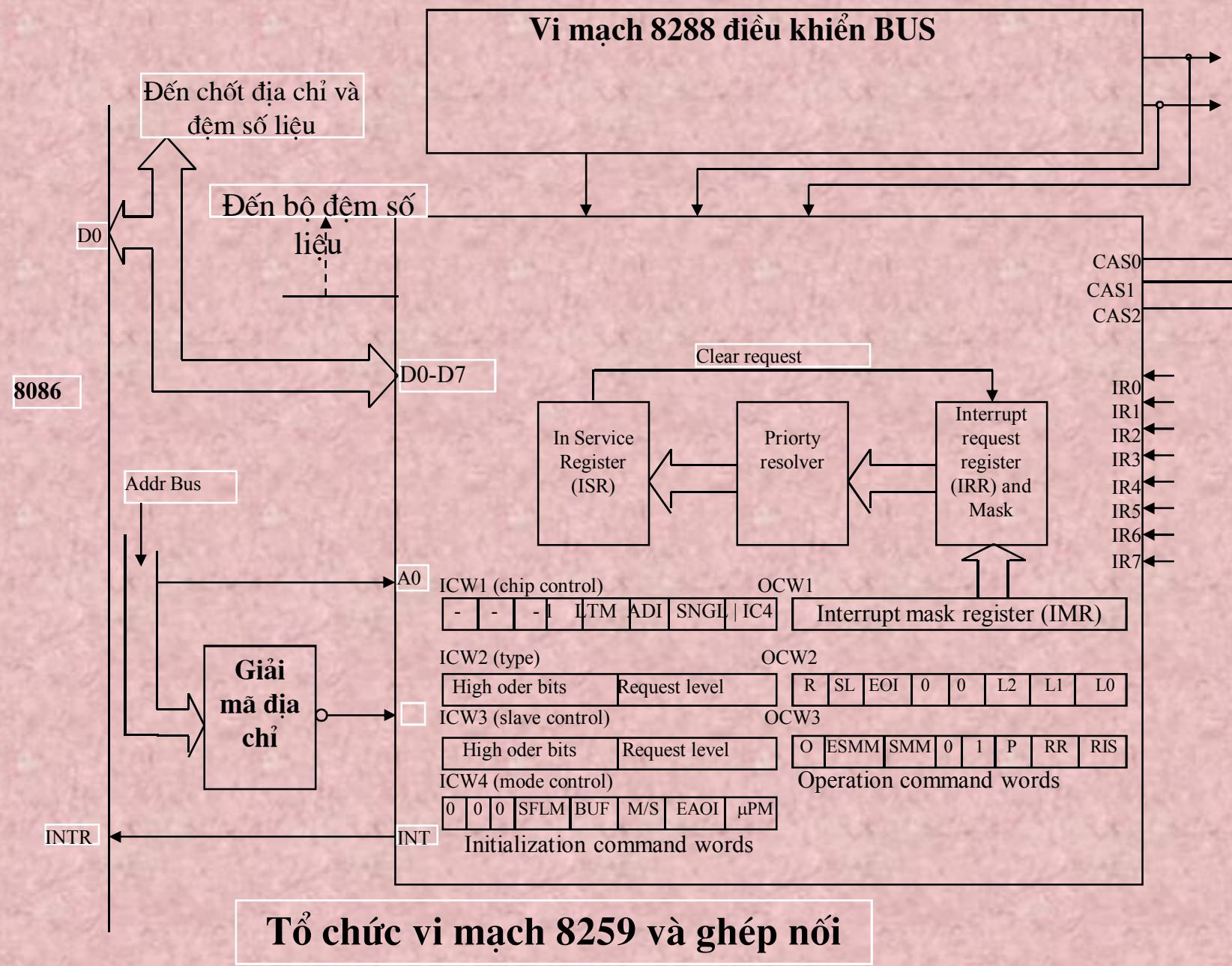
ISR : Lưu ngắt được phục vụ.

Phối ghép 8259 trong máy PC/XT



Trình tự thực hiện ngắt cứng với 8259

1. Sau khi IR được kích hoạt, 8259 sẽ đáp lại bằng cách đặt INTR lên mức cao để thông báo cho CPU yêu cầu ngắt.
2. 8088/86 đặt các tín hiệu tương ứng lên S0, S1, S2 để nhận 8288 rằng ngắt đã được yêu cầu ($S_2S_1S_0=000$).
3. 8288 phát ra INTA đầu tiên cho 8259.
4. 8259 nhận INTA đầu tiên và thực hiện chức năng giám sát kể cả việc xác định mức ưu tiên.
5. Chip 8288 sẽ phát INTA thứ 2 tới 8259.
6. Xung INTA thứ 2 kích 8259 chuyển một byte véc-tơ ngắt lên bus dữ liệu, và byte này sẽ được 8088/86 chốt lại.
7. 8088/86 sử dụng byte này để xác định vị trí của véc-tơ ngắt. Giá trị đó gấp 4 lần của số hiệu ngắt.
8. 8088/86 sẽ PUSH thanh ghi cờ vào ngăn xếp, xoá IF và TF vì vậy sẽ khoá các yêu cầu ngắt bên ngoài và chế độ từng bước, và cuối cùng đẩy thanh ghi CS:IP vào ngăn xếp.
9. 8088/86 đọc CS:IP của chương trình con phục vụ ngắt từ bảng véc tơ ngắt và bắt đầu chương trình con phục vụ ngắt



- **Cổng và từ điều khiển của 8259**
- 8259 có 4 từ điều khiển là ICW1, ICW2, ICW3 và ICW4. Việc lựa chọn một trong 4 từ điều khiển là sử dụng \overline{CS} kết hợp với A0.

\overline{CS}	A0	Từ lệnh khởi tạo
0	0	ICW1
0	1	ICW2, ICW3 và ICW4

ICW1 (Tù lệnh khởi tạo 1)

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	1	LTIM	0	SNGL	IC4

D0 = 0: Không cần tìm kiếm ICW4.

1: ICW4 được đọc.

D1 = 1: Chế độ đơn

0: Chế độ nối tầng.

D2 Luôn bằng 0 với hệ 86x86

D3 = 1: Kích phát theo mức

0: Kích phát theo sườn

D4 Luôn bằng 1

D5, D6, D7: Luôn bằng 000 với hệ 86x86.

ICW2 (Tù lệnh khởi tạo 2)

D7	D6	D5	D4	D3	D2	D1	D0
T7	T6	T5	T4	T3	T2	T1	T0

Chức năng của ICW2 là gán các số hiệu ngắn cho IRQ0 – IRQ7. Các bits D2 D1 D0 thay đổi từ 000 - 111 cùng với D3 - D7 để tạo ra các số dạng INT nn để gán cho IRQ0 – IRQ7 tương ứng. Nhìn vào bảng Vector ngắn ta thấy IRQ0 - IRQ7 sẽ lần lượt tương ứng với các số hiệu ngắn INT 08 H - INT 0F H như vậy ta có:

Với IRQ0: ICW2 có giá trị tương ứng với 08 H.

Với IRQ1: ICW2 có giá trị tương ứng với 09 H

Và với IRQ7: ICW2 có giá trị tương ứng với 0F H

Với IRQ0: ICW2 có giá trị tương ứng với 08 H.

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	1	0	0	0
IRQ 0					INT 08 h			

Với IRQ1: ICW2 có giá trị tương ứng với 09 H.

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	1	1	0	0	1
IRQ 1					INT 09 h			

Với IRQ2: ICW2 có giá trị tương ứng với 0A H.

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	1	0	1	0	1	0
IRQ 2					INT 0A h			

ICW3 (Tù lệnh khởi tạo 3)

ICW3 chỉ được sử dụng khi 8259 được nối thành tầng, một vi mạch 8259 chủ có thể nối tối đa đến 8 vi mạch 8259 tớ và có thể cung cấp được đến 64 yêu cầu ngắt. Và ICW3 trên vi mạch chủ và vi mạch tớ cũng khác nhau. Đối với vi mạch chủ ICW3 xác định IR nào có vi mạch tớ nối đến, đối với vi mạch tớ ICW3 thông báo IR tớ nào có chủ nối tới.

ICW3 trên 8259 chủ:

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	S7	S6	S5	S4	S3	S2	S1	S0

= 1 IR lối vào có thiết bị tớ
= 0 IR lối vào không có TB tớ

ICW3 trên 8259 tóm:

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	S7	S6	S5	S4	S3	S2	S1	S0

0	0	0	IRQ 0 - master
0	0	1	IRQ 1 - master
0	1	0	IRQ2 - master
0	1	1	IRQ 3 - master
1	0	0	IRQ 4 - master
1	0	1	IRQ 5 - master
1	1	0	IRQ 6 - master
1	1	1	IRQ 7 - master

ICW4 (Tù lệnh khởi tạo 4)

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	SFNM	BUF	MS	AEOI	PM

- D0 Cho phép chọn BVXL: D0 =1 với 80x86, D0 = 0 Với 8085.
- D1 = 0 : Ba lệnh cuối của ISR với IR0 – IR7 (ngắt cứng) phải có lệnh EOI và tiếp theo là IRET.
- D3 D2 dùng cho hệ thống có Bus số liệu khi dùng bộ thu phát hai chiều, 8259 có thể làm việc ở chế độ có hoặc không đệm.
- D4 sử dụng trong chế độ lồng hoàn toàn đặc biệt SFNM (Special fully netsted mode) chế độ này dùng khi 8259 ở chế độ chủ và D4 = 1 (D5 - D7 =0).
- Khi sử dụng D4 thì D5 - D7 = 0.

Tù lệnh điều khiển hoạt động (OCW)

\overline{CS}	A0	Tù lệnh điều khiển hoạt động
0	0	OCW2, OCW3
0	1	OCW1

Sau khi ICW1, ICW2 và ICW4 lần lượt phát ra và khởi tạo 8259, BVXL 80x86 cũng sẵn sàng nhận nhận các ngắt cứng từ các chân IR0 – IR7 của 8259. Có thể lập trình để che hoặc thay đổi mức ưu tiên của bất cứ một chân IRQ nào. 8259 có ba từ lệnh là OCW1, OCW2, và OCW3.

Tù lệnh điều khiển hoạt động OCW1

OCW1 được dùng để che bất cứ IRQ nào.

Mức 1 = khoá và mức 0 = mở

A0	D7	D6	D5	D4	D3	D2	D1	D0
1	S7	S6	S5	S4	S3	S2	S1	S0

= 1 Đặt mặt nạ ngắt
= 0 Xoá mặt nạ ngắt

Từ lệnh điều khiển hoạt động OCW2

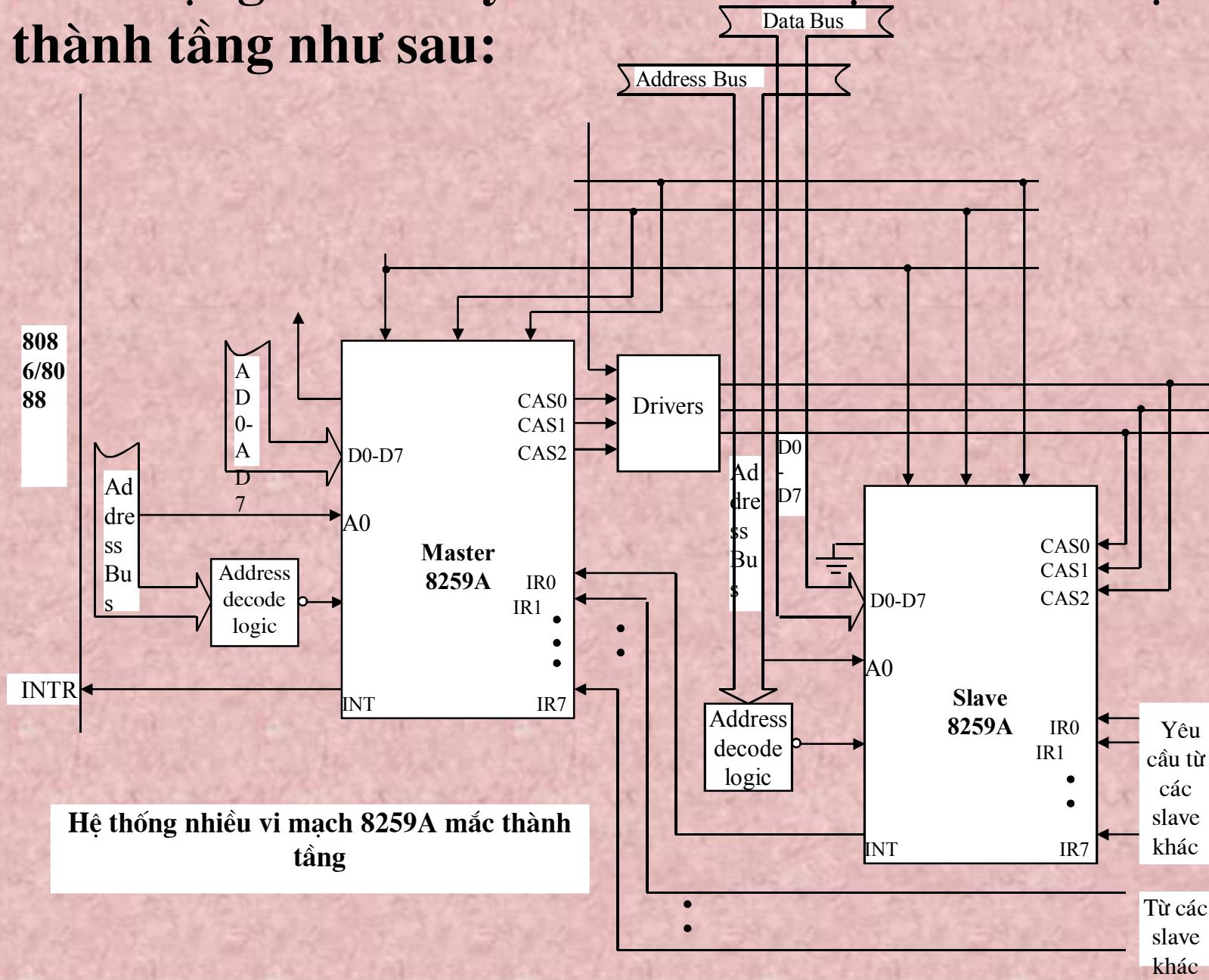
OCW2 được dùng để gán mức ưu tiên cho các IR. Có 3 cách gán mức ưu tiên là: Chế độ lồng hoàn toàn, chế độ quay tự động và chế độ quay riêng.

Chế độ lồng hoàn toàn: Gán mức ưu tiên cao nhất cho IR0 và mức thấp nhất cho IR7. Có thể gán mức ưu tiên cao nhất cho bất cứ IR nào bằng cách lập trình qua các bits D2 D1 D0 và D6.

Từ lệnh điều khiển hoạt động OCW3

OCW3 cho phép đọc các thanh ghi của 8259 như IRR, ISR. Hai bit D0 và D1 cho phép đọc thanh ghi nào. Các bit còn lại được dùng để thay đổi chế độ che mặt nạ và các chức năng khác của 8259.

Khi sử dụng trên máy AT các vi mạch 8259 được ghép thành tầng như sau:



Vi mạch 8259 trên máy tính IBM PC

Máy tính IBM PC XT sử dụng 1 vi mạch để điều khiển được 8 ngắt cứng, từ máy tính AT sử dụng thêm 1 vi mạch nữa để mở rộng ngắt cứng lên 15

AEN	A7	A6	A5	A4	A3	A2	A1	A0	Hex	Cổng
1	0	1	1	x	x	x	x	0	20	ICW1
1	0	1	1	x	x	x	x	1	21	ICW2, ICW3, ICW4
1	0	1	1	x	x	x	x	0	20	OCW2, OCW3
1	0	1	1	x	x	x	x	1	21	OCW1

Từ khởi tạo của 8259 trên máy tính IBM PC XT

Cấu hình máy và các từ điều khiển ICW1, ICW2 và ICW4 có liên hệ như sau:

ICW1 = 13H.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	1	LTIM	0	SNGL	IC4

- D0 = 0: Không cần tìm kiếm ICW4.
- D1 = 1: Chế độ đơn
- D2 Luôn bằng 0 với hệ 86x86
- D3 = 0: Kích phát theo sườn
- D4 = 1 : Do ICW4 quy định
- D5, D6, D7: Luôn bằng 000 với hệ 86x86.

ICW2:

D7	D6	D5	D4	D3	D2	D1	D0	Chân IRQ	Int nn	Chức năng
0	0	0	0	1	0	0	0	IRQ 0	Int 08h	Kênh 0 8253
0	0	0	1	1	0	0	1	IRQ 1	hInt 09	Bàn phím
0	0	1	0	1	0	1	0	IRQ 2	Int 0Ah	Dự trữ
0	0	1	1	1	0	1	1	IRQ 3	Int 0Bh	COM 2
0	1	0	0	1	1	0	0	IRQ 4	Int 0Ch	COM 1
0	1	0	1	1	1	0	1	IRQ 5	Int 0Dh	LPT 2
0	1	1	0	1	1	1	0	IRQ 6	Int 0Eh	Đĩa mềm
0	1	1	1	1	1	1	1	IRQ 7	Int 0Fh	LPT 1

ICW3 được dùng khi có vi mạch 8259 nối thành tầng

ICW4 được sử dụng khi bit D0 của ICW1 = 1 và ICW4 = 09H.

D7	D6	D5	D4	D3	D2	D1	D0
0	0	0	SFNM	BUF	MS	AEOI	PM

D0 = 1: Với BVXL 80x86

D1 = 0: Phát EOI trước IRET

D2 = 0

D3 = 1: Chế độ chủ tớ.

D4 = 0: Không lồng nhau

D7 D6 D5 = 0 0 0: ICW4 yêu cầu.

Các ngắt cứng trên IBM PC AT

Từ các máy AT trở đi IBM sử dụng 2 vi mạch 8259, vi mạch thứ nhất làm việc ở chế độ chủ và vi mạch thứ 2 được cấy thêm làm việc ở chế độ tớ và được ghép với vi mạch chủ qua chân IRQ2. Vi mạch chủ và tớ trao đổi thông tin qua chân IRQ2, INT, CAS0, CAS1 và CAS2.

Vi mạch 8259 chủ:

1. Chân của 8259 chủ được nối với nguồn +5V.
2. CAS0, CAS1 và CAS2 của 8259 chủ (là các đầu ra) được nối với các chân tương ứng của 8259 tớ (là các lối vào).
3. INT và của 8259 chủ được nối tới INTR và của CPU.
4. IRQ2 của 8259 chủ được nối tới INT của 8259 tớ.
5. 8259 chủ được lập trình riêng để làm việc ở chế độ chủ qua ICW1, ICW2, ICW3 và ICW4:

Mov	al, 11h	; nạp ICW1
out	20h, al	
mov	al,08h	; nạp ICW2
out	21h, al	
mov	al,04h	; nạp ICW3
out	21h, al	
mov	al,01h	; nạp ICW4
out	21h, al	

Khởi tạo vi mạch 8259 thứ 2:

```
mov    al, 11h          ; nạp ICW1
out    0a0h, al
mov    al, 70h          ; nạp ICW2
out    0a1h, al
mov    al, 02h          ; nạp ICW3
out    0a1h, al
mov    al, 01h          ; nạp ICW4
out    21h, al
```

