

CẤU TRÚC BỘ VI XỬ LÝ 8086/88

1. Tổ chức chung của 8086/8088

2. Tổ chức của EU

3. Tổ chức của BIU

4. Bố trí chân của MP 8086/8088

**5. Giảm đồ thời gian hoạt động của
8086/8088**

1. Tổ chức chung của 8086/8088

✓ *Các thông số chính của 8088/86*

- Do Intel sản xuất vào năm 1978
- Có 40 chân, đóng vỏ kiểu DIP (Dual In-line Package)
- Có 20 chân địa chỉ (địa chỉ hoá được $2^{20}=1$ Mb bộ nhớ)
- Bus dữ liệu trong là 16 bit.
- Điểm khác nhau căn bản:
 - ✓ 8086 có bus dữ liệu ngoài 16 bit
 - ✓ 8088 có bus dữ liệu ngoài 8 bit.
- Tần số nhịp đồng hồ là 4,77 MHz. Các phiên bản sau dùng tần số nhịp đồng hồ lên đến 10 MHz.

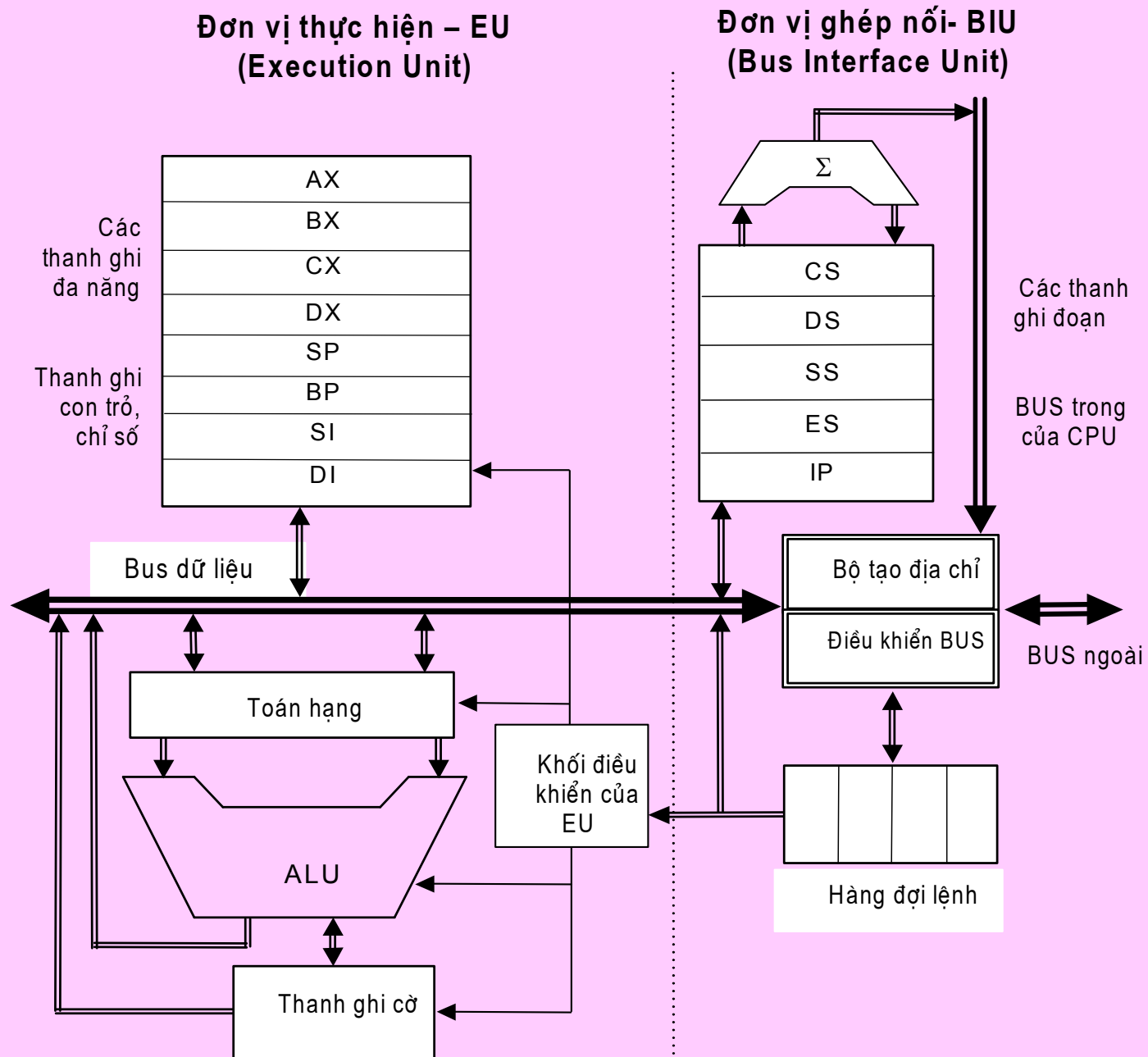
Bố trí chân của MP 8086/88.

40 chân của MP 8086/88 được chia thành 6 nhóm chức năng sau:

- Các đường nguồn nuôi
- Các đường địa chỉ, trạng thái
- Các đường dữ liệu
- Các đường điều khiển Địa chỉ/Dữ liệu
- Các đường điều khiển ngắt
- Các đường điều khiển thao tác

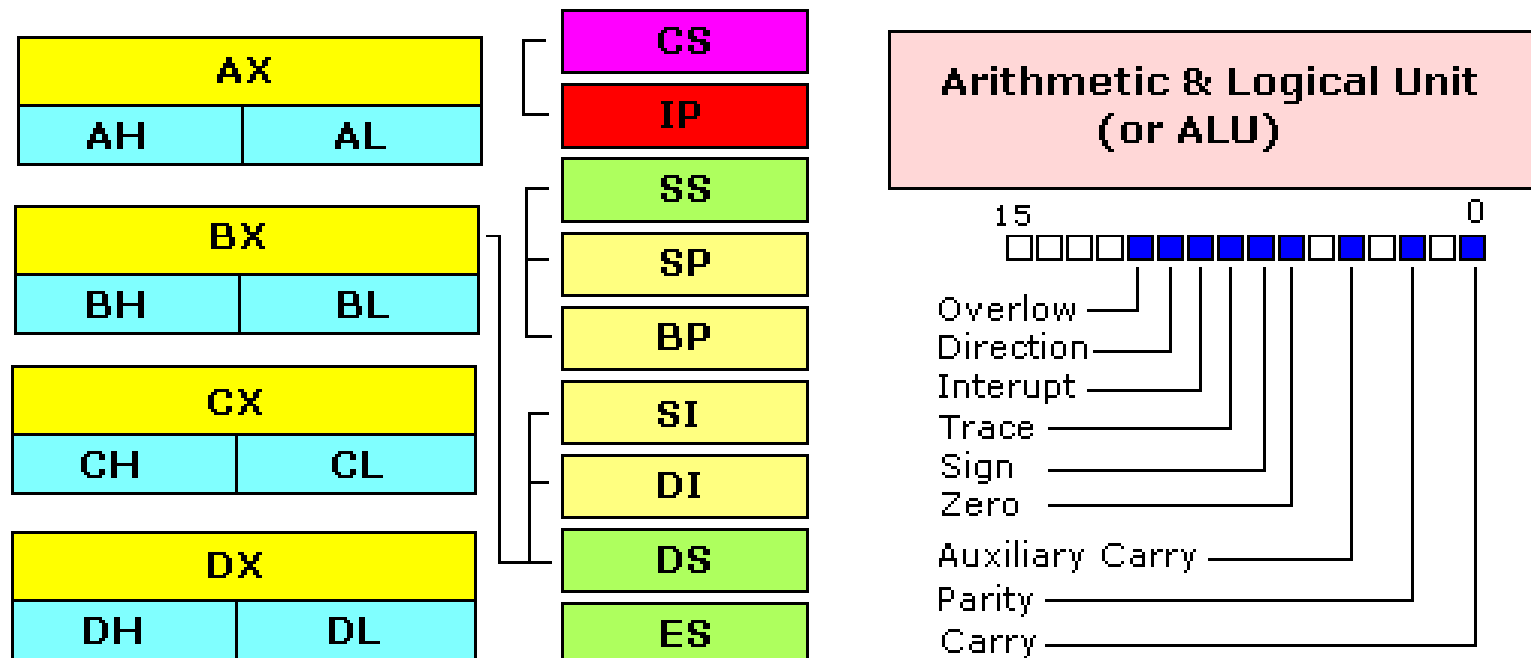
BVXL 8086/88 có hai chế độ làm việc: Min và Max. Các chân của BVXL tương ứng với từng chế độ được định nghĩa như sau:

✓ Sơ đồ khối của bộ vi xử lý 8086/8088



Các thanh ghi bên trong của BVXL

Central Processing Unit (or CPU)



2. Tổ chức của EU

EU là đơn vị thực hiện, là nơi xảy ra các quá trình xử lý dữ liệu ở bên trong bộ xử lý. EU gồm 3 thành phần:

- ✓ Đơn vị số học và lô-gic ALU (Arithmetic and Logic Unit)
- ✓ Tập các thanh ghi: được sử dụng để xử lý số liệu và ghi các kết quả trung gian.
- ✓ Khối điều khiển của EU

3. Tổ chức của BIU

Chức năng của BIU:

- ✓ Nhận trước các lệnh, cất tạm vào hàng đợi lệnh nhờ đó mà MP tăng được tốc độ tính toán.
- ✓ Đảm đương chức năng điều khiển bus để EU có thể tập trung vào việc xử lý dữ liệu và thực hiện lệnh.

Thành phần:

- ✓ Đơn vị điều khiển BUS (Bus Control Unit)
- ✓ Hàng đợi lệnh (Instruction queue)
- ✓ Đơn vị điều khiển địa chỉ (Address Control Unit)

Các thanh ghi Segment

CPU có 4 thanh ghi segment dài 16 bit, các thanh ghi này không thể chia làm 2 thanh ghi 8 bit như 4 thanh ghi AX, BX, CX và DX.

Các thanh ghi đoạn được sử dụng như là địa chỉ cơ sở của các lệnh trong chương trình, stack và dữ liệu.

4 thanh ghi đoạn : CS (Code Segment), **DS (Data Segment)**, SS (Stack Segment) và ES (Extra Segment).

CS : chứa địa chỉ bắt đầu của code trong chương trình.

DS : chứa địa chỉ của các biến khai báo trong chương trình.

SS : chứa địa chỉ của bộ nhớ Stack dùng trong chương trình

ES : chứa địa chỉ cơ sở bổ sung cho các biến bộ nhớ.

Thanh ghi 32 bit

- Đối với một số CPU thế hệ sau, các thanh ghi có độ dài 32, 64 bit. Ta ghi thêm chữ E đứng trước tên các thanh ghi 16 bit...
- **EAX, EBX, ECX, EDX**

Chức năng các đơn vị BIU

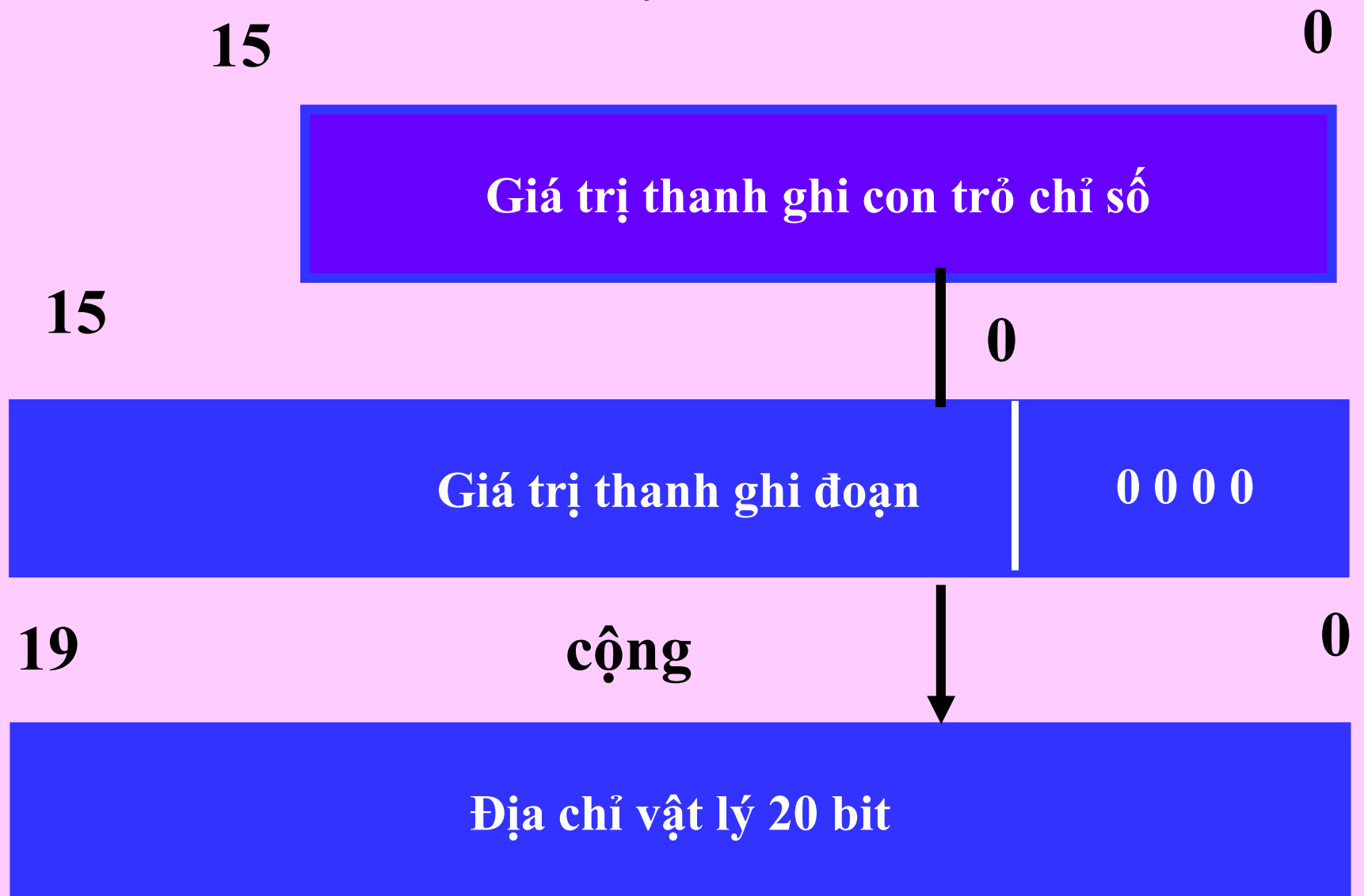
- ✓ *Đơn vị điều khiển BUS (Bus Control Unit):* Tiếp nhận và tạo các lệnh, dữ liệu và các tín hiệu điều khiển giữa MP và các bộ phận khác của hệ thống.
- ✓ *Hàng đợi lệnh (Instruction queue):* Là nơi lưu giữ tạm thời các lệnh sẽ được thực hiện trong EU
- ✓ *Đơn vị điều khiển địa chỉ (Address Control Unit):* MP 8088/86 có 20 đường địa chỉ (20 bit) vì vậy có khả năng đánh địa chỉ đến 1Mb. Đơn vị điều khiển địa chỉ phối hợp hoạt động với con trỏ lệnh, các thanh ghi đoạn và mạch tạo địa chỉ để xác định địa chỉ ô nhớ .

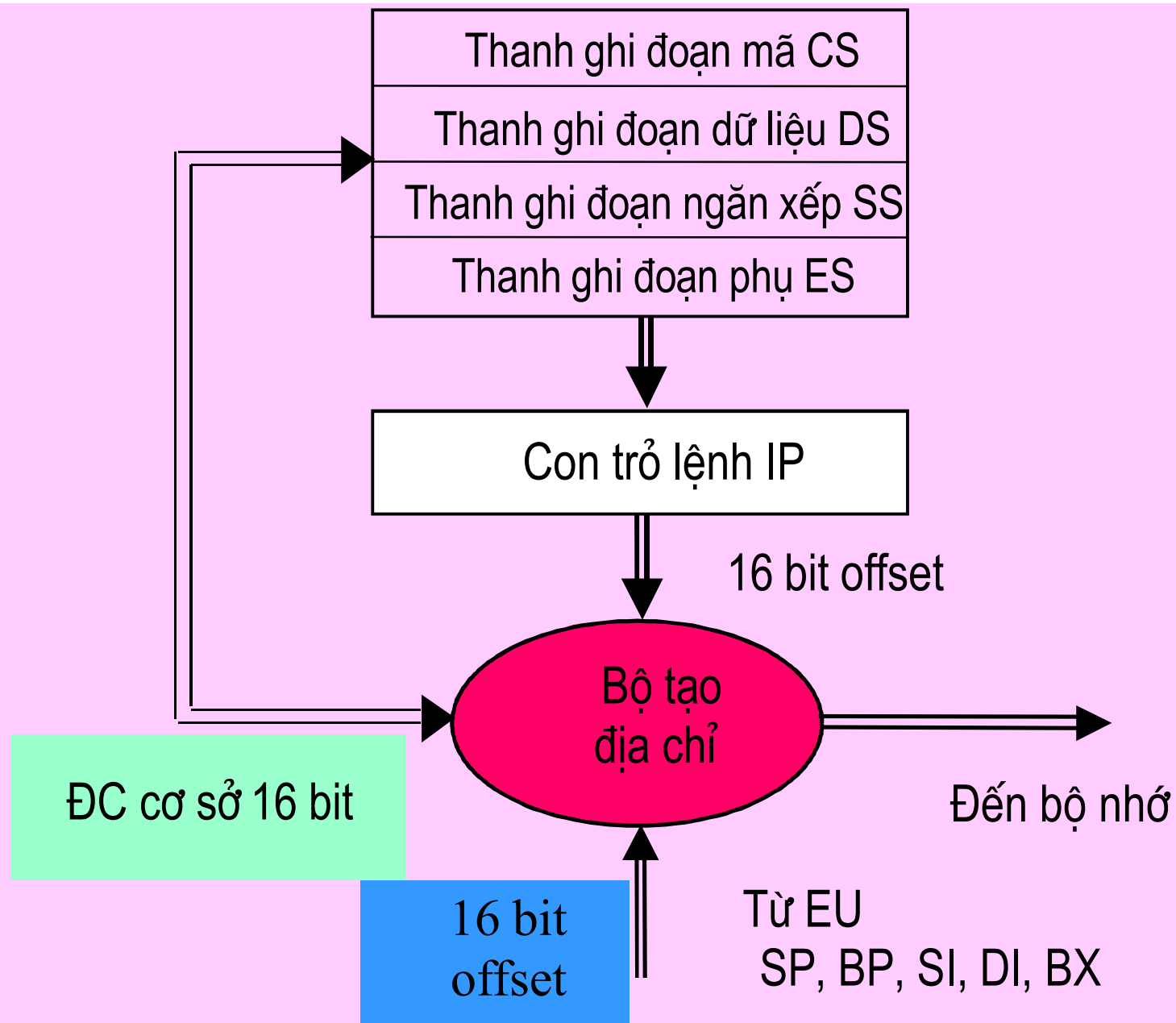
Thanh ghi đoạn và sự hình thành địa chỉ

■ 8088 sử dụng 20 bit để đánh địa chỉ bộ nhớ → quản lý trên 1Mb bộ nhớ. Nhưng 8088 lại không có thanh ghi nào 20 bit, tất cả là 16 bit do đó 1 thanh ghi chỉ có thể đánh địa chỉ tối đa là 64 kB bộ nhớ.

■ Như vậy phải kết hợp 2 thanh ghi mới địa chỉ hoá toàn bộ bộ nhớ. 8088 sử dụng 1 trong các thanh ghi dùng chung và 1 trong các thanh ghi đoạn (CS,DS,SS,ES) để tạo thành 1 địa chỉ 20 bit.

Hình thành địa chỉ 20 bits





Đơn vị điều khiển địa chỉ

Phương pháp xác định địa chỉ

Địa chỉ đoạn (DS): EF00 -> dịch trái 4 bit: EF000

Địa chỉ offset: 0224 -> Giữ nguyên: 0224

Địa chỉ tạo thành 20 bit (địa chỉ vật lý): EF224

✓ Cách xác định địa chỉ vật lý:

Địa chỉ vật lý = Thanh ghi đoạn x 16 + Thanh ghi độ lệch

✓ Cách xác định địa chỉ lô-gic:

Thanh ghi đoạn: Thanh ghi độ lệch

Thao tác của các thanh ghi

Thanh ghi	Offset	Thao tác
CS	IP	Nhận lệnh
DS	BX, SI, DI	Dữ liệu
SS	SP	Ngăn xếp
ES	DI, BP	Nơi gửi tới

SỰ PHÂN ĐOẠN BỘ NHỚ

CPU 8086 dùng phương pháp phân đoạn bộ nhớ để quản lý bộ nhớ 1MB.

Địa chỉ 20 bit của bộ nhớ 1MB không thể chứa đủ trong các thanh ghi 16 bit của CPU 8086 → bộ nhớ 1MB được chia ra thành các đoạn (segment) 64KB.

Địa chỉ trong các đoạn 64KB chỉ có 16 bit nên CPU 8086 dễ dàng xử lý bằng các thanh ghi.

PHÂN ĐOẠN BỘ NHỚ : Là cách dùng các thanh ghi 16 bit để biểu diễn cho địa chỉ 20 bit.

Địa chỉ vật lý & địa chỉ logic

Địa chỉ 20 bits được gọi là địa chỉ vật lý.

Địa chỉ vật lý dùng trong thiết kế các mạch giải mã địa chỉ cho bộ nhớ và xuất nhập.

Còn trong lập trình, địa chỉ vật lý không thể dùng được mà nó được thay thế bằng địa chỉ logic.

Địa chỉ logic

Địa chỉ của 1 ô nhớ được xác định bởi 2 phần:

Segment : offset \longrightarrow **Địa chỉ trong đoạn**
 \uparrow
(độ dài)

Địa chỉ đoạn

Ví dụ: B001:1234

Mỗi địa chỉ thành phần là 1 số 16 bit và được viết theo cách sau :

Segment : offset

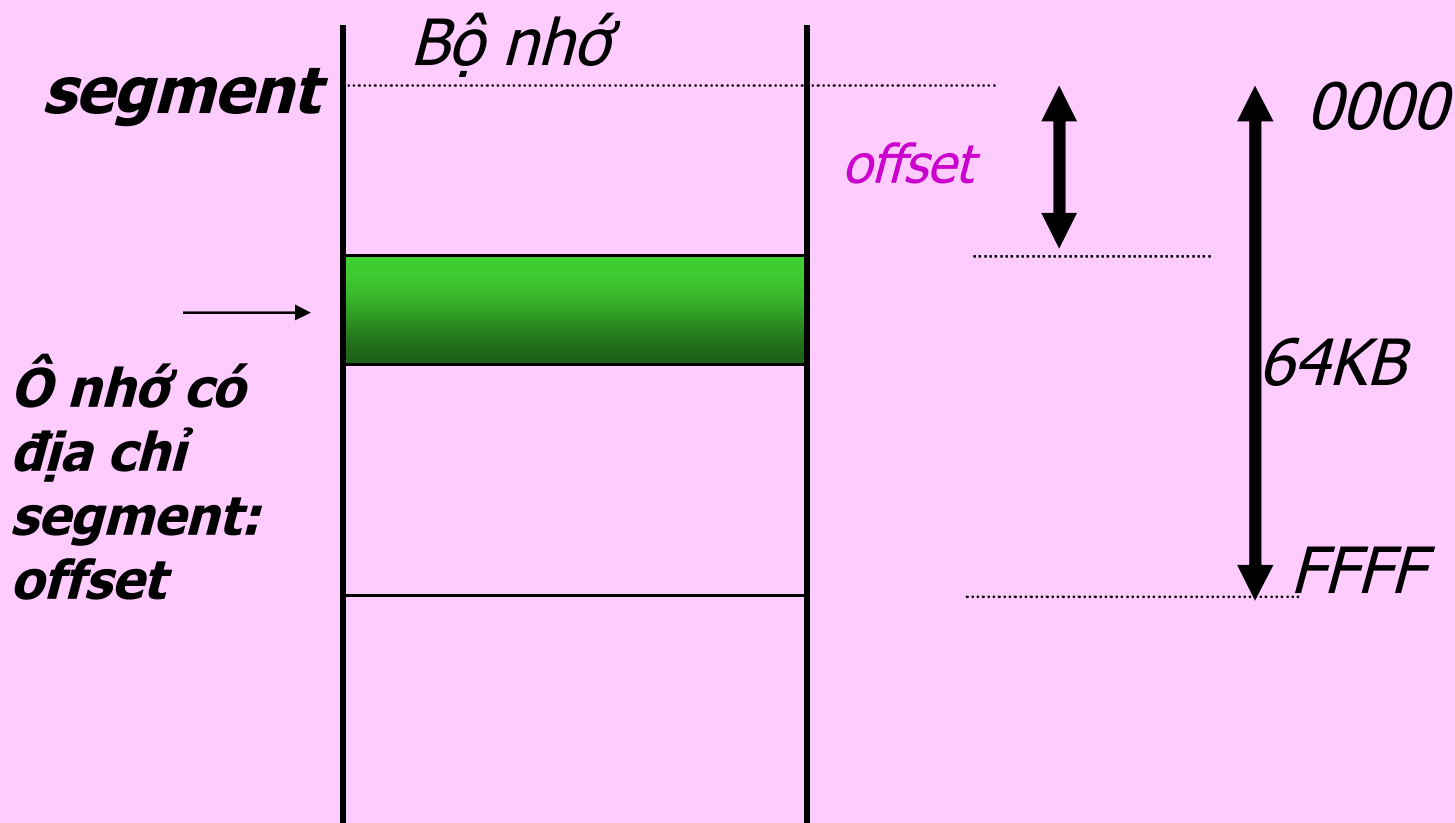
Sự chồng chất các đoạn

Địa chỉ segment hay còn gọi là địa chỉ nền của đoạn. Nó cho biết điểm bắt đầu của đoạn trong bộ nhớ.

Địa chỉ offset thể hiện khoảng cách kể từ đầu đoạn của ô nhớ cần tham khảo.

Do offset dài 16 bit nên chiều dài tối đa của mỗi đoạn là 64K.

Trong mỗi đoạn, ô nhớ đầu tiên có offset là 0000h và ô nhớ cuối cùng là FFFFh.



Mỗi ô nhớ chỉ có 1 địa chỉ vật lý nhưng có thể có nhiều địa chỉ logic.

Ví dụ:

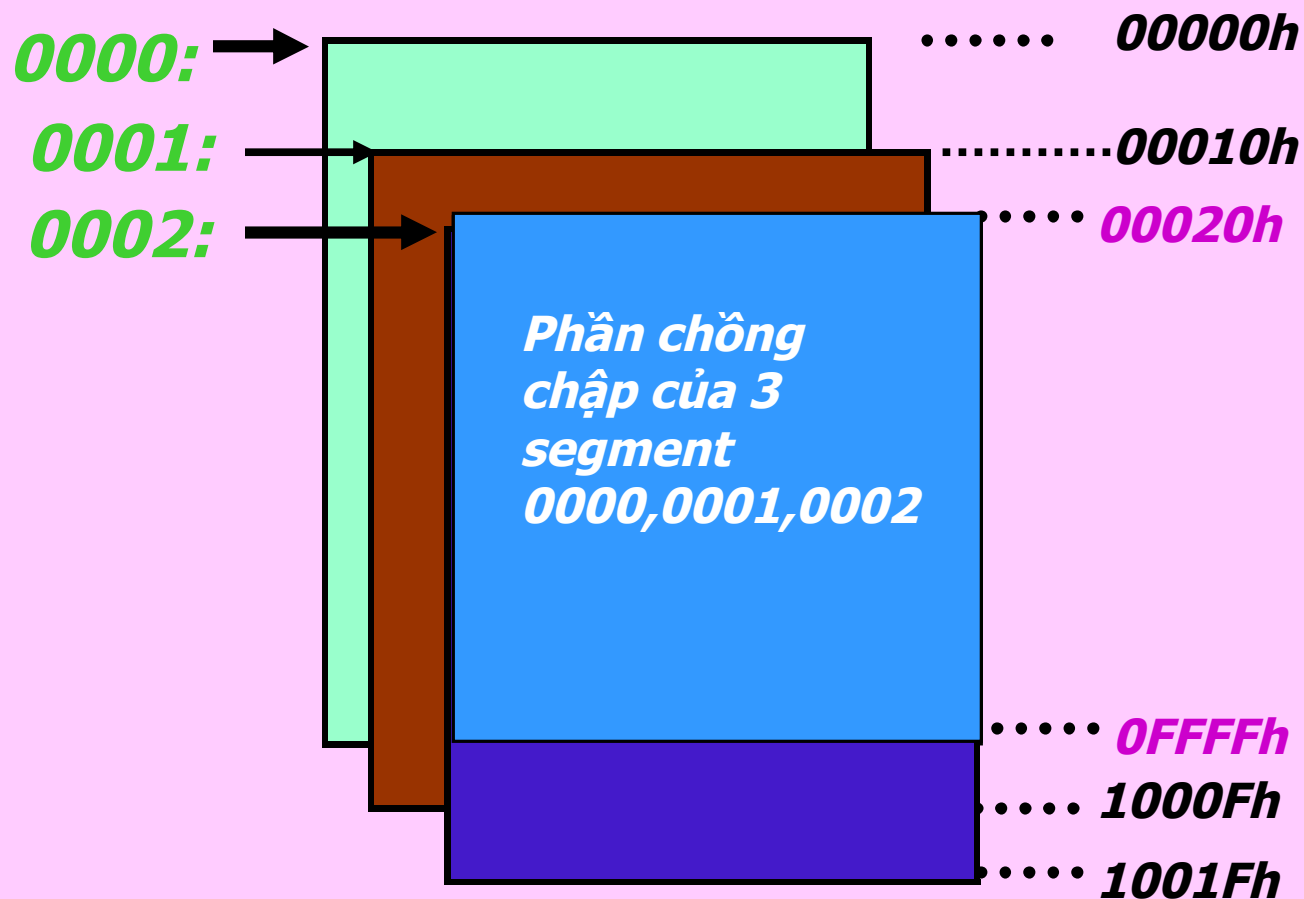
1234:1234

1334:0234

1304:0534

Đều có chung địa chỉ vật lý 13574h

Để hiểu rõ tại sao ta hãy xét mối quan hệ giữa địa chỉ vật lý với segment và offset



Giải thích

0000:0000 → 00000h

Giữ nguyên phần segment, tăng phần offset lên 1 thành ra địa chỉ logic là 0000:0001

Địa chỉ vật lý tương ứng là 00001h

Tương tự với địa chỉ logic là 0000:0002 ta có địa chỉ vật lý là 00002h

Khi offset tăng 1 đơn vị thì địa chỉ vật lý tăng 1 địa chỉ hoặc là tăng 1 byte.

Như vậy có thể xem đơn vị của offset là byte

Làm lại quá trình trên nhưng giữ nguyên phần offset chỉ tăng phần segment.

0001:0000 → 00010h

0002:0000 → 00020h

Khi segment tăng 1 đơn vị thì địa chỉ vật lý tăng 10h địa chỉ hoặc là tăng 16 bytes

Đơn vị của segment là paragraph

Ta thấy segment 0000 nằm ở đầu vùng nhớ nhưng segment 0001 bắt đầu cách đầu vùng nhớ chỉ có 16 bytes, segment 0002 bắt đầu cách đầu vùng nhớ 32 bytes.....

Phần chồng chập 3 segment 0000,0001,0002 trên hình vẽ là vùng bộ nhớ mà bất kỳ ô nhớ nào nằm trong đó (địa chỉ vật lý từ 00020h đến 0FFFFh) đều có thể có địa chỉ luận lý tương ứng trong cả 3 segment.

Ví dụ : ô nhớ có địa chỉ 0002Dh sẽ có địa chỉ logic trong segment 0000 là 0000:002D

Trong segment 0001 là 0001:001D

Trong segment 0002 là 0002:000D

→ nếu vùng bộ nhớ nào càng có nhiều segment chồng chập lên nhau thì các ô nhớ trong đó càng có nhiều địa chỉ logic.

***Một ô nhớ có bao nhiêu
địa chỉ logic?***

***Một ô nhớ có ít nhất 1 địa chỉ
logic và nhiều nhất là $65536/16$
 $= 4096$ địa chỉ logic***

Hệ thống Bus

Các thiết bị ngoại vi kết nối với hệ thống nhờ các khe cắm mở rộng (expansion slot).

Bus hệ thống (Bus system) sẽ kết nối tất cả các thành phần lại với nhau.

Có 3 loại bus :bus dữ liệu (data bus), bus địa chỉ (address bus) và bus điều khiển (control bus).

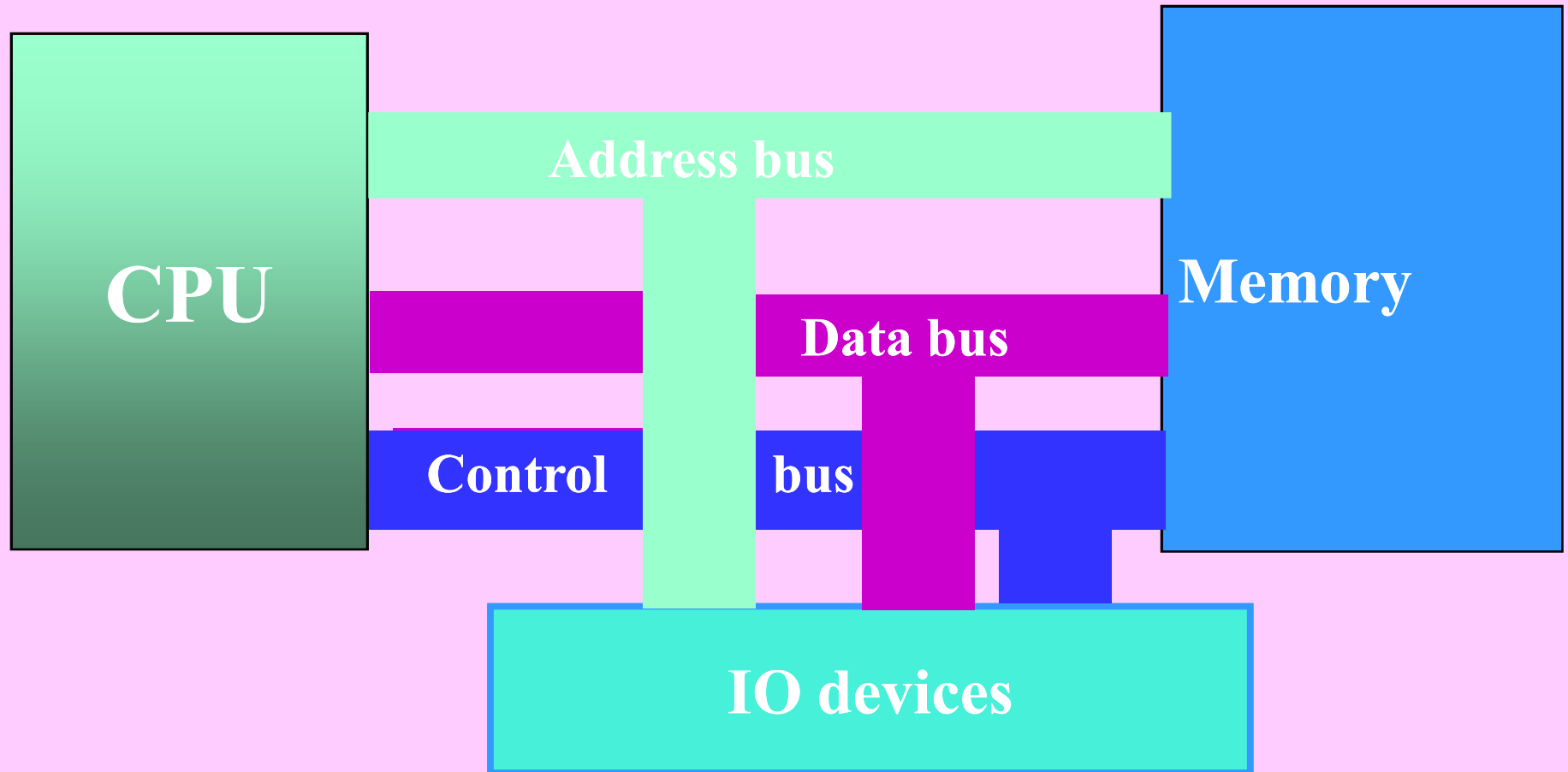
Các loại Bus

■ **Address Bus** : nhóm đường truyền nhận diện vị trí truy xuất trong thiết bị đích : thông tin được đọc từ đâu hoặc ghi vào đâu.

■ **Data Bus** : nhóm đường truyền để tải data thực sự giữa các thiết bị hệ thống do địa chỉ trên address bus đã xác định. Độ rộng của data bus (số đường dây dẫn) xác định data trong mỗi lần truyền là bao nhiêu.

■ **Control Bus** : nhóm đường truyền cho các tín hiệu điều khiển như : tác vụ là đọc hay ghi, tác vụ thực thi trên bộ nhớ hay trên thiết bị ngoại vi, nhận dạng chu kỳ bus và khi nào thì hoàn tất tác vụ...

Minh họa hệ thống Bus



Độ rộng Bus

Độ rộng bus chính là số đường dây dẫn hợp thành bus.

Với address bus : trên mỗi đường dây chỉ có thể có 1 trong 2 trạng thái 0 hoặc 1 nên bus có độ rộng n thì có thể nhận biết được 2^n địa chỉ.

Với data bus : được thiết kế theo nguyên tắc là bội của 8 (8,16,32,64 bit) như thế mỗi lần truyền 1 byte/2 bytes/4 bytes tùy theo máy. Bề rộng Data bus càng lớn thì data truyền càng nhanh.

Chu kỳ Bus

Mỗi chu kỳ bus là 1 thao tác trên bus để truyền số liệu.

Mỗi lần CPU cần lệnh (hoặc data) từ bộ nhớ hoặc I/O, chúng phải thực thi 1 chu kỳ bus để có được thông tin hoặc ghi thông tin ra bộ nhớ hoặc ra I/O.

Mỗi chu kỳ bus gồm 2 bước :

bước 1 : gửi địa chỉ

bước 2 : truyền data từ địa chỉ đã được định vị.

4 chu kỳ bus cơ bản :

đọc bộ nhớ (memory Read) $\overline{\text{MEMR}}$

ghi bộ nhớ (memory Write) $\overline{\text{MEMW}}$

đọc I/O (I/O Read) $\overline{\text{IOR}}$

ghi I/O (I/O Write). $\overline{\text{IOW}}$

Các tín hiệu cần thiết để thực hiện các chu kỳ bus được sinh ra bởi CPU hoặc DMA Controller hoặc bộ làm tươi bộ nhớ.

Ví dụ: Cho CS=24F6H và IP=634AH

Hãy xác định:

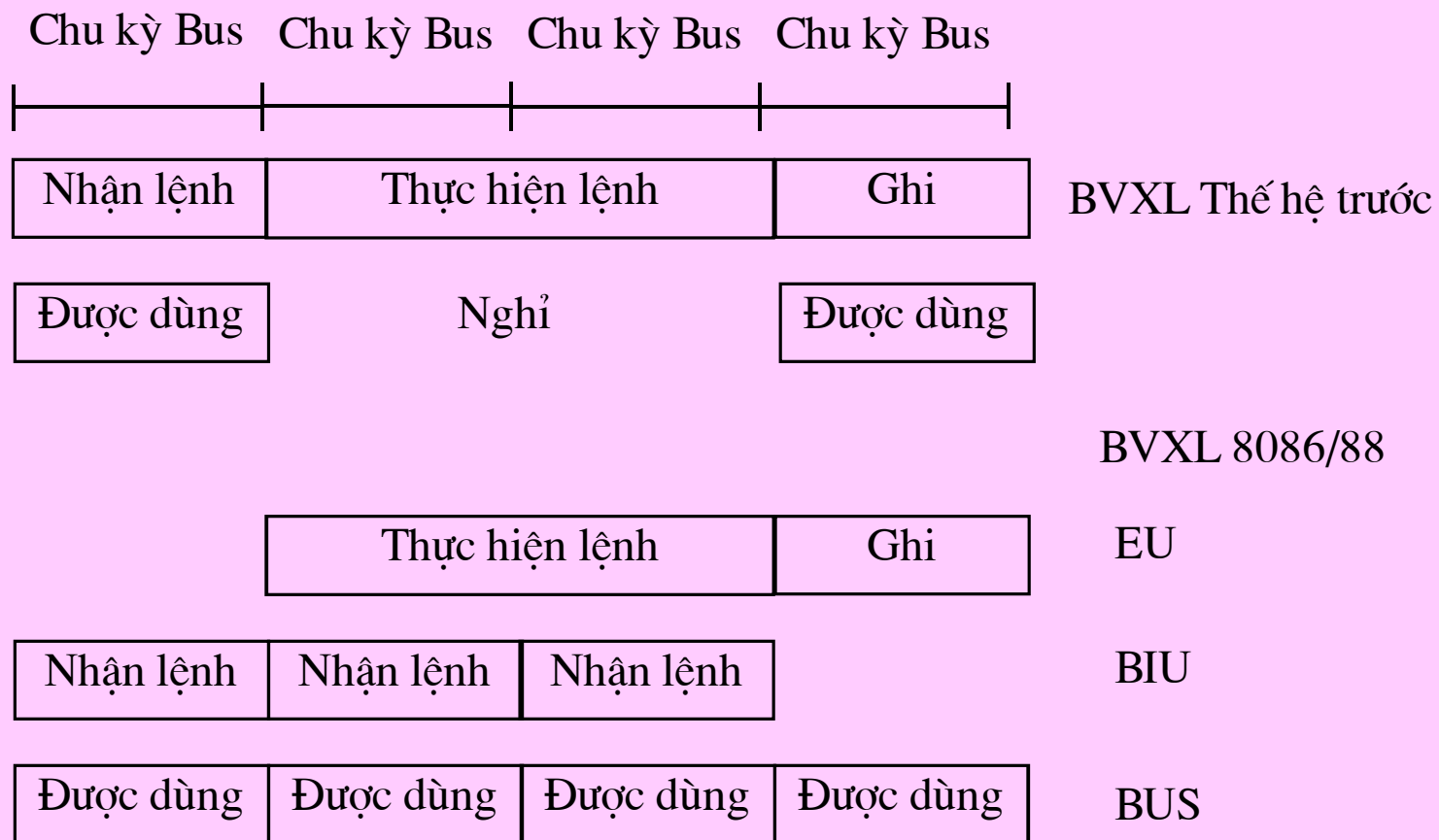
1. Địa chỉ lô-gíc
2. Địa chỉ offset
3. Địa chỉ vật lý
4. Vùng địa chỉ thấp
5. Vùng địa chỉ cao

Giải:

1. 24F6:634A
2. 634A
3. 2B2AA(24F60+634A)
4. 24F60(24F60+0000)
5. 34F5F(24F60+FFFF)

5. Giảm độ thời gian hoạt động của 8086/88.

- MP 8086/8088 sử dụng đồng hồ 4.77 Mhz.
- Bộ VXL 8086/8088 hoạt động theo các chu kỳ thời gian gọi là chu kỳ bus (bus cycle).
- Mỗi chu kỳ bus cần 4 chu kỳ đồng hồ để hoàn thành.
- Hai chu kỳ bus chính là chu kỳ bus đọc và chu kỳ bus ghi.
- BVXL 8086/88 vì có cấu trúc hàng đợi lệnh, nên khi EU đang thực hiện lệnh thì các lệnh tiếp theo vẫn được BIU nạp vào hàng đợi lệnh. Cấu trúc hàng đợi lệnh làm cho BVXL 8086/88 Bus không có chu kỳ nghỉ. Do đó tốc độ làm việc của BVXL được tăng lên. (Cấu trúc đường ống).

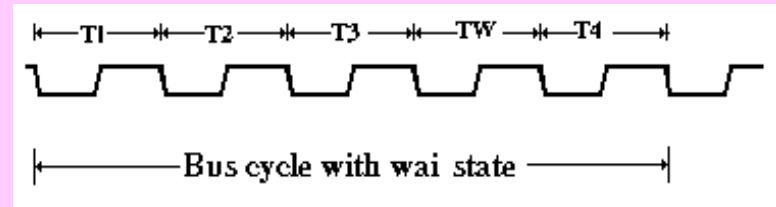
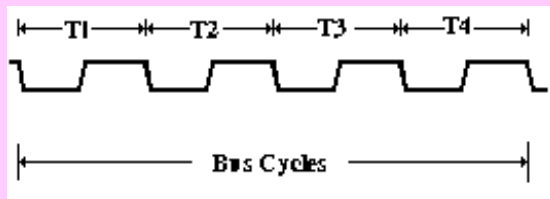


So sánh quá trình nhận và thực hiện lệnh ở các
BVXL thế hệ trước và BVXL 8086/88

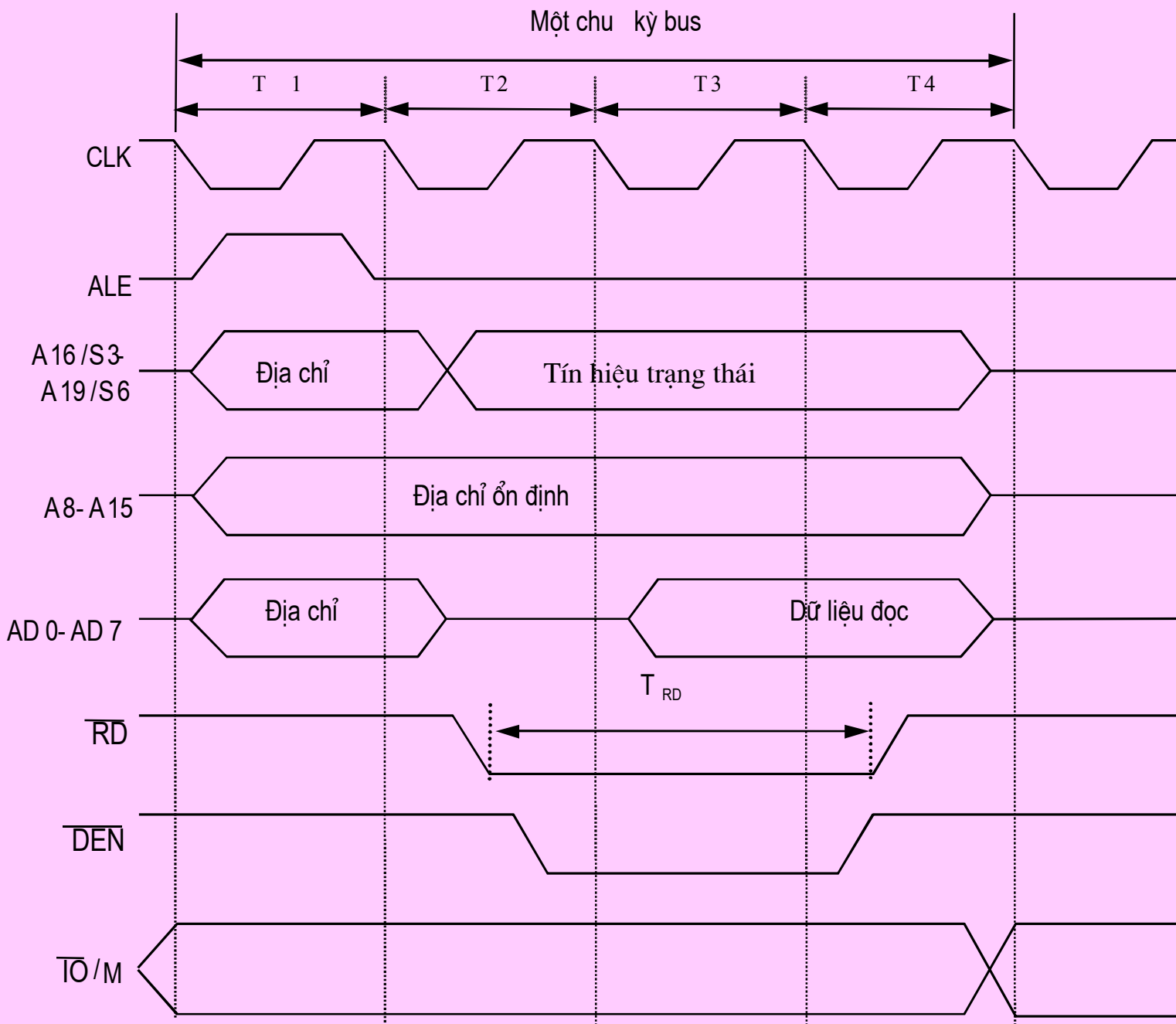
Phân định thời gian.

Các máy tính đều có một mạch dao động phát ra tần số chủ để đồng bộ làm việc giữa BVXL với các thiết bị khác. Tần số chủ BVXL 8086 là 5MHZ, do đó chu kỳ của một nhịp đồng hồ: $T = 200 \text{ ns}$.

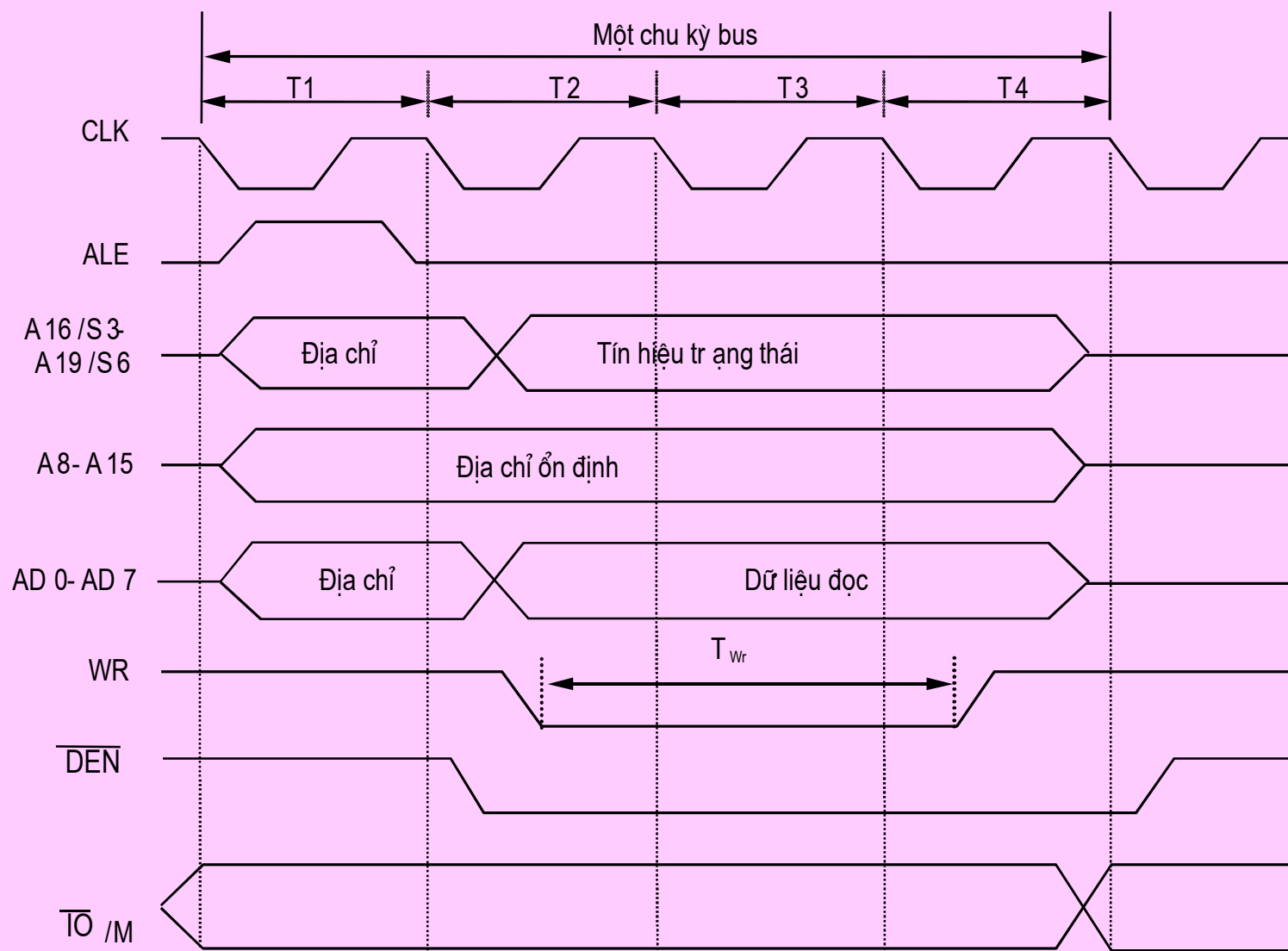
BVXL 8086 hoạt động theo các chu kỳ thời gian gọi là các chu kỳ bus. Mỗi chu kỳ bus có bốn chu kỳ đồng hồ là T1, T2, T3 và T4. Nếu thiết bị ngoài cần nhiều thời gian để gửi số liệu cho BVXL sẽ có thêm vào trạng thái chờ (T) bằng cách xen một số chu kỳ chờ vào giữa chu kỳ T3 và T4 như sau:



✓ Chu kỳ BUS đọc:



✓ Chu kỳ BUS ghi.



Biểu đồ thời gian chu kỳ ghi của bộ vi xử lý 8086 /88

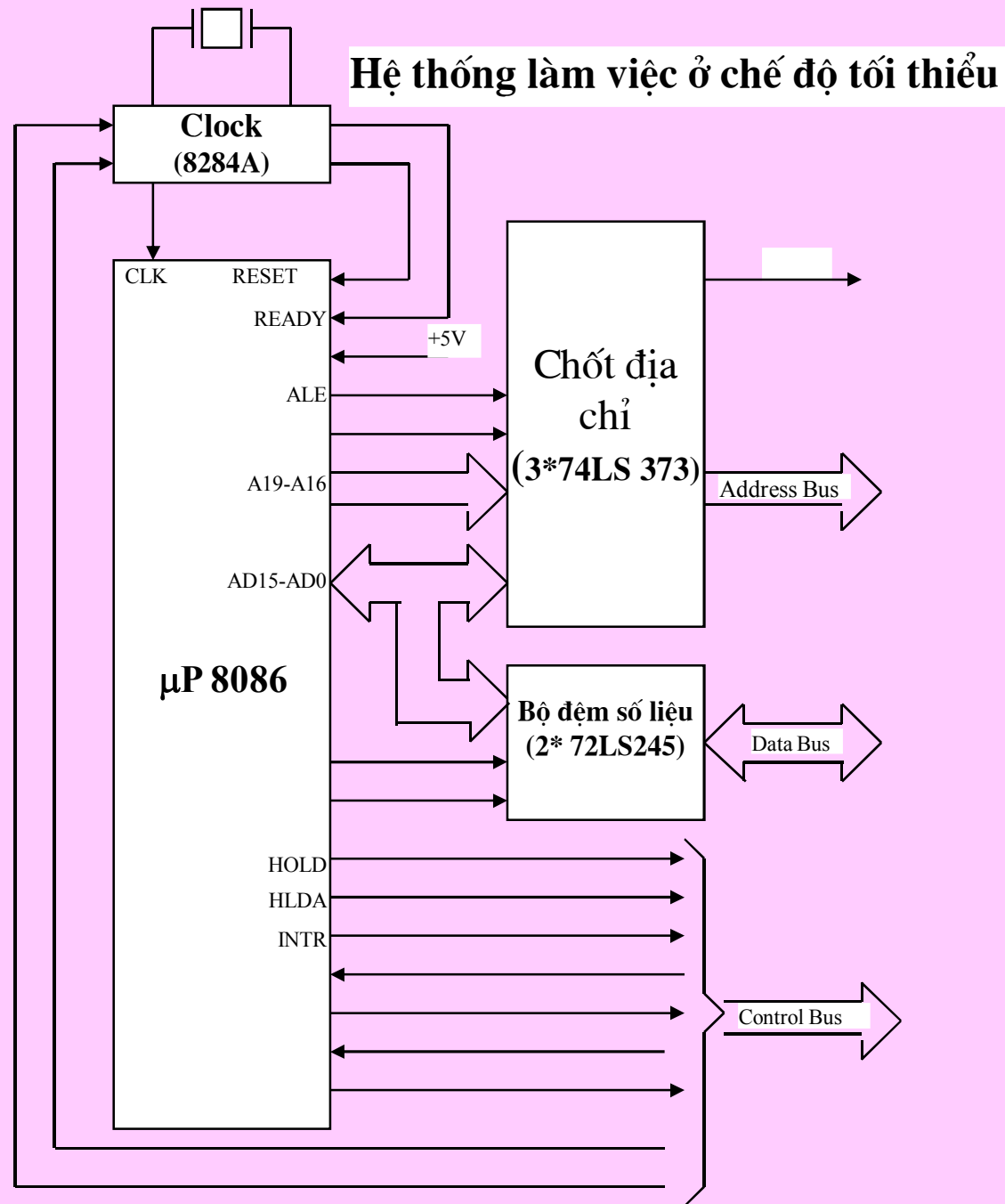
Chu kỳ nhận và thực hiện lệnh

BVXL có hai chức năng chính nhận và thực hiện lệnh để thực hiện lệnh, trước hết nó nhận lệnh hay số liệu, công việc đó chiếm mất một đến hai chu kỳ Bus.

Bước tiếp theo của BVXL là thực hiện các lệnh. đơn vị thực hiện lệnh (EU) nhận lệnh từ hàng đợi lệnh và thực hiện nó. Một số lệnh chỉ cần hai chu kỳ đồng hồ để thực hiện nhưng cũng có lệnh yêu cầu đến hàng trăm chu kỳ đồng hồ để thực hiện.

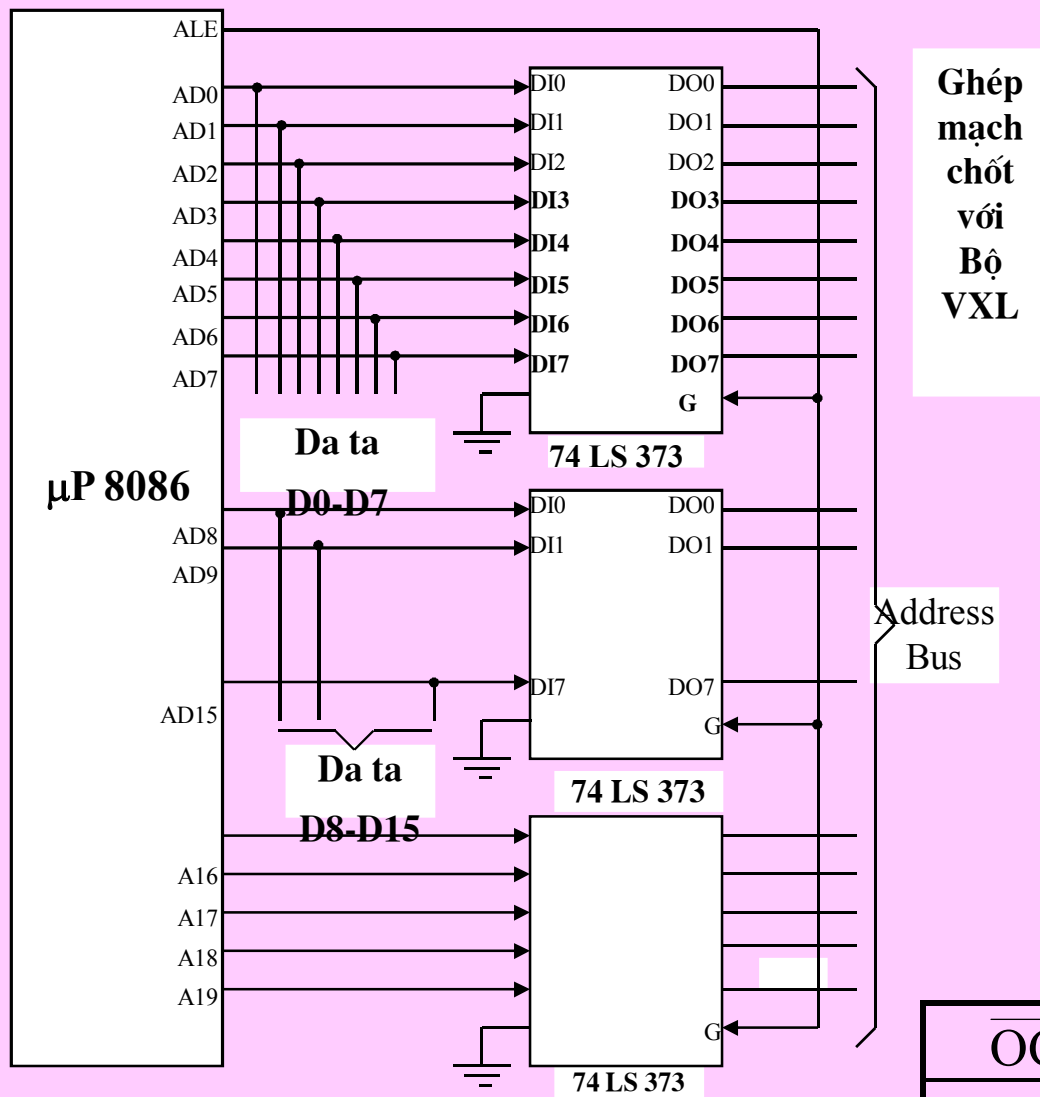
1. Chế độ tối thiểu (Minimum).

Khi chân 33 ($\overline{MN}/\overline{MX}$ của BVXL 8086/88 được cấp mức logic "1" (mức +5V) BVXL lúc đó nó làm việc ở chế độ tối thiểu.

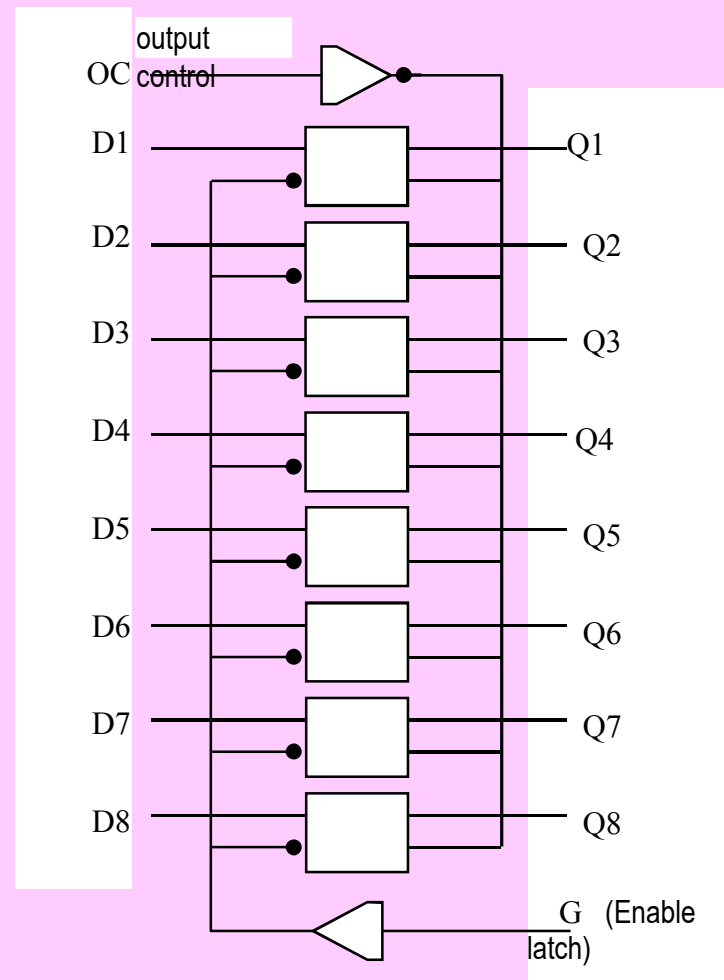


Các chân từ 24 đến 31 ở chế độ Min được đ/nghĩa như sau:

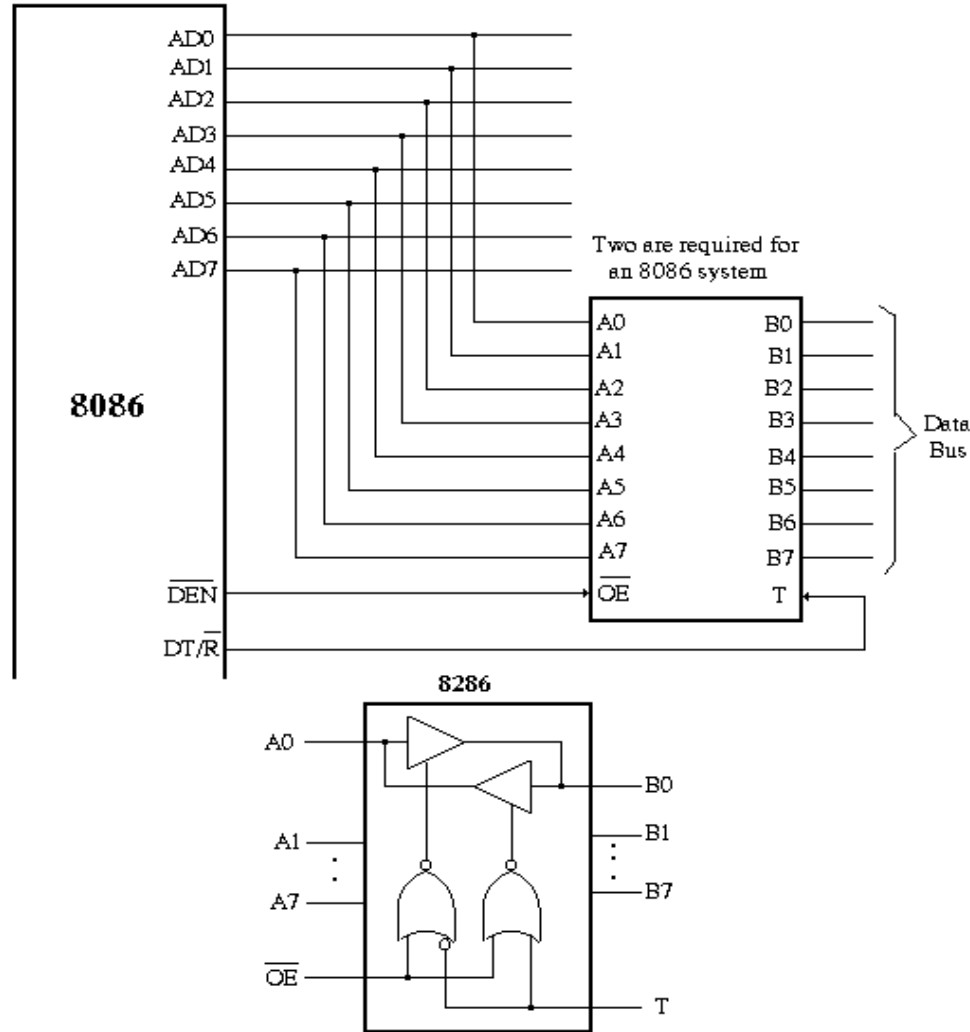
Chân	Tên	In/Out 3 Status	Mô tả
24	$\overline{\text{INTA}}$	O – 3	Trả lời ngắt
25	ALE	O	Cho Phép chốt địa chỉ
26	$\overline{\text{DEN}}$	O – 3	Cho phép gửi số liệu từ BVXL ra Bus
27	DT/ $\overline{\text{R}}$	O – 3	X/định chiều số liệu trên Bus.
28	M/ $\overline{\text{IO}}$	O – 3	BVXL Truy cập Bộ nhớ hay Vào/ra
29	$\overline{\text{RW}}$	O – 3	Kết hợp với M/, x/định kiểu truyền.
30	HLDA	O	Các cổng 3 trạng thái sẽ có mức trở kháng cao khi HLDA = 1.
31	HOLD	I	Yêu cầu treo các kênh thông tin khi nhận được HOLD, BVXL sẽ trả lời bằng HLDA =1.



Ghép BVXL với Bus địa chỉ và Bus số liệu



\overline{OC}	G	D	Q
L	H	H	H
L	H	L	L
L	L	x	No change
H	x	x	Hi Z



\overline{G}	DIR	OUT
L	L	B – A
L	H	A – B
H	x	Hi Z

Bảng chân lý của vi mạch 74LS245

Ghép Bus số liệu với BVXL

Chế độ tối đa. (Maximum).

Trong chế độ tối đa, chân MN/\overline{MX} của BVXL được nối đất (GND), khi đó các chân từ 24 - 31 được định nghĩa như sau:

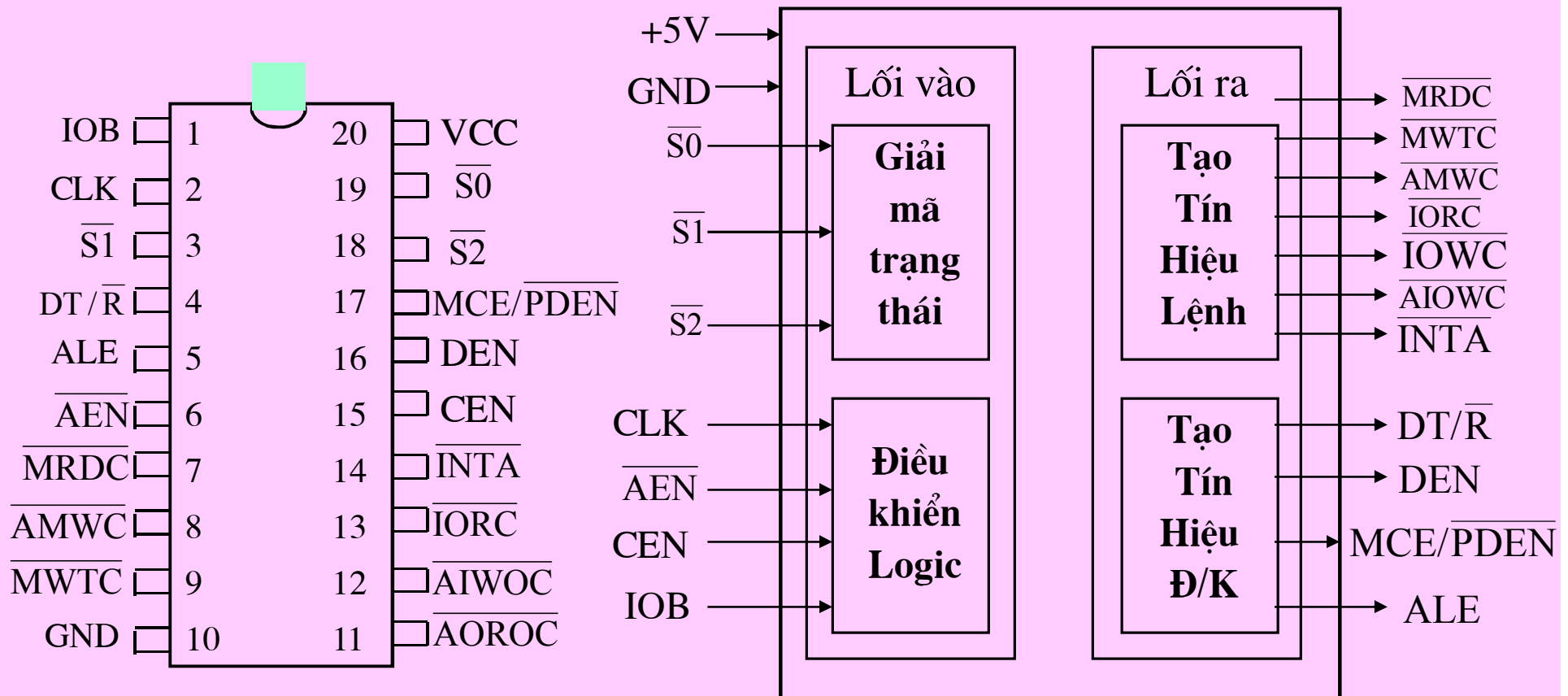
Chân	Tên	I-O-3 Status	Mô tả
24,25	QS1, QS0	O	Là trạng thái cho phép theo dõi hàng đợi lệnh.
26,27,28	$\overline{S2}, \overline{S1}, \overline{S0}$	O -3	Tín hiệu này dùng để mã hoá các chu kỳ máy
	0 0 0		Trả lời ngắt
	0 0 1		đọc số liệu từ cổng vào/ra
	0 1 0		Ghi số liệu ra cổng vào/ra
	0 1 1		Dừng
	1 0 0		Gọi lệnh
	1 0 1		đọc bộ nhớ
	1 1 0		Ghi bộ nhớ
	1 1 1		Thụ động
29	\overline{LOCK}	O -3	Không cho T/bị chủ tham nhập Data Bus
30	$\overline{QR/GT1}$	I/O	Tín hiệu treo Data Bus.
31	$\overline{QR/GT0}$	I/O	Tín hiệu treo Data Bus, có mức ưu tiên cao hơn

Sự khác nhau cơ bản của hai chế độ tối đa và tối thiểu là mạch đệm các tín hiệu điều khiển 8288.

Mạch điều khiển này biến các bits trạng thái $\overline{S_2}, \overline{S_1}, \overline{S_0}$ thành các tín hiệu ghi/đọc bộ nhớ hay vào/ra và điều khiển các mạch chốt địa chỉ 74LS373 và mạch đệm số liệu 74LS245.

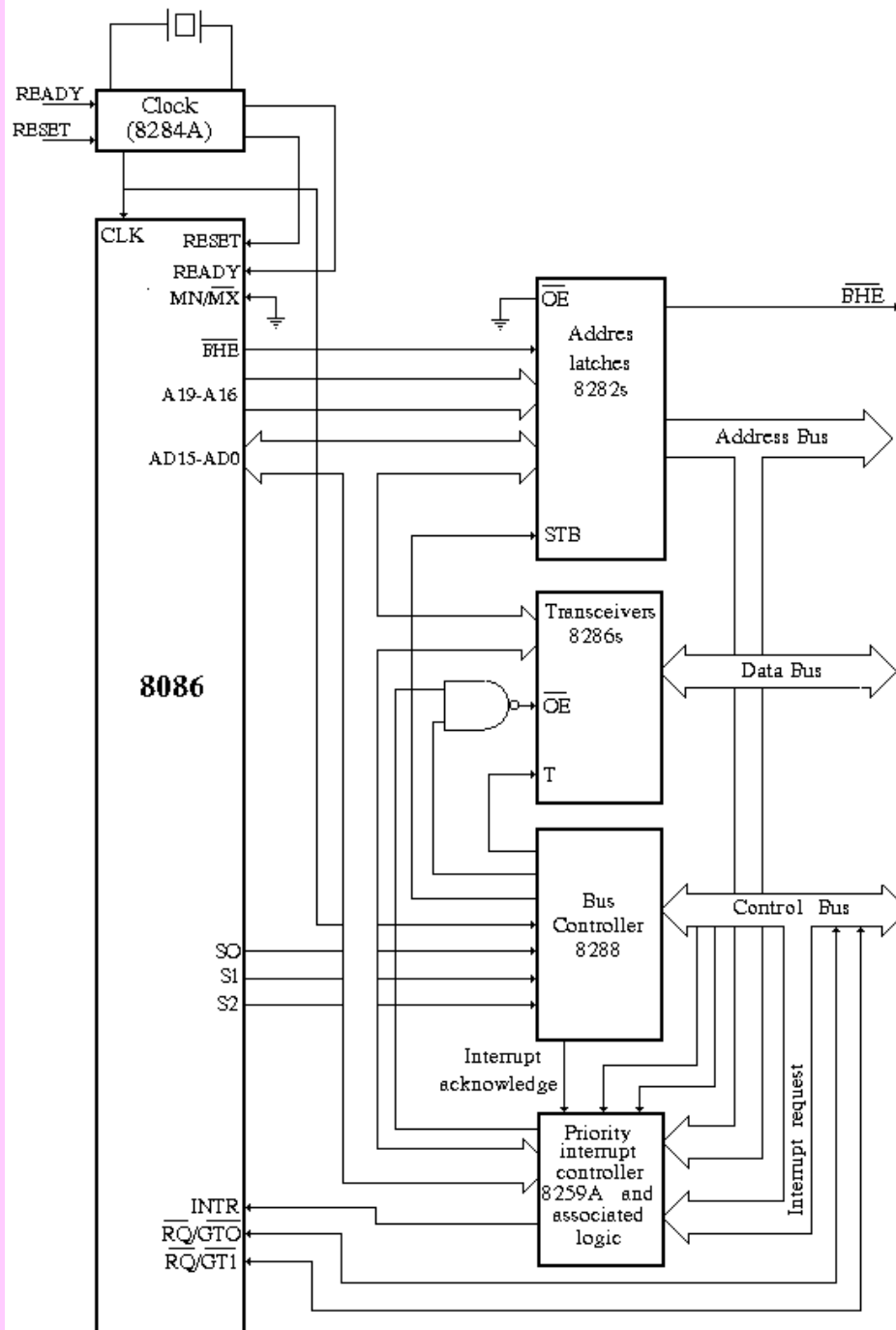
Thêm vào đó hệ thống trong các trường hợp cần thiết còn có thể có các mạch điều khiển ngắt ưu tiên dùng vi mạch 8259.

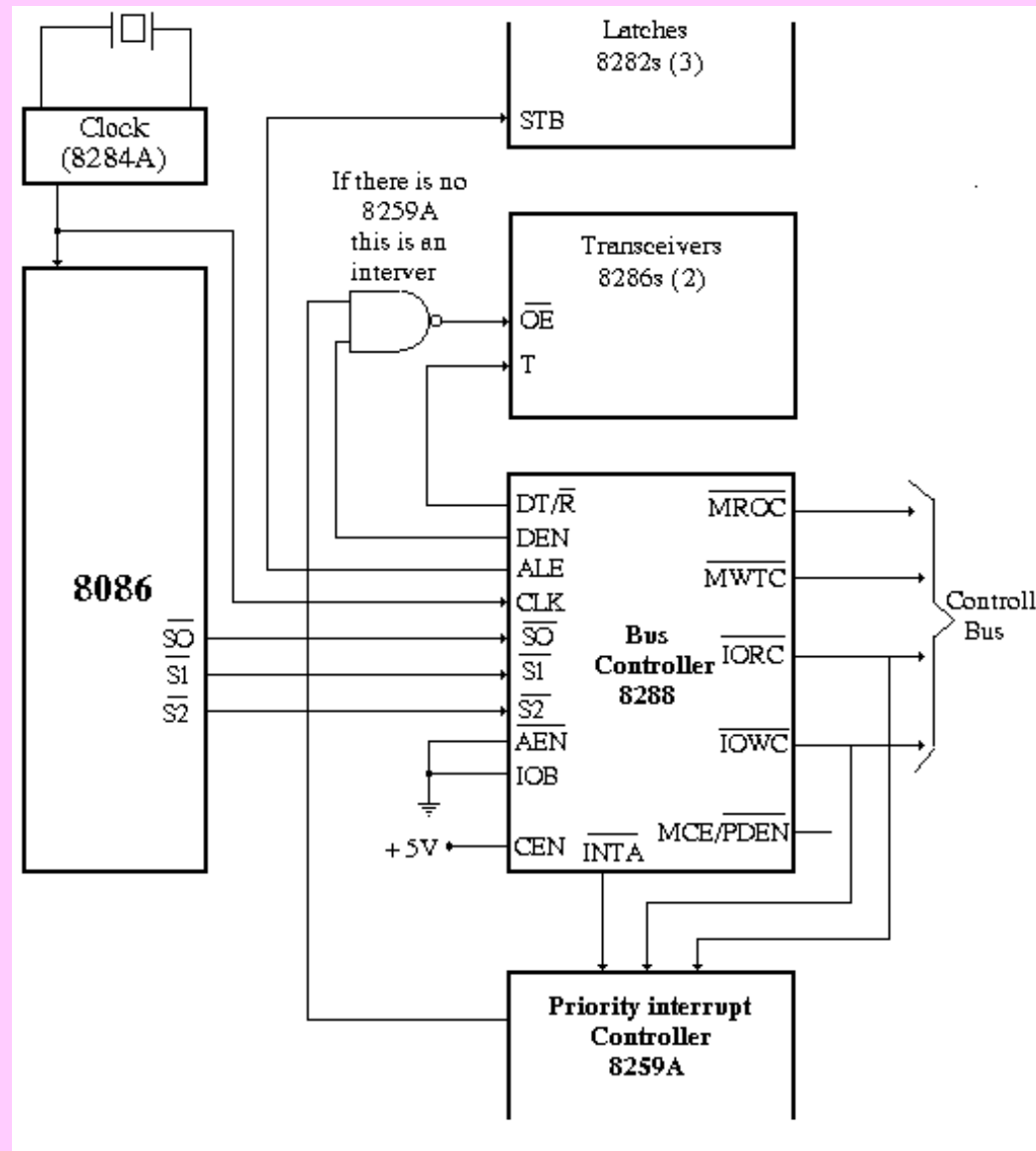
Ghép nối BVXL với Add Bus và Data Bus của máy tính IBM-PC-XT cũng giống như BVXL khi làm việc ở chế độ tối thiểu, sử dụng mạch chốt địa chỉ (74LS373) và bộ đệm hai chiều (74LS245)



Sơ đồ khối chip điều khiển BUS 8288

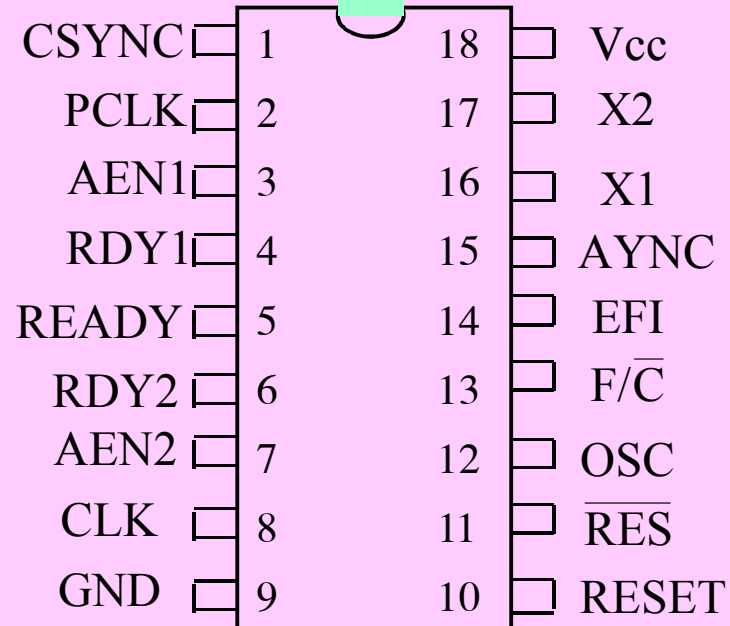
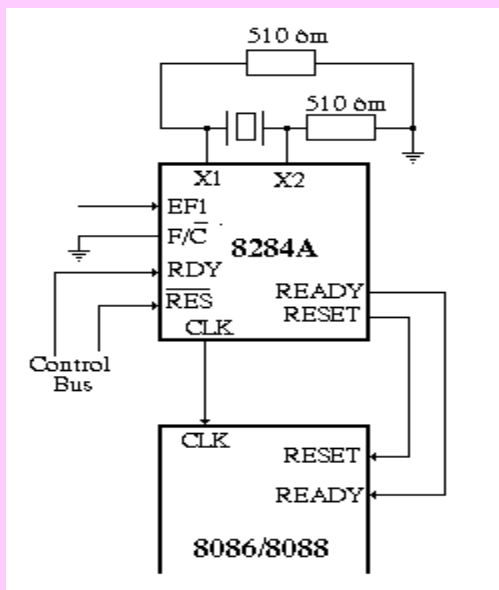
BVXL làm việc ở chế
độ Max





Nối 8288 vào Bus điều khiển

Mạch tạo dao động dùng vi mạch Intel 8284. Tín hiệu RDY chỉ ra ngoại vi sẵn sàng và tín hiệu $\overline{\text{RES}}$ yêu cầu khởi tạo lại hệ thống được đưa vào đầu vào của 8284 để tạo ra các tín hiệu READY và RESET đưa vào đầu vào BVXL. Tần số gốc cho 8284 làm việc có thể được tạo từ dao động thạch anh hoặc từ một mạch dao động khác. Khi chân $\text{F}/\overline{\text{C}}$ có mức logic "1", vi mạch 8284 làm việc từ một nguồn dao động khác đưa vào chân EFI, khi chân $\text{F}/\overline{\text{C}}$ có mức logic "0", 8284 làm việc từ nguồn dao động thạch anh được nối vào chân X1 và X2.



Câu hỏi:

1. Các thanh ghi của BVXL 8086/88 đều có độ dài 16 bits. Làm thế nào BVXL tạo được Bus địa chỉ 20 bits. Thế nào là địa chỉ Logic, địa chỉ vật lý. Tại sao nói không gian địa chỉ 20 bits của BVXL 8086/88 lại được chia thành 16 đoạn (segment)
2. Các thanh ghi đoạn CS, DS, SS, ES được kết hợp với các thanh ghi chỉ số theo quy tắc như thế nào để tạo được địa chỉ 20 bits.
3. BVXL 8086/88 có chung các đường địa chỉ/số liệu AD0 – AD7 và AD0 – AD15. Làm cách nào nó có thể tách địa chỉ và số liệu ra riêng biệt. Vai trò của các tín hiệu ALE và $\overline{\text{DEN}}$.

4. BVXL 8086/88 có hai chế độ l/v Min và Max. Hai chế độ này được dùng khi nào? Điểm khác biệt lớn nhất của 2 chế độ này khi làm việc?

5