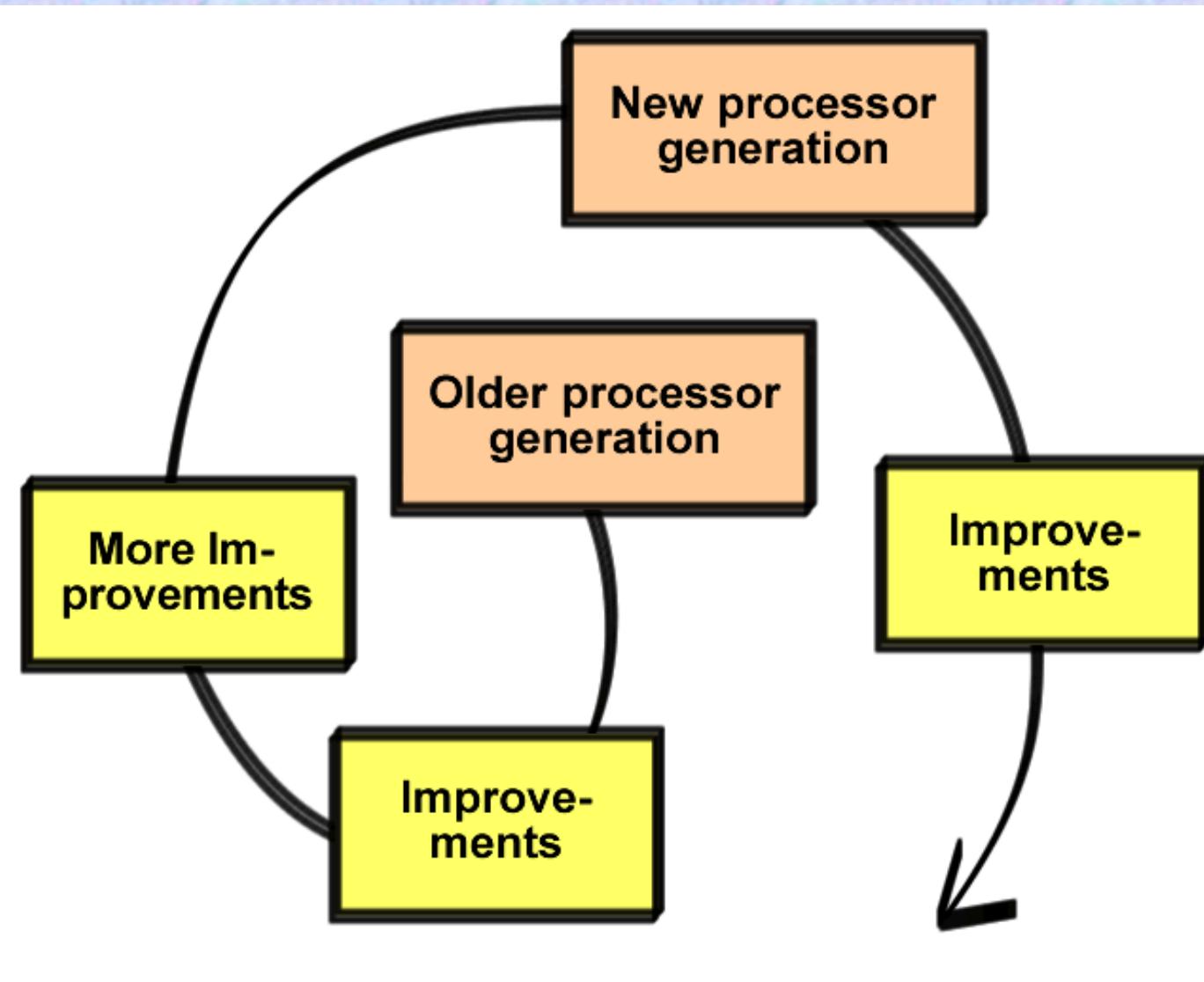


## Một số bộ VXL của Intel thời kỳ đầu

- 8086/8088 (1978)
- 80186 (1984)
- 80286 (1982)
- 80386 (1986)
- 80486 (1989)

# Các bộ vi xử lý tiên tiến Intel

1. Pentium (1993)
2. Pentium II (1997)
3. Pentium III (1999)
4. Pentium IV (2000)



Nguyên tắc xây dựng BVXL của Intel

## **BVXL 16 bits – 8086, 8088 và 80286.**

- Khả năng truy cập hơn 1MB bộ nhớ ở chế độ Max.
- Khả năng Multitasking – Tại một thời điểm HĐH có thể chạy một vài chương trình.
- Khả năng sử dụng bộ nhớ ảo *virtual memory* (Sử dụng HDD làm RAM phát triển).
- Chế độ bảo vệ mở đường để chuyển đổi từ DOS sang WINDOWS (1990)

## BVXL 32 bits – 80386 và 486

- BVXL 80386 là BVXL 32 bits đầu tiên; Không hiệu quả lẮm trong môi trường DOS.
- BVXL 386SX ra đời sau đó rẻ hơn BVXL 386DX. SX dùng 16 bits data (khác với 386DX có 32 bits data) và có giá thành hạ.
- BVXL 80486 sử dụng Cache L1; có tần số l/v gấp đôi tần số của BUS; Bộ đồng xử lý được nằm trong BVXL.
- BVXL 846 SX không dùng bộ đồng xử lý trong BVXL. Tần số l/v bằng tần số BUS.
- BVXL 80486 là BVXL có tuổi đời dài nhất trong các BVXL của Intel (từ DOS, Windows 3.11 và Win 95)

# Trao đổi số liệu giữa CPU và bộ nhớ



Without  
cache

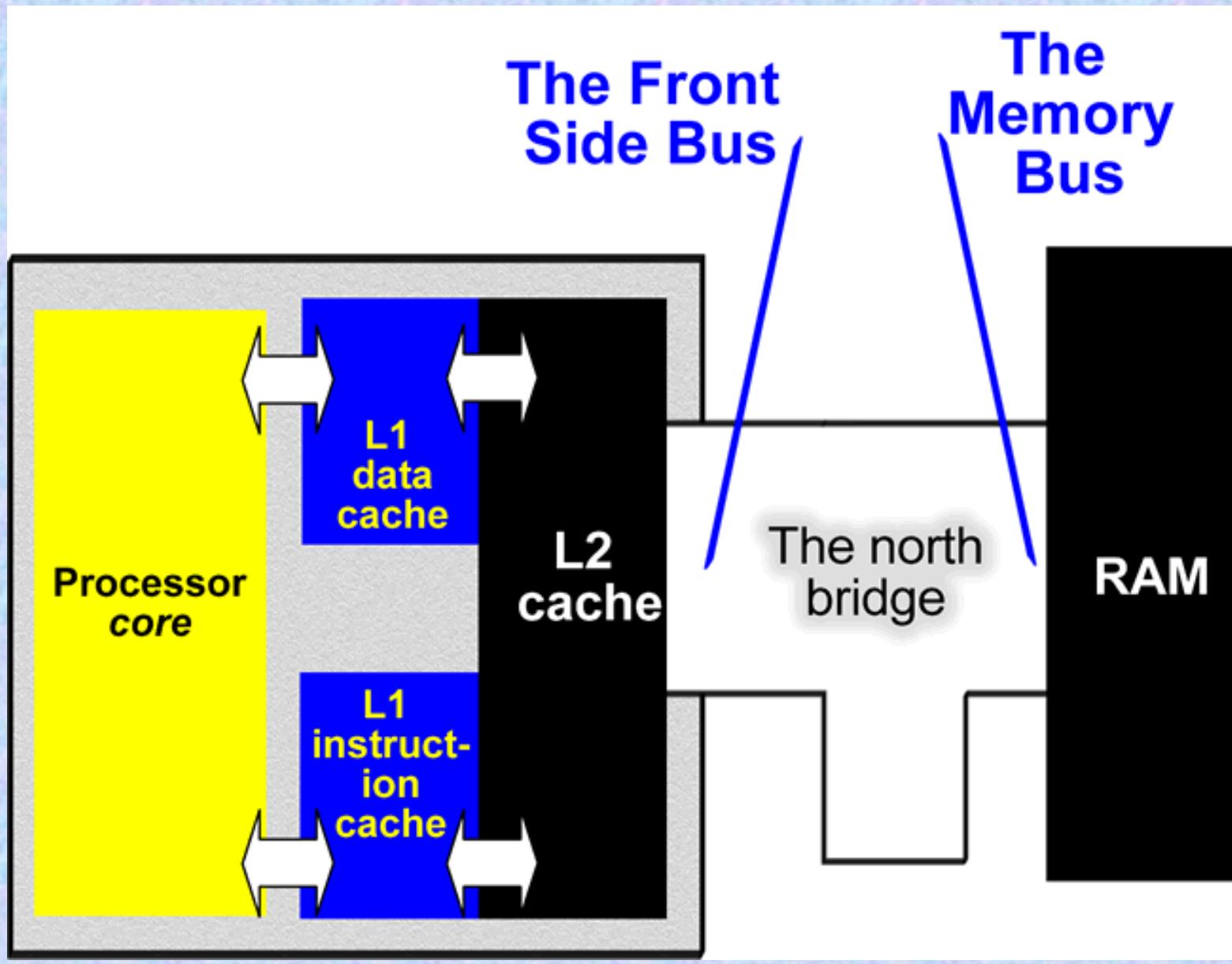


With  
cache

## **Cache L1 và L2**

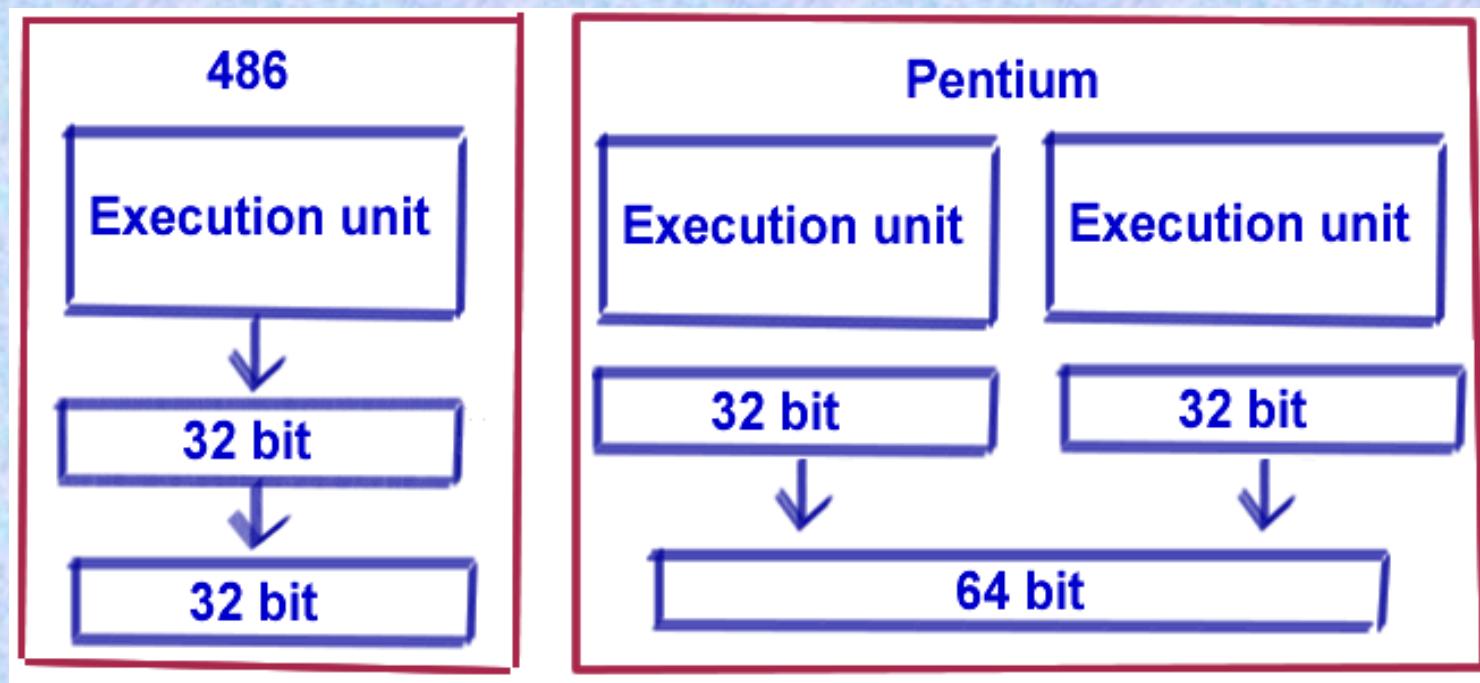
- Cache L1 nằm bên trong CPU có tần số l/v cùng với tần số của CPU; có dung lượng 8, 16, 20, 32, 64 or 128 Kbytes.
- Cache L1 được chia làm hai phần số liệu và mã lệnh.
- Cache L2 có dung lượng lớn hơn 256, 512, 1024 KB nằm ngoài CPU cho phép đọc RAM dung lượng lớn như Cache L1.
- Cache L2 có tốc độ chậm hơn Cache L1 nhưng nhanh hơn RAM.

# CPU sử dụng L1 và L2 Cache để truyền số liệu

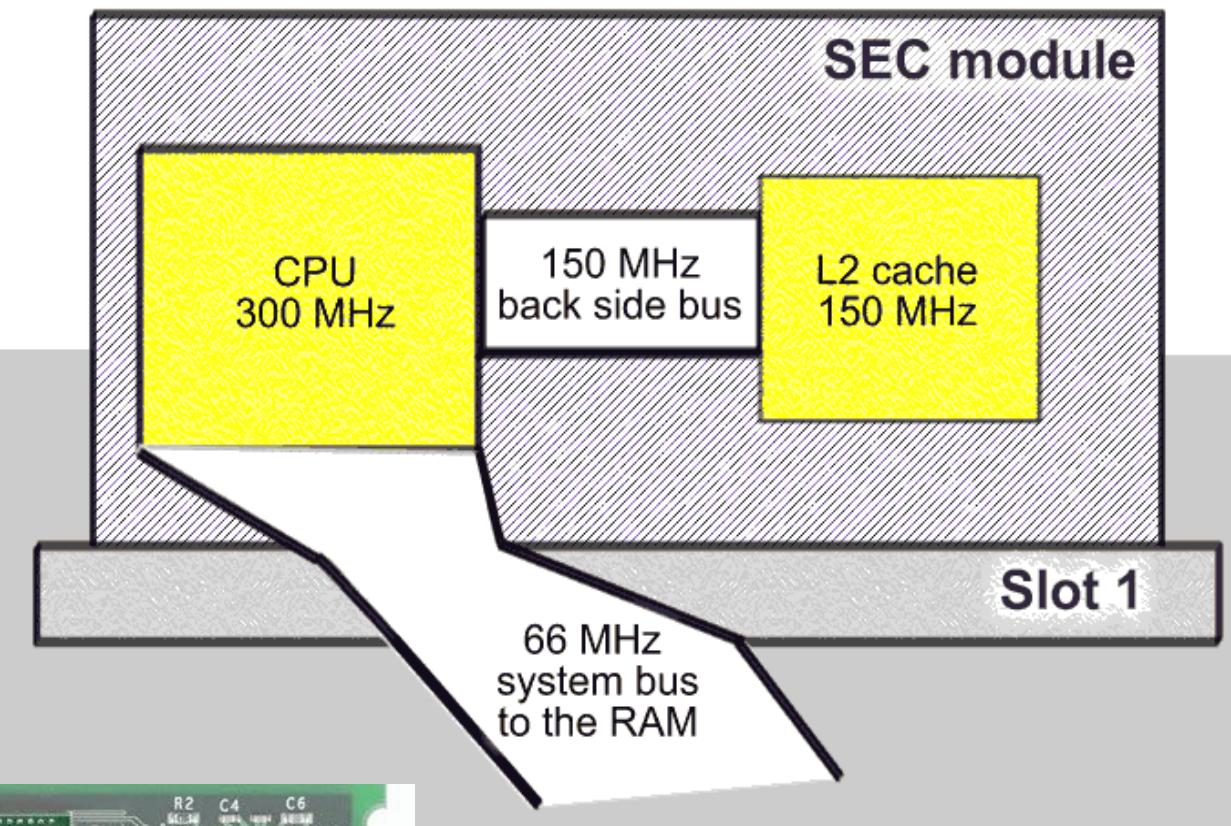


## BVXL Pentium

- Sử dụng kiến trúc *superscalar* – Tại một thời điểm BVXL có thể thực hiện một vài lệnh nhờ sử dụng đường ống nhiều tầng.
- Độ rộng BUS của RAM tăng lên 64 bits.



# BVXL Pentium II Với cấu trúc cache mới



## BVXL Pentium 4 – đường ống nhiều tầng

- Cache L1 có khả năng giải mã lệnh.
- Đường ống lên đến 20 tầng (về sau lên đến 31 tầng).
- Trong ALU có đến hai đơn vị thực hiện.
- CPU nối với RAM qua **north bridge** có khả năng truyền 4 gói số liệu trên một clock (tương đương 4\*100 Mhz; 4\*133 Mhz; 4\*200 Mhz; 4\*266 Mhz).
- Có chế độ **Hyper Threading** – Trong một số trường hợp nó có thể hoạt động như 2 BVXL riêng biệt.

# BVXL Pentium 4

L1 cache  
stores  
micro-ops

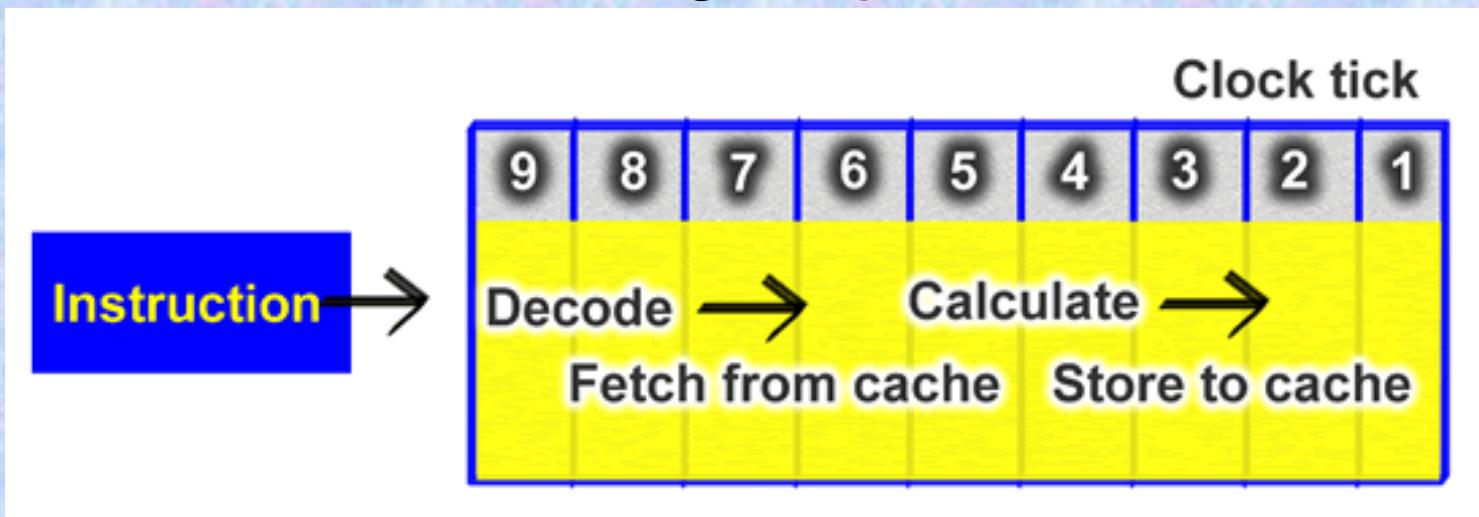
Double-  
clocked  
ALU

20 stage pipeline

Memory Bus  
quad-pumped:  
4X data per clock tick

## Tổ chức đường ống - Pipelines

- Lệnh máy được chia nhỏ (micro instructions) và được chia vào các tầng *stages* để thực hiện.



- Sau mỗi một **clock tick** mỗi *stages* sẽ thực hiện 1 micro instructions

# Chu kỳ lệnh

**Một chu kỳ thực hiện lệnh máy gồm những giai đoạn chính sau:**

1. Đọc lệnh (Instruction Fetch - IF): lệnh cất từ ô nhớ sẽ được đọc vào thanh ghi lệnh.
2. Giải mã lệnh (Instruction Decode - ID): Lệnh trong thanh ghi lệnh sẽ được giải mã
3. Thực hiện lệnh (Execute – EX): Lệnh thực hiện theo mô tả của lệnh trong tập lệnh.
4. Đọc bộ nhớ (MEM – Memory access)
5. Lưu trữ kết quả (RS – Result)

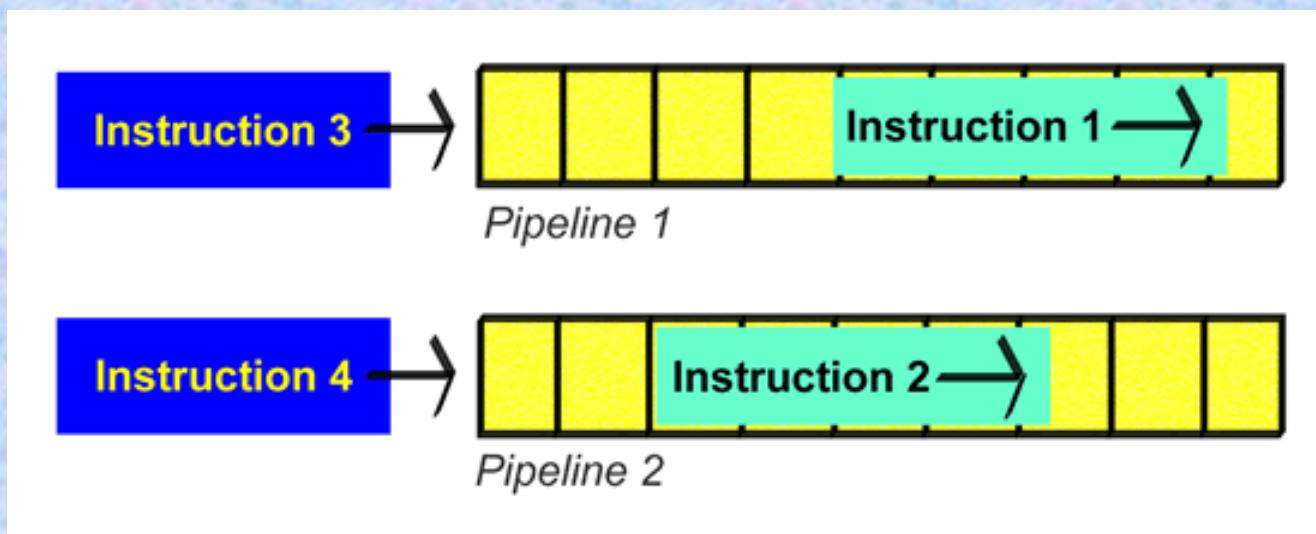
Giả sử mỗi giai đoạn được thực hiện trong một chu kỳ xung nhịp. Mô tả cơ chế đường ống:

Chuỗi lệnh	Chu kỳ xung nhịp								
	1	2	3	4	5	6	7	8	9
Lệnh thứ I	IF	ID	EX	MEM	RS				
Lệnh thứ I + 1		IF	ID	EX	MEM	RS			
Lệnh thứ I + 2			IF	ID	EX	MEM	RS		
Lệnh thứ I + 3				IF	ID	EX	MEM	RS	
Lệnh thứ I + 4					IF	ID	EX	MEM	RS

Các giai đoạn khác nhau của nhiều lệnh được thi hành trong cùng một thời điểm

## Tổ chức đường ống – Pipelines trên BVXL P4

- BVXL P4 có đường ống nhiều lớp cho phép thực hiện đến 126 lệnh tại một thời điểm



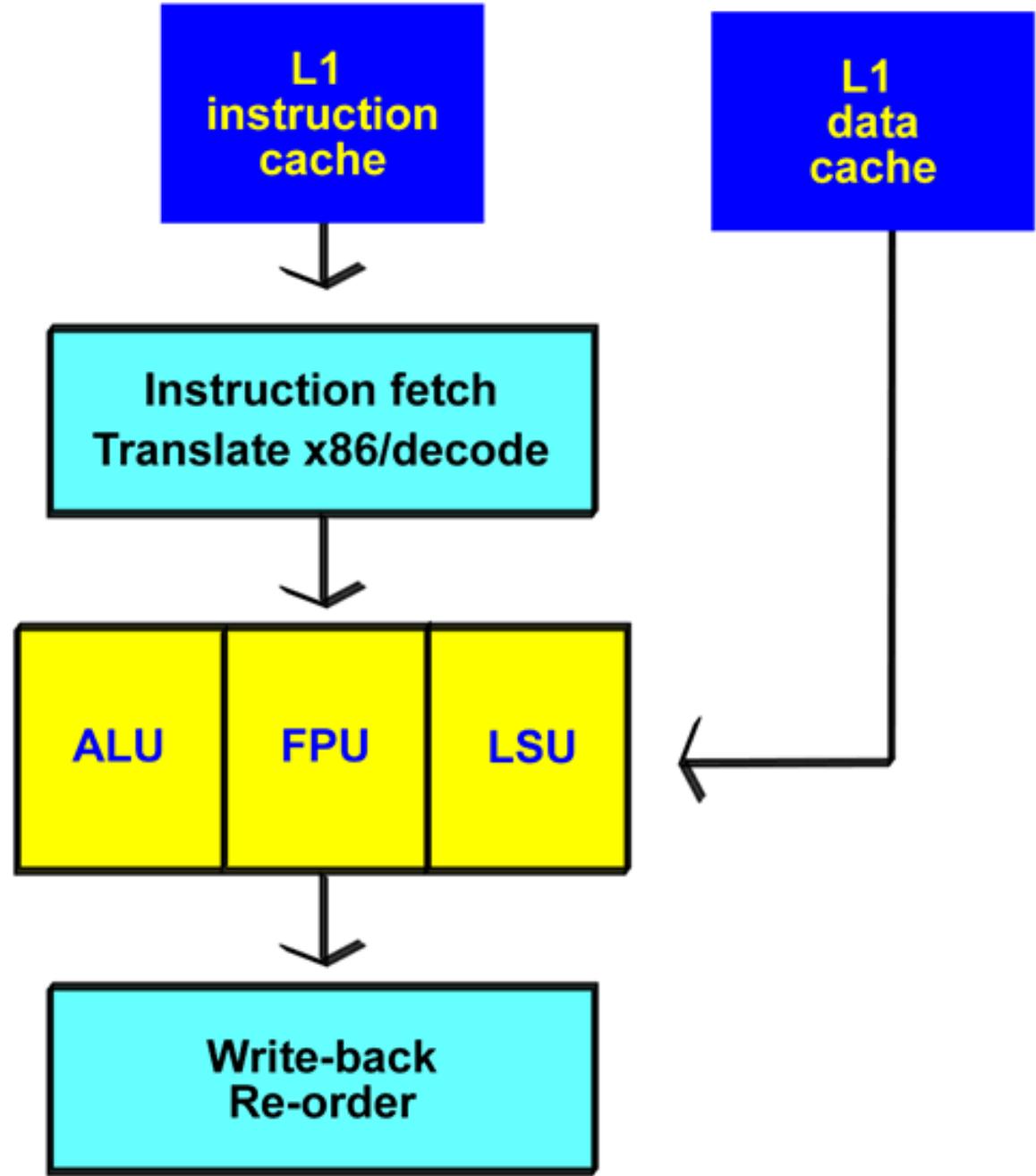
# **Điều kiện của BVXL khi thực hiện cơ chế đường ống**

- Mỗi giai đoạn lệnh cần có 1 mạch điện riêng.
- Phải có nhiều thanh ghi khác nhau cho cùng 1 thao tác.
- Giải mã lệnh cần thực hiện trong 1 chu kỳ.
- ALU cần thực hiện lệnh trong thời gian ít hơn 1 chu kỳ xung nhịp.
- Phải có nhiều thanh ghi lệnh để lưu giữ lệnh cho mỗi giai đoạn thi hành lệnh.
- Phải có nhiều bộ đếm chương trình để phục vụ cho các quá trình ngắt

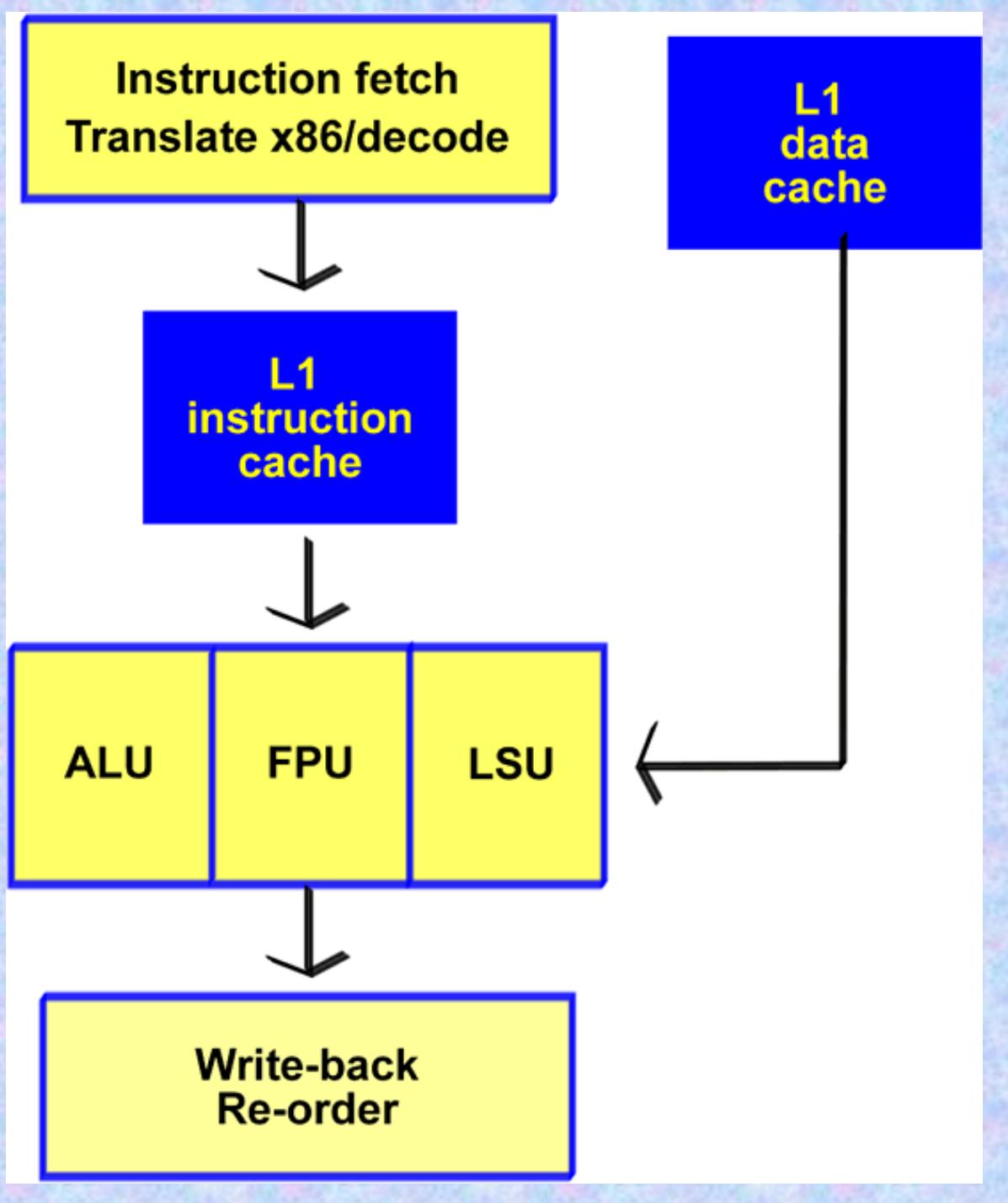
## **Khó khăn khi thực hiện cơ chế đường ống**

- **Khó khăn do cấu trúc – BVXL cần có** nhiều ALU, PC, nhiều thanh ghi lệnh.v.v.
- **Khó khăn do số liệu – Khi kết quả của lệnh** này là số liệu đầu vào cho lệnh kế tiếp.
- **Khó khăn do điều khiển – Khi chương** trình gấp các lệnh nhảy.

The passage of instructions through the pipeline

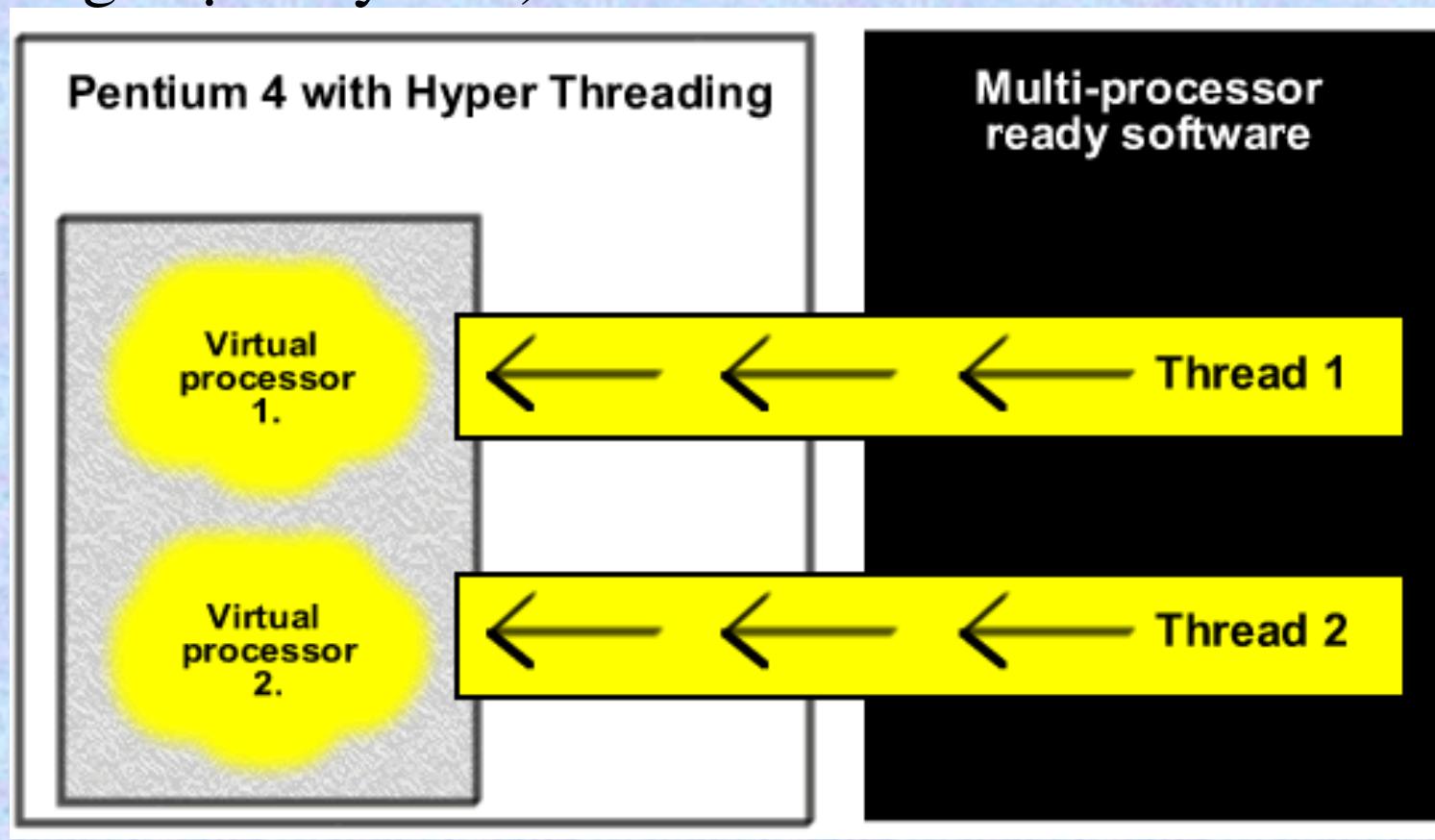


In the P4, the instruction cache stores decoded micro instructions.



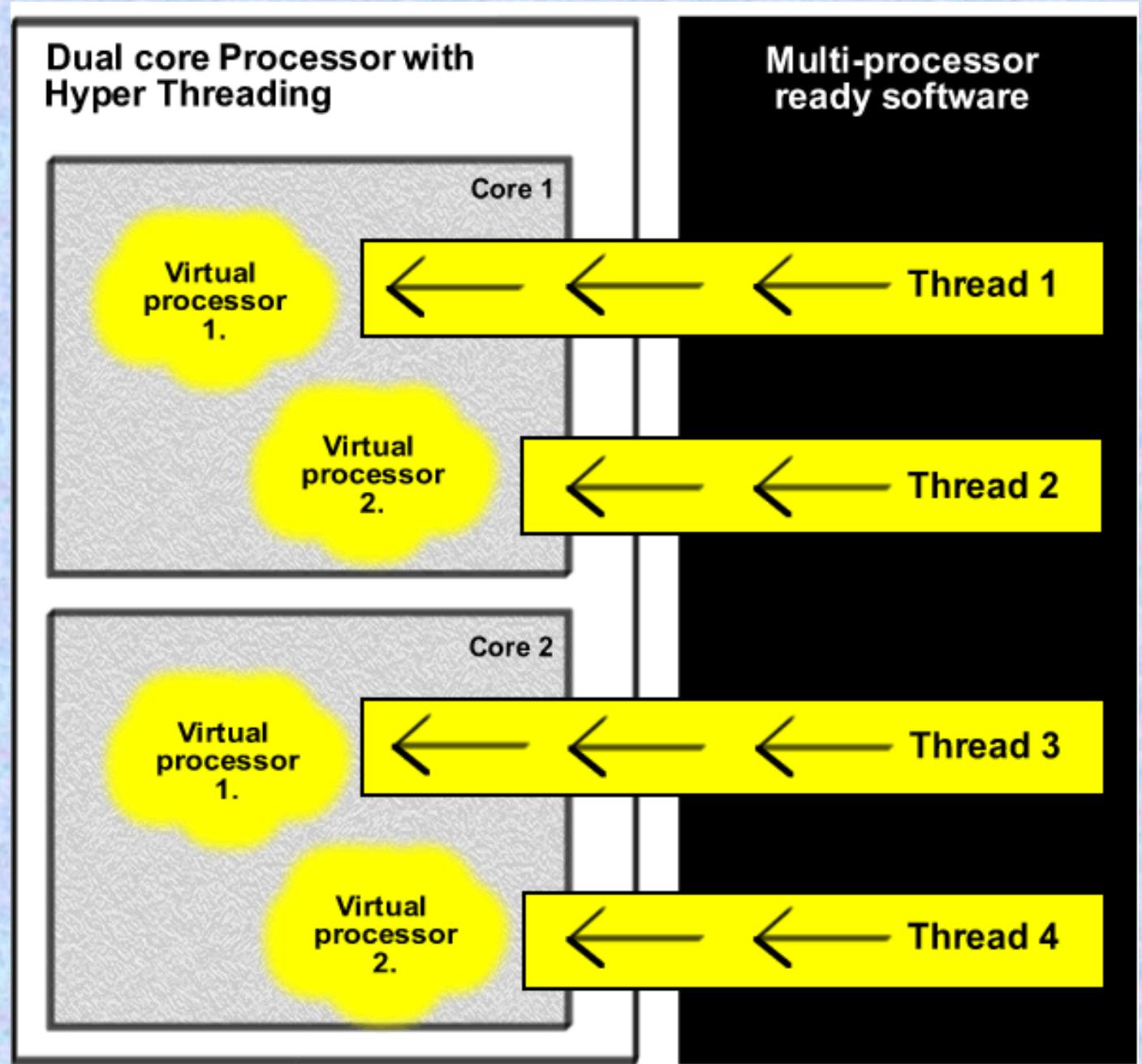
# Hyper-Threading Technology

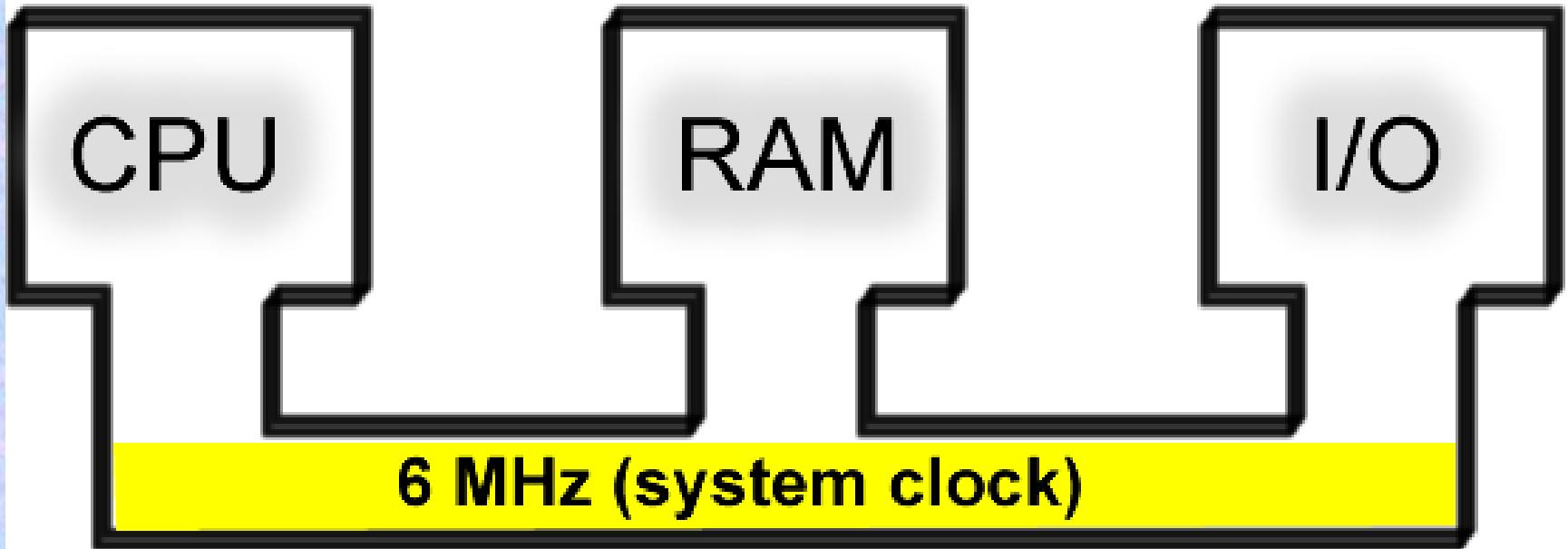
- Để khai thác hết cấu trúc đường ống; BXVL P4 cho phép tại một thời điểm xử lý 2 lệnh. Các BXVL thế hệ trước chỉ xử lý 1 lệnh. (Tương đương với việc sử dụng 2 CPU trong một máy tính).



# Dual-core processors

- Sử dụng 2 CPU/ chip.

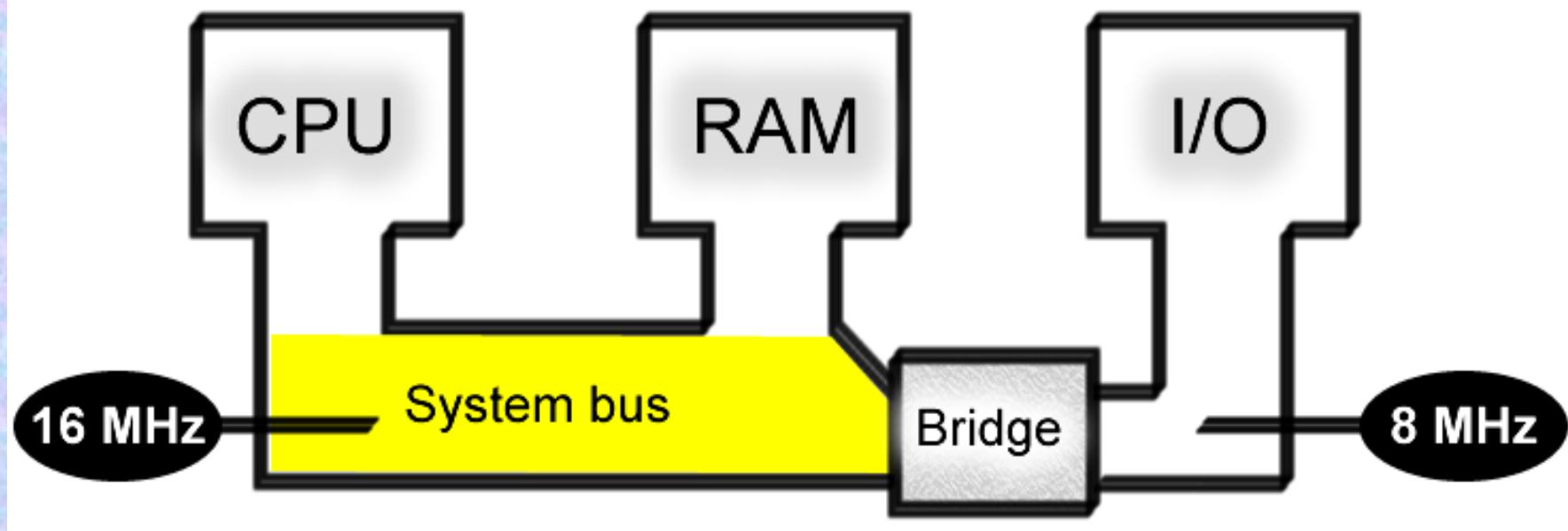




In the original PC architecture, there was only one bus with one speed.

Trên máy XT ban đầu CPU, RAM và I/O cùng được nối vào 1 BUS.

Năm 1987 Compaq đưa ra ý tưởng chia đồng hồ hệ thống thành hai hệ khác nhau CPU và RAM làm việc cùng một tần số độc lập với tần số của I/O

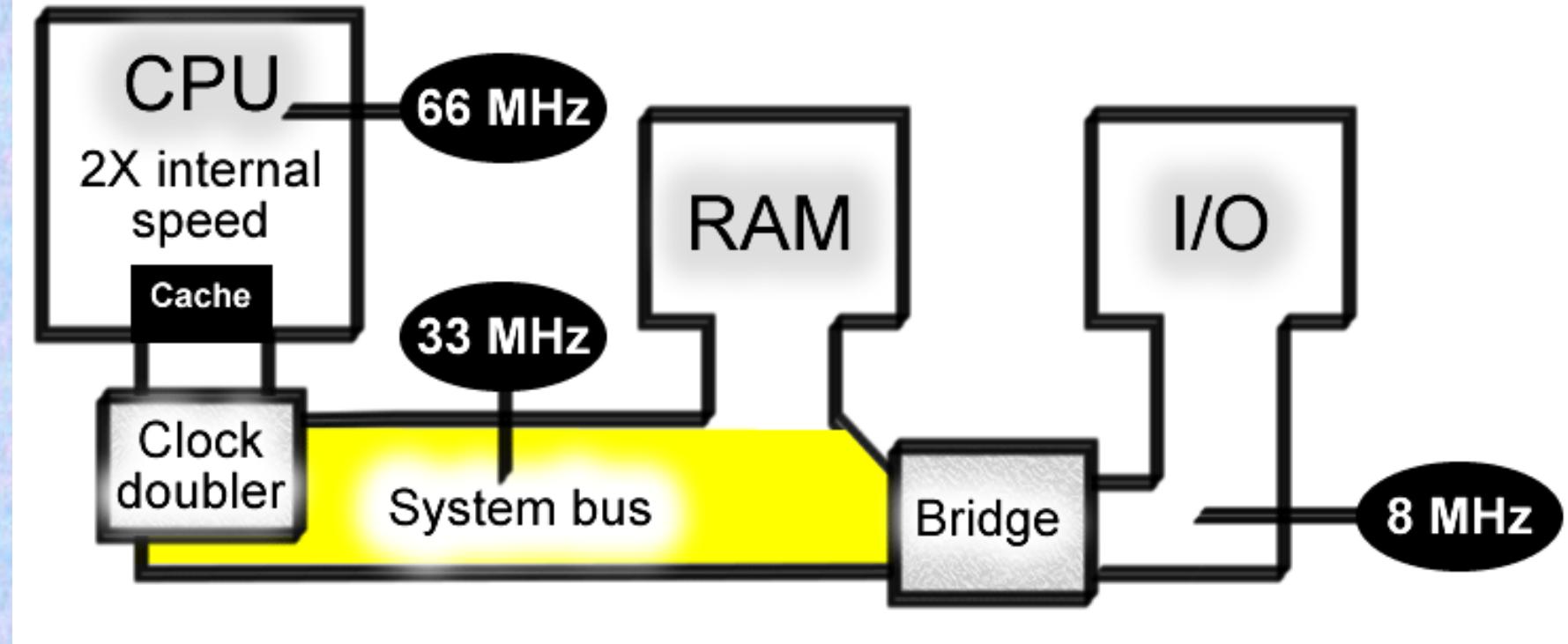


The I/O bus is separate from the system bus (80386).

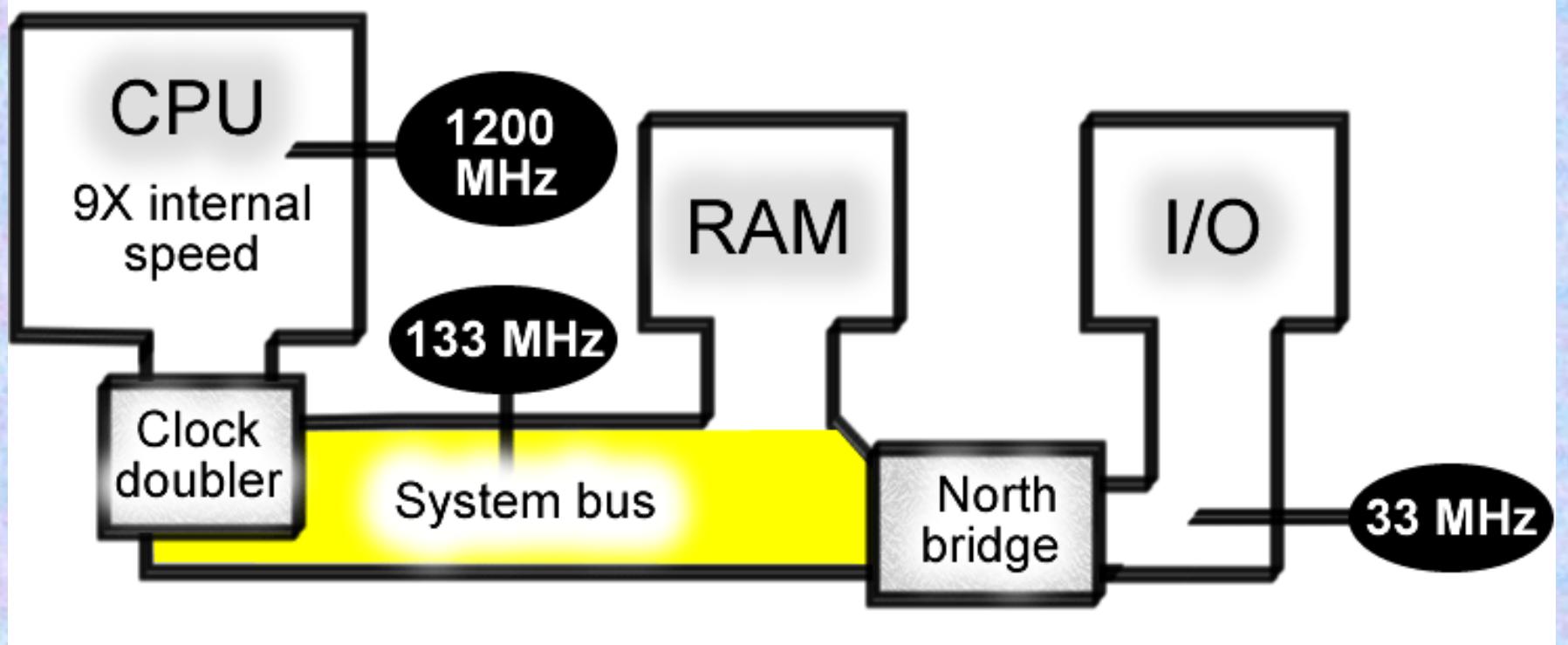
Kết nối giữa hai BUS là một thiết bị được gọi là cầu nối “bridge”

Đó là tổ chức MultiBus đầu tiên trên các MainBoard hiện nay .

Từ BVXL 486 Intel bắt đầu sử dụng “*clock doubling*” trong BVXL.



Tần số l/v của BVXL bằng tần số làm việc của BUS nhân 2.  
Để khắc phục tần số làm việc của CPU quá cao so với RAM,  
Intel đưa bộ nhớ Cache L1 vào bên trong CPU.  
Bộ nhớ Cache L1 không làm tăng dải thông, nhưng nó đảm  
bảo tăng hiệu suất truyền số liệu của CPU



The bus system for a Pentium III processor

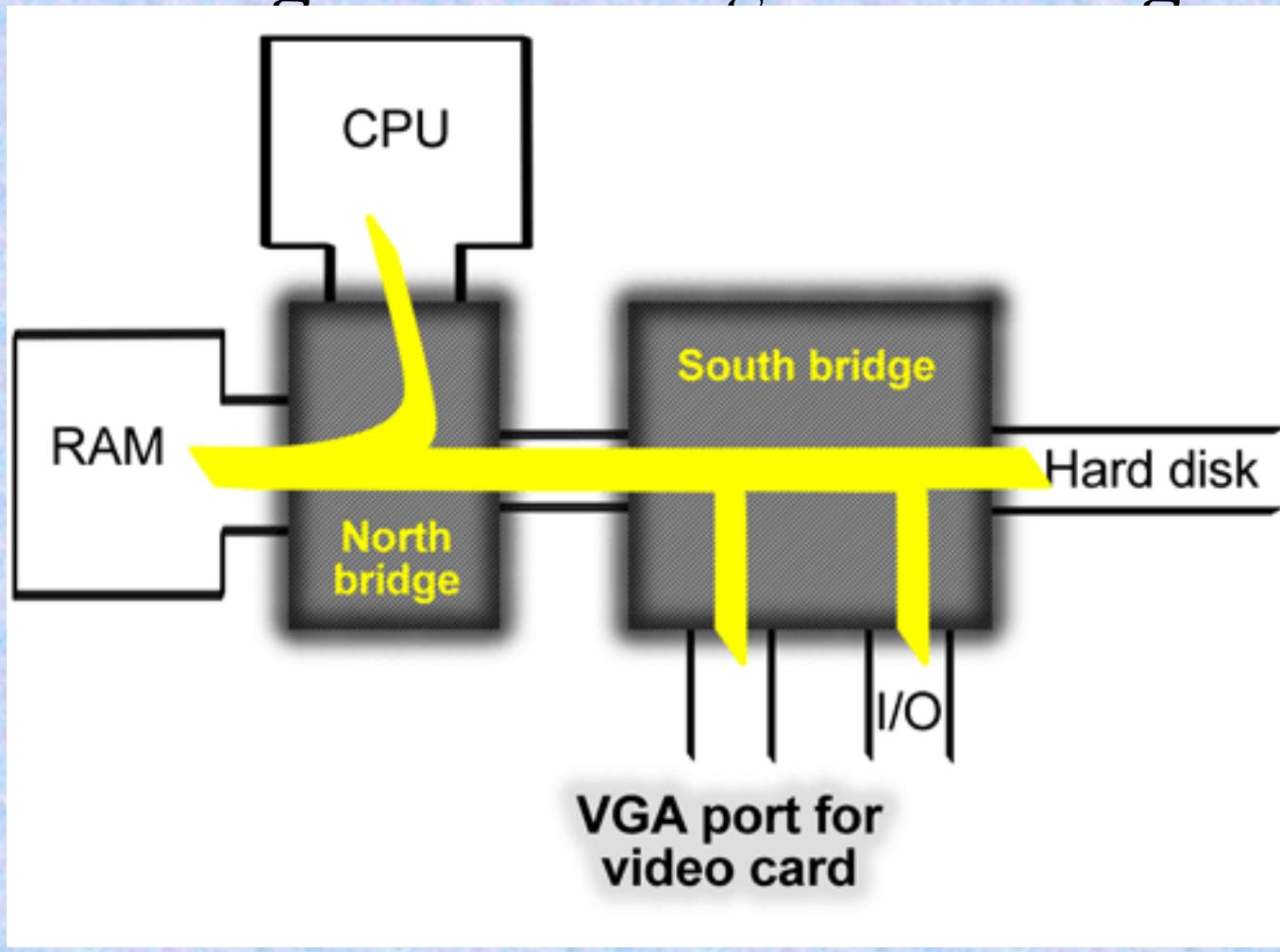
## The chip set

Bus của MainBoard được điều khiển bởi rất nhiều mạch phần cứng có các chức năng khác nhau. Tất cả chúng được đóng trong một mạch tích hợp cực lớn gọi là **chipset**.

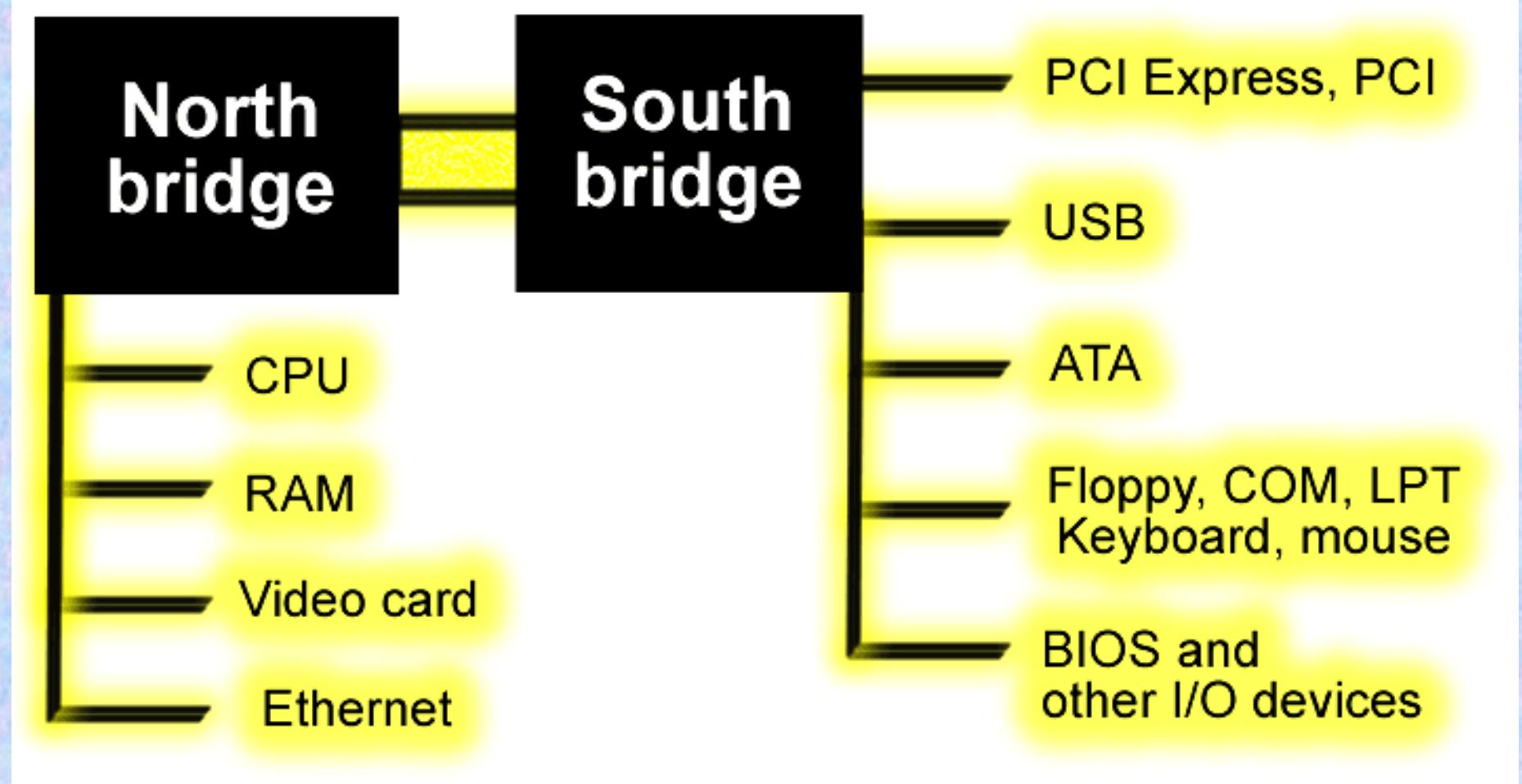
Cấu trúc phổ biến nhất của chipset gồm 2 chip thường gọi là **north and south bridges**.

# Chipsets and hubs

- Từ năm 1997 cấu trúc của Chipset không chỉ có **north bridge** còn bổ xung **south bridge**



# Chipsets and hubs



The south bridge connects a large number of different devices with the CPU and RAM.

# So sánh System Bus và I/O Bus

<b>Bus</b>	<b>The north bridge's buses</b>	<b>The I/O buses</b>
Variants	FSB, RAM, AGP, PCI Express X16	ISA, PCI, PCI Express, USB, ATA, SCSI, .
Connects	CPU, RAM, Video, Ethernet	All other devices
Clock freq	66 - 1066 MHz	Typically 10-33 MHz
Maximum capacity	> 3 GB/sec	Typically 20-500 MB/sec. Per bus





# Cấu trúc và tổ chức các bo mạch hiện đại

1. Cấu trúc vật lý
2. Các kiểu bảng mạch
3. Tổ chức bảng mạch chính
4. Bảng mạch chính D850GB cho PENTIUM IV

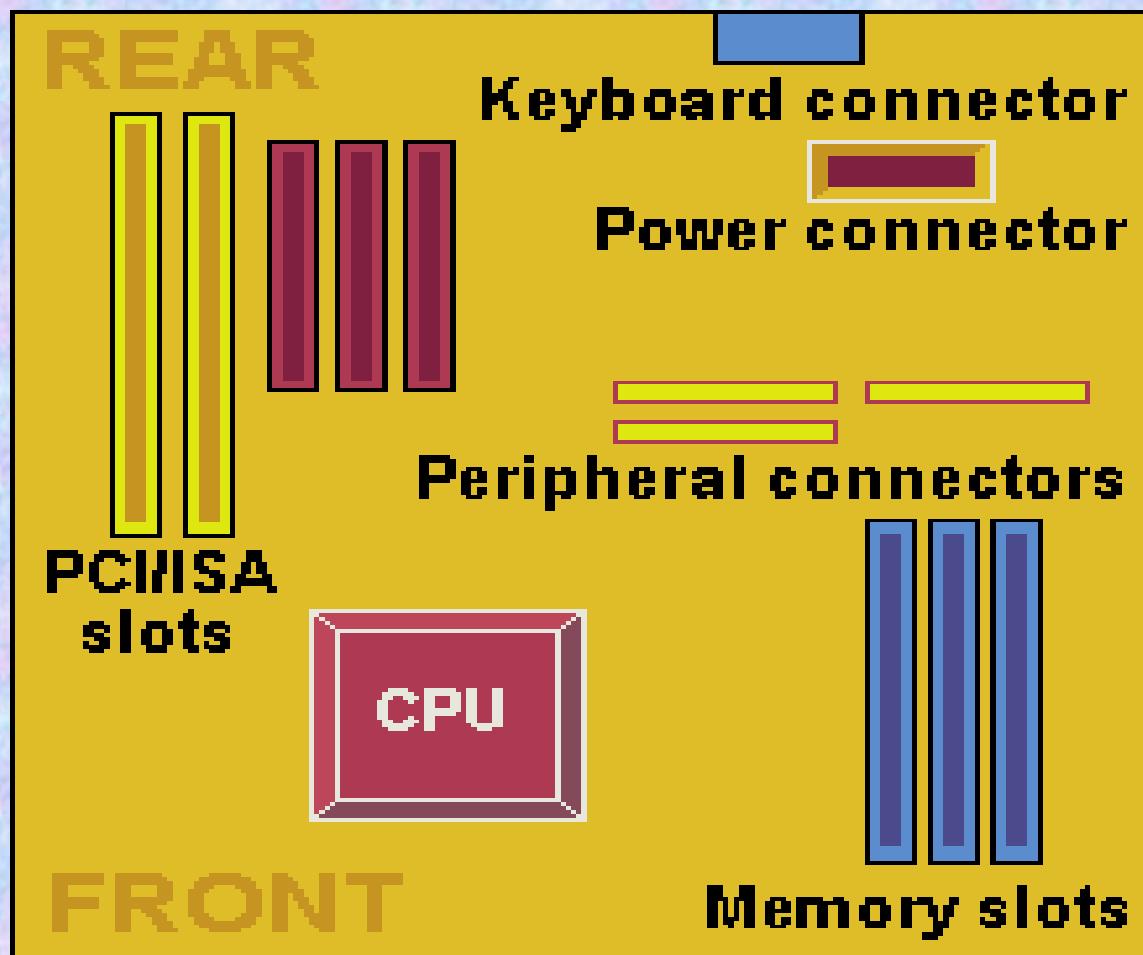


# 1. Cấu trúc vật lý

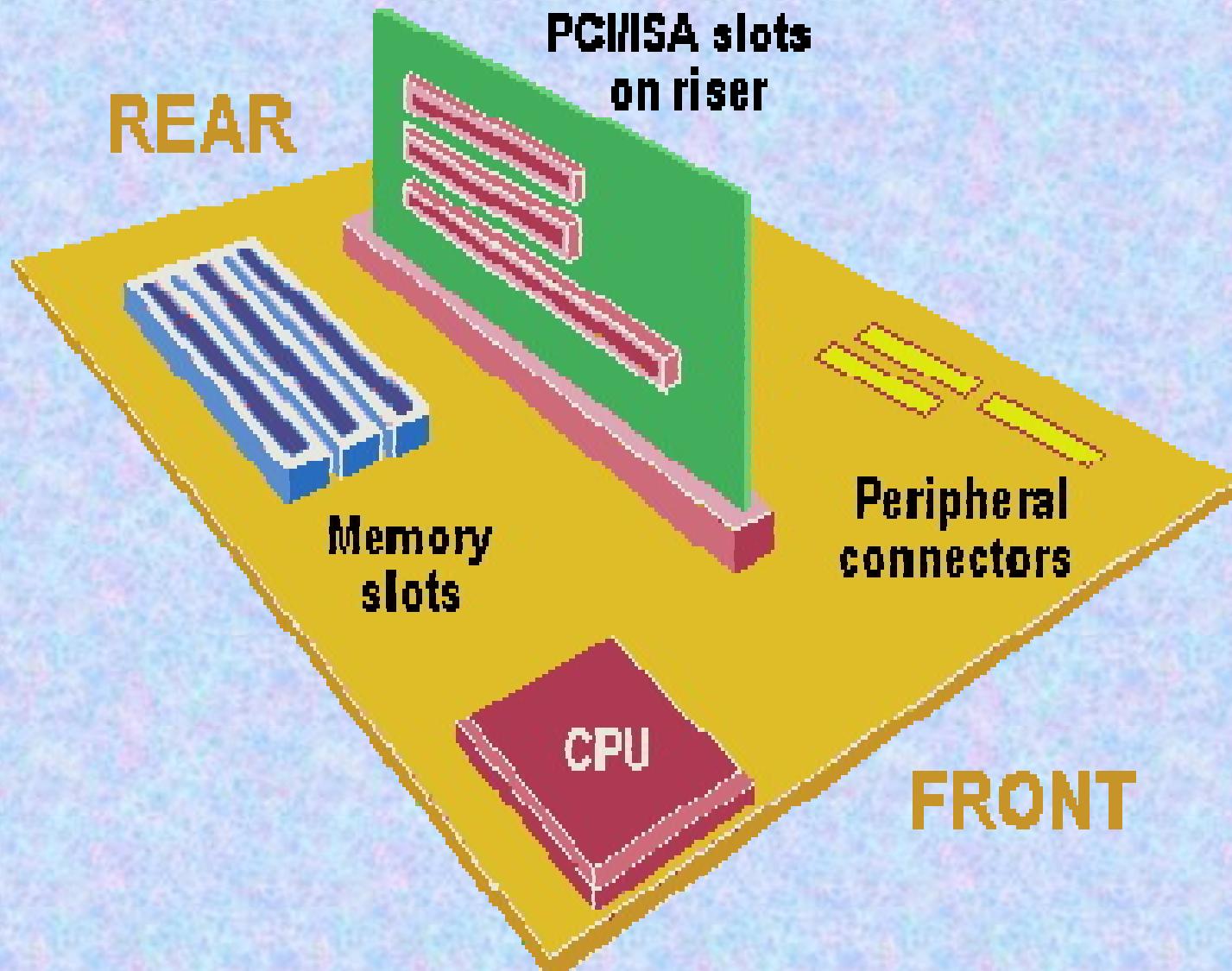
- ✓ Yêu cầu
- ✓ Một số công nghệ
  - Công nghệ mạch in nhiều lớp (PCB - Multilayer Printed Circuit Board)
  - Công nghệ dán linh kiện (Surface Mounted Technology)
  - Công nghệ dùng Chipset

## 2. Các kiểu bảng mạch

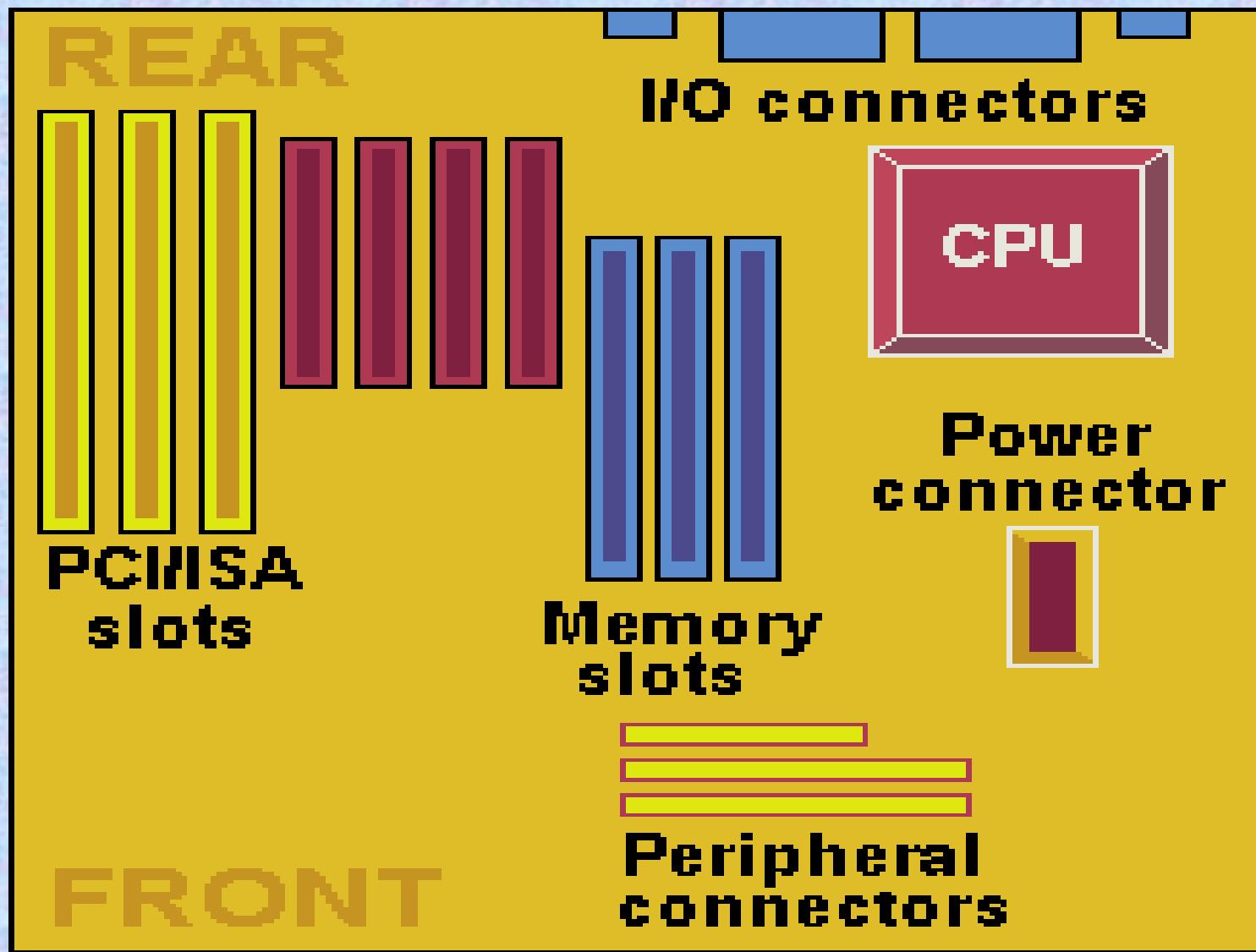
*Bảng mạch Baby AT (BAT)*



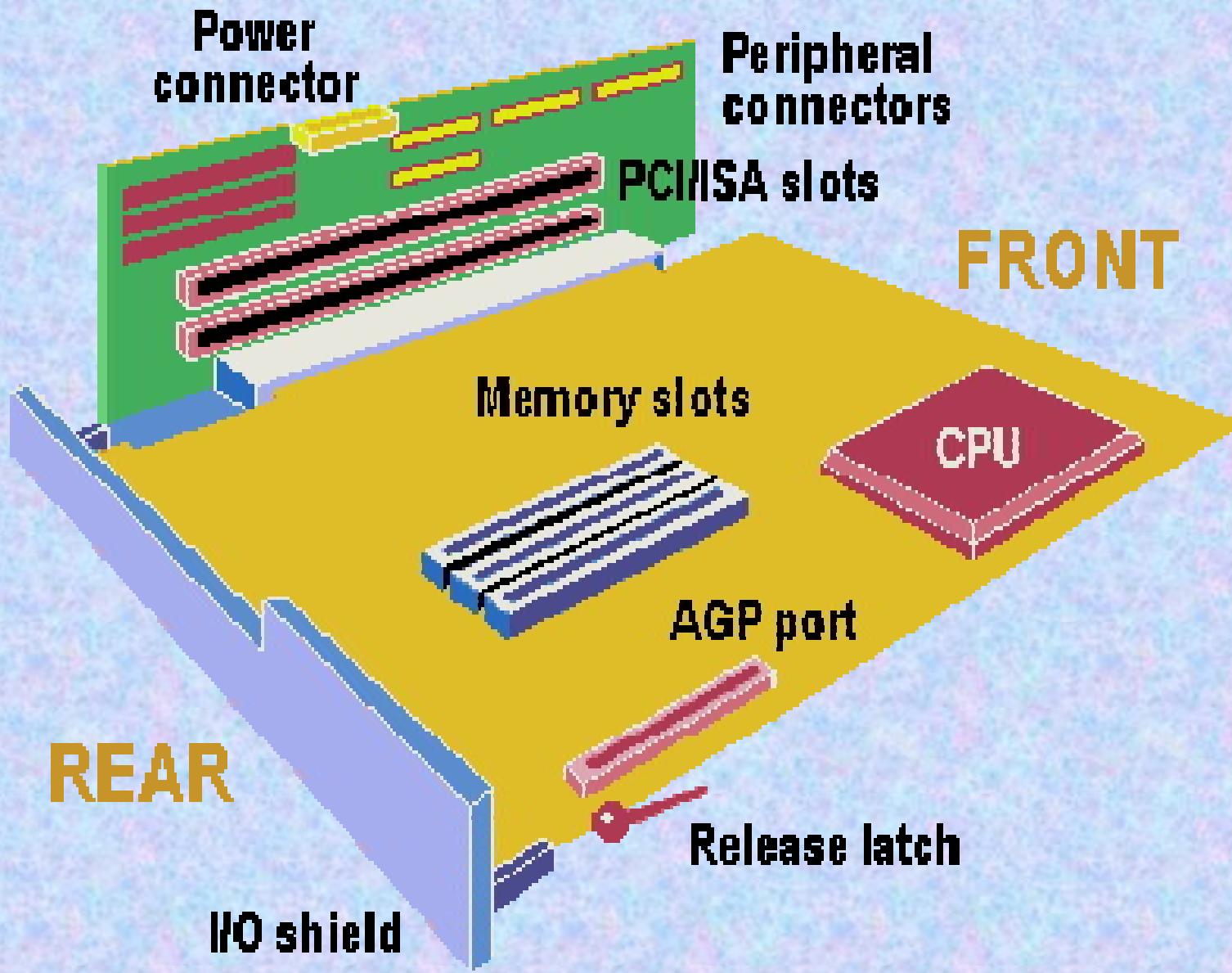
# *Bảng mạch LPX*



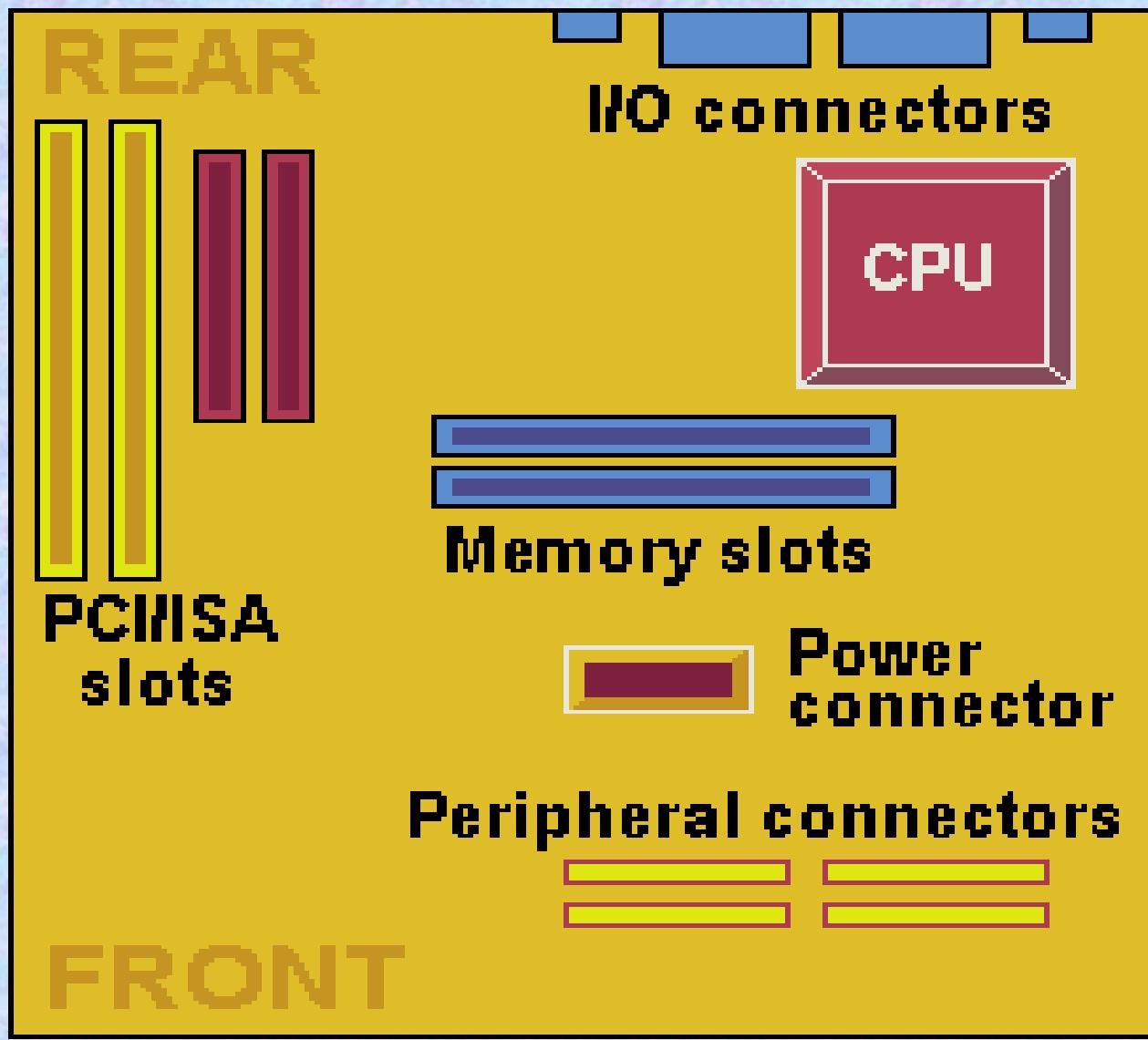
# Bảng mạch ATX



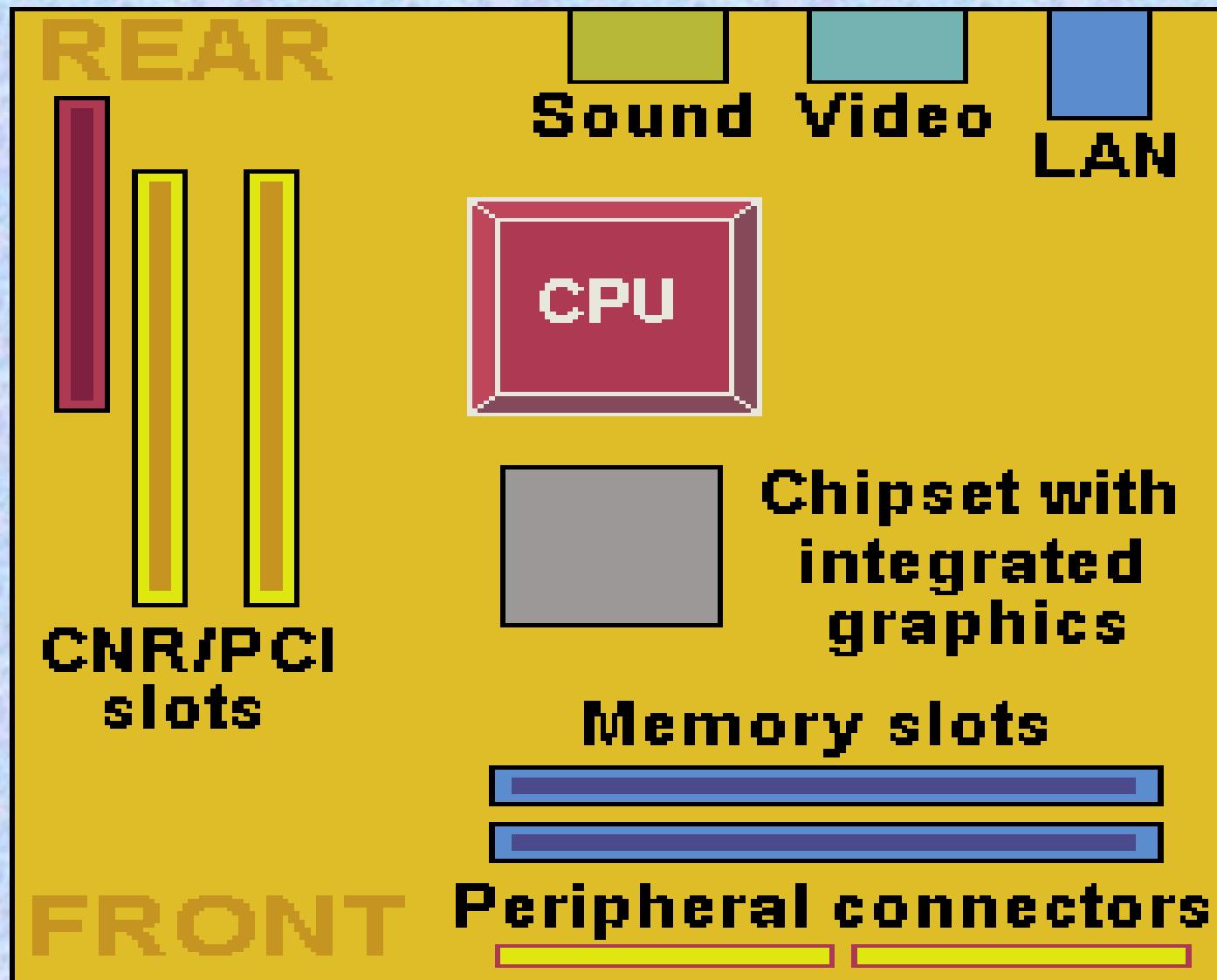
# *Bảng mạch NLX*



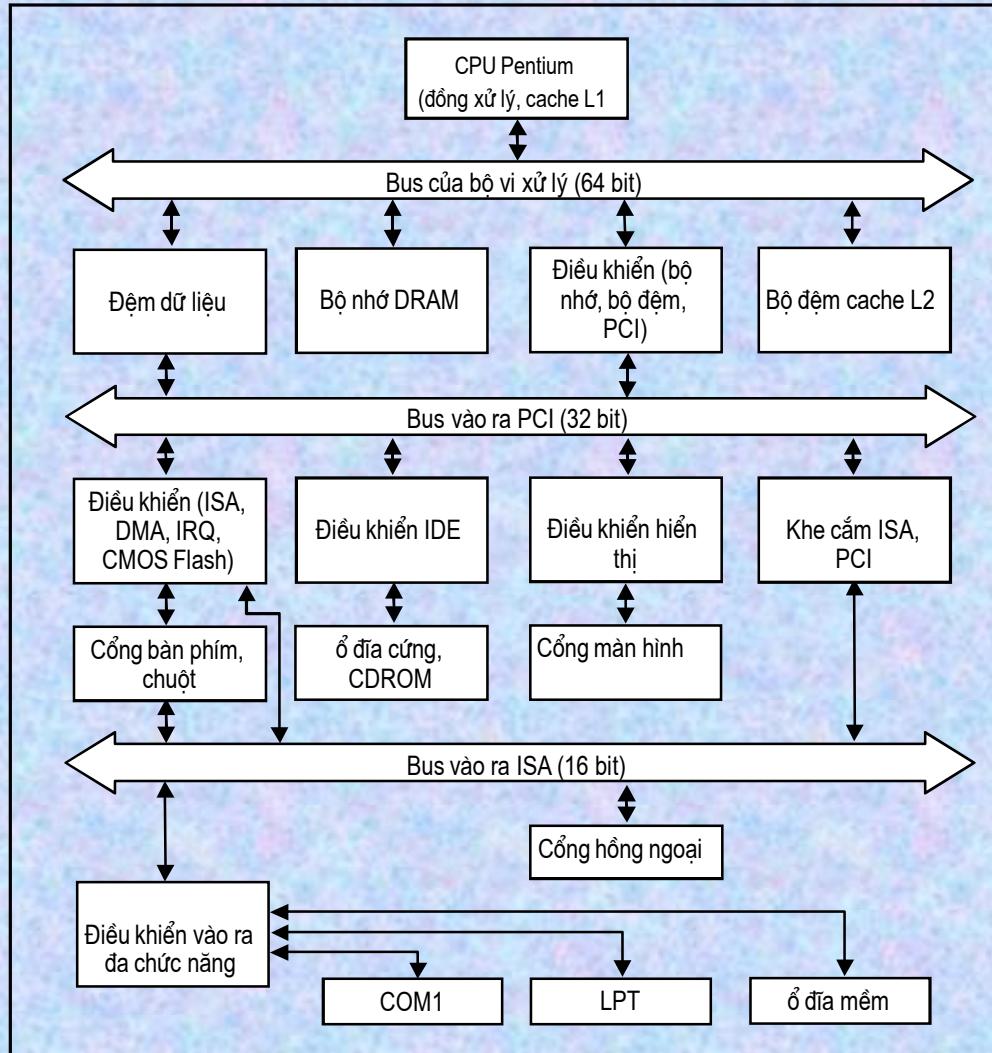
# *Bảng mạch Micro ATX*

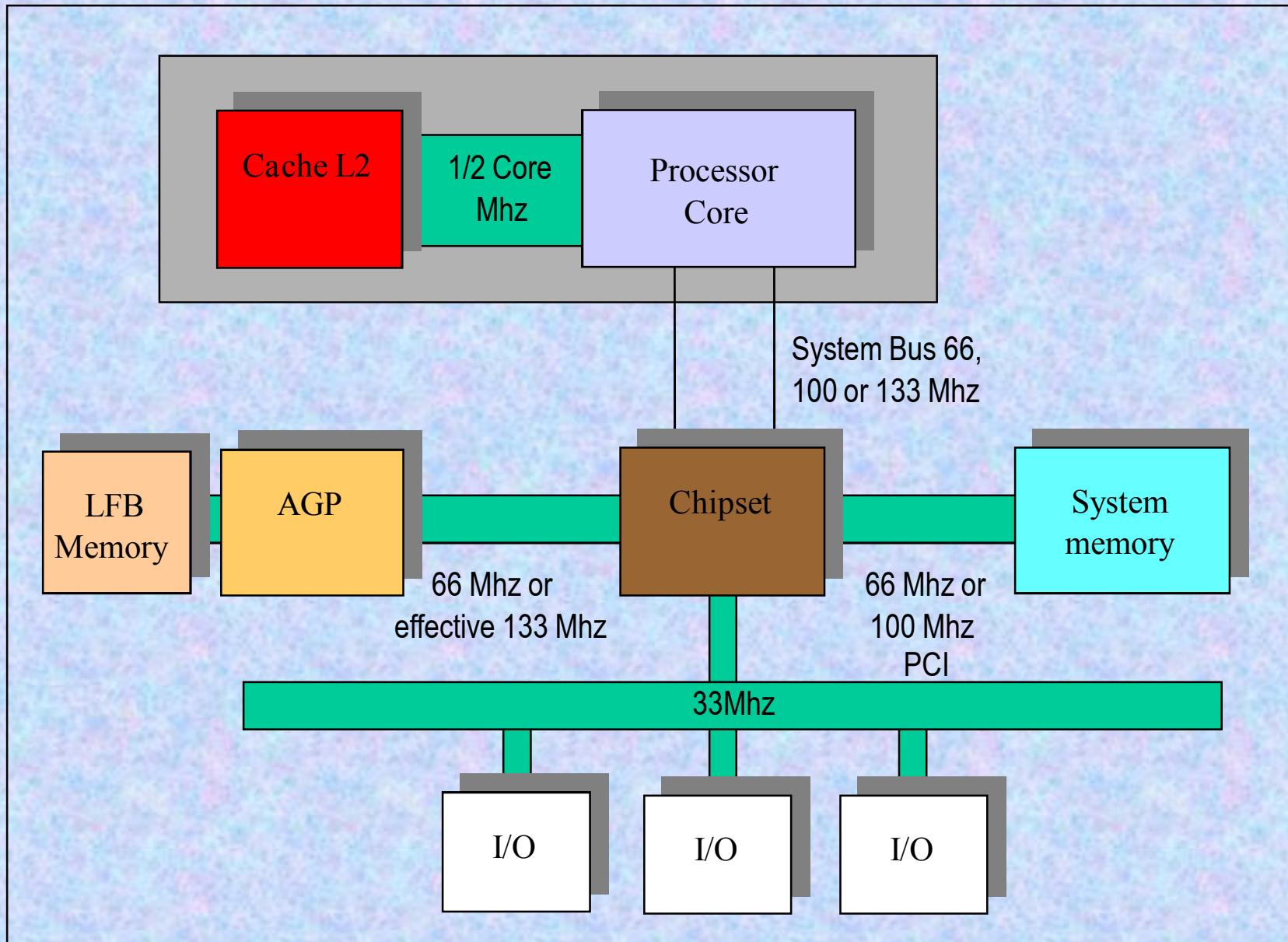


# *Bảng mạch Flex ATX*



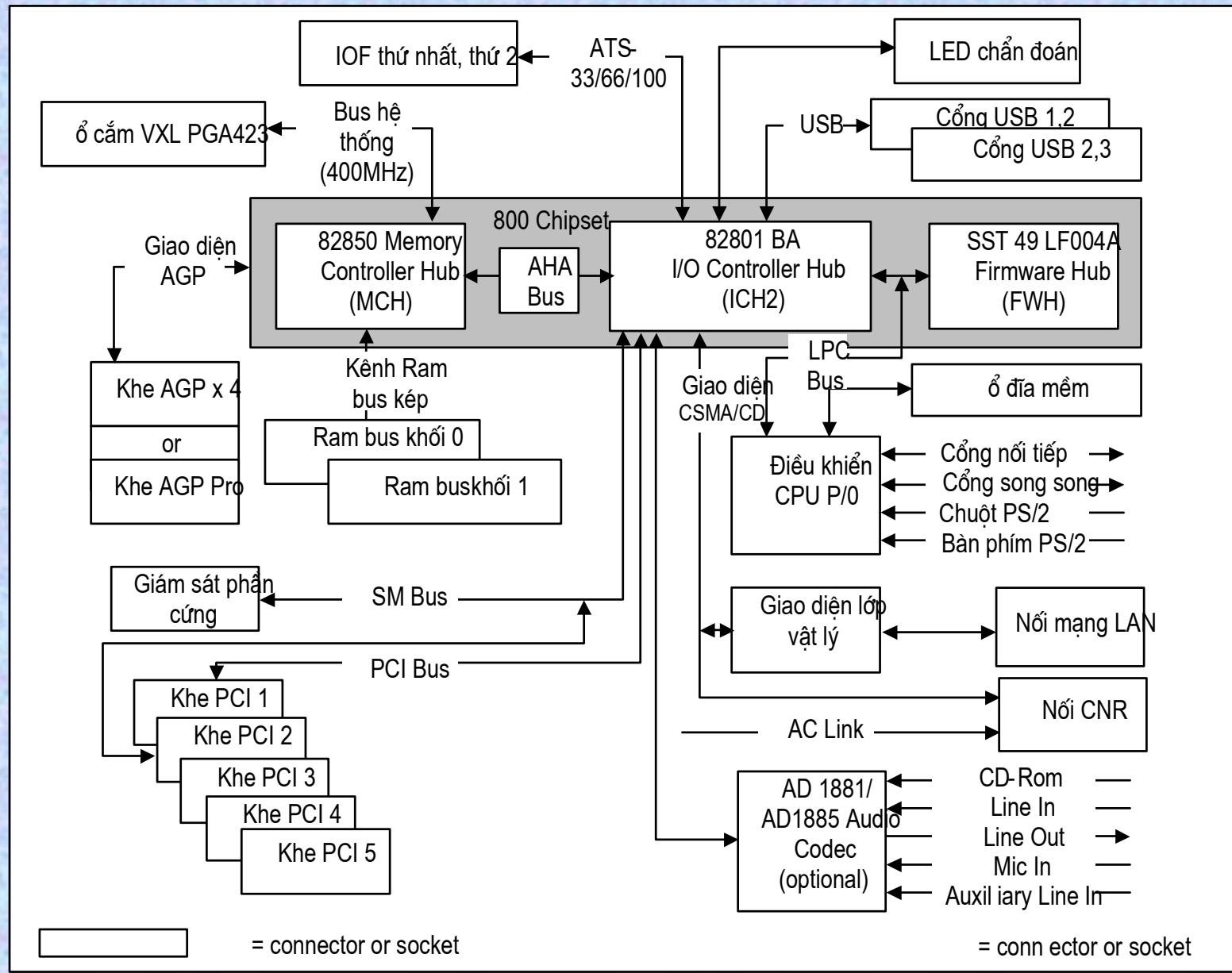
### 3. Tổ chức bảng mạch chính



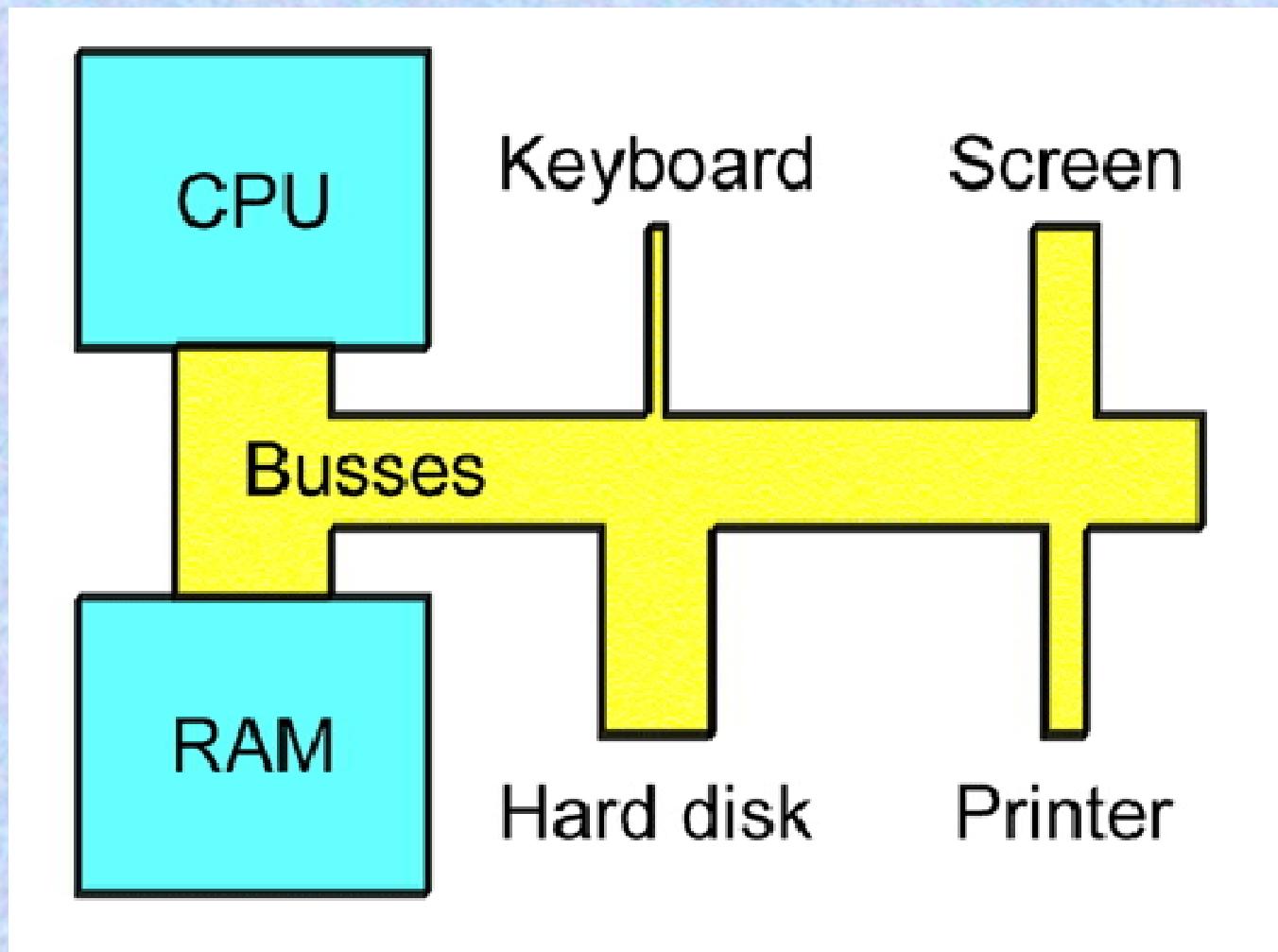


Tổ chức bus trong hệ thống máy tính với bộ vi xử lý Penitum II

# 4. Bảng mạch chính D850GB cho PENTIUM IV



# The CPU and the motherboard



# The chip set

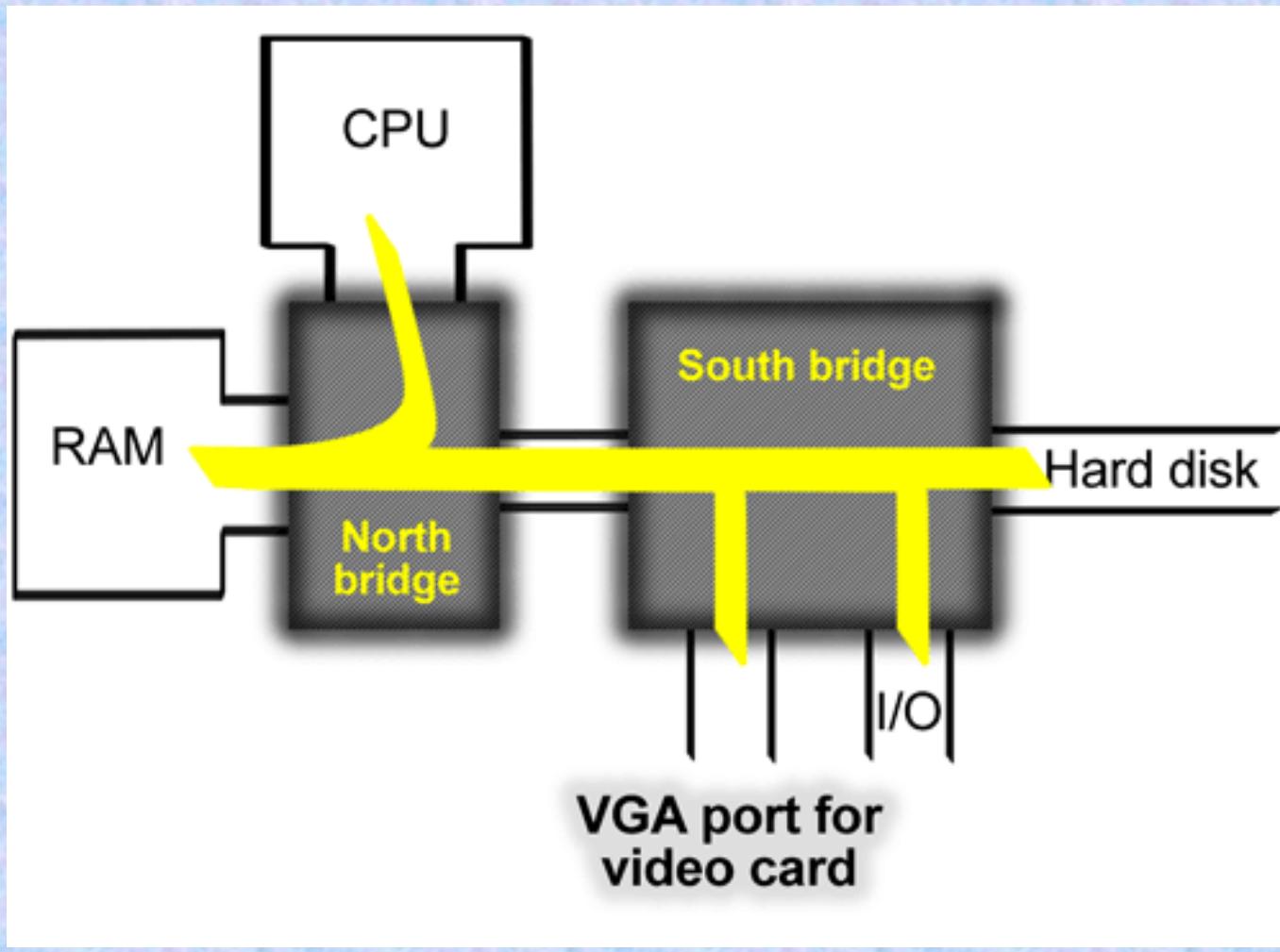
- Bus của MainBoard được điều khiển bởi rất nhiều mạch phần cứng có các chức năng khác nhau. Tất cả chúng được đóng trong một mạch tích hợp cực lớn gọi là **chipset**.
- Cấu trúc phổ biến nhất của chipset gồm 2 chip thường gọi là **north and south bridges**.

# **North bridge và south bridge**

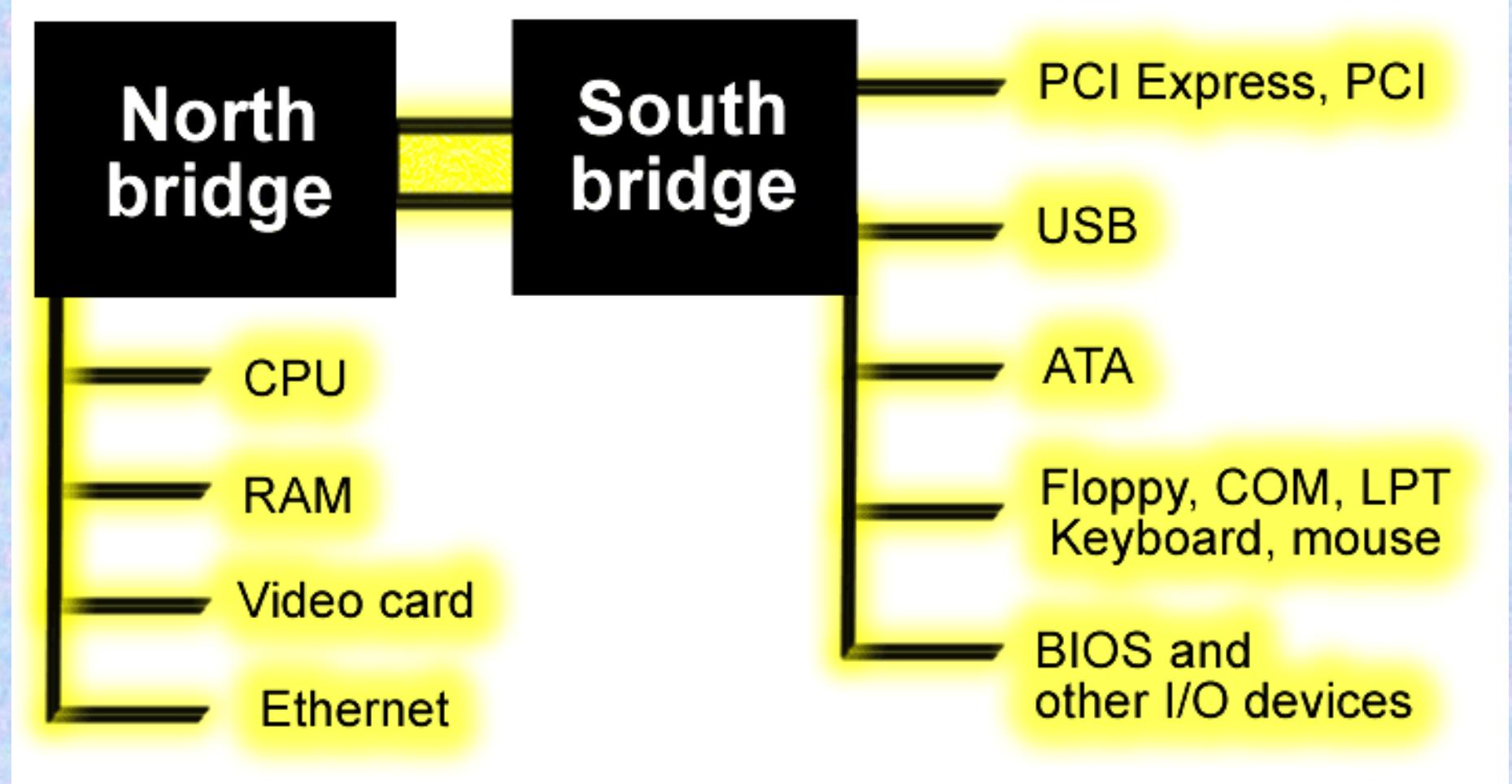
- **North bridge:** Điều khiển truyền số liệu giữa CPU, RAM và cổng AGP và cổng PCI Express x16.
- **South bridge:** Liên kết với **North bridge** và truyền số liệu đến tất cả các ngoại vi còn lại.

## Chipsets and hubs

- Từ năm 1997 cấu trúc của Chipset không chỉ có **north bridge** còn bổ xung **south bridge**



## Chipsets and hubs

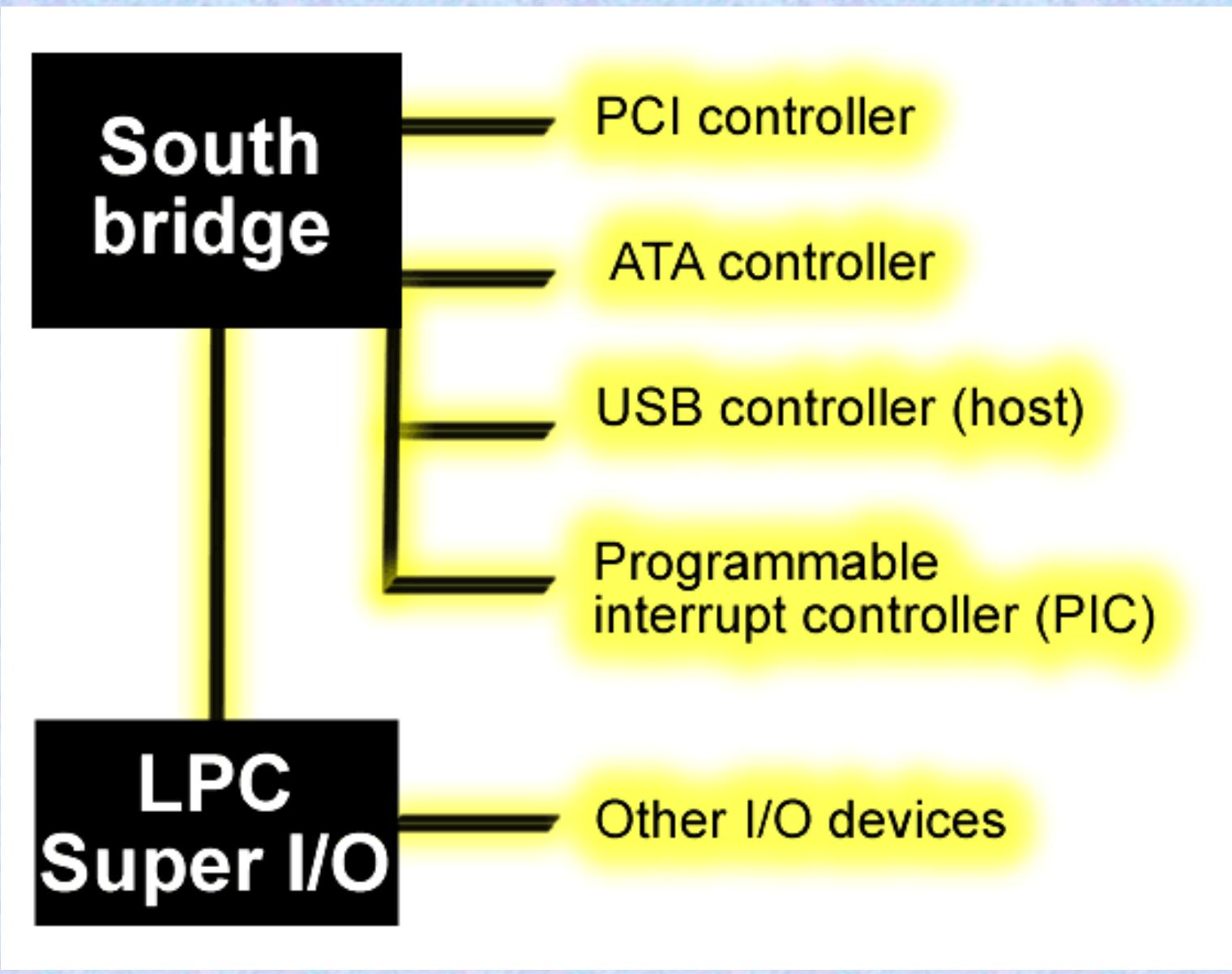


The south bridge connects a large number of different devices with the CPU and RAM.

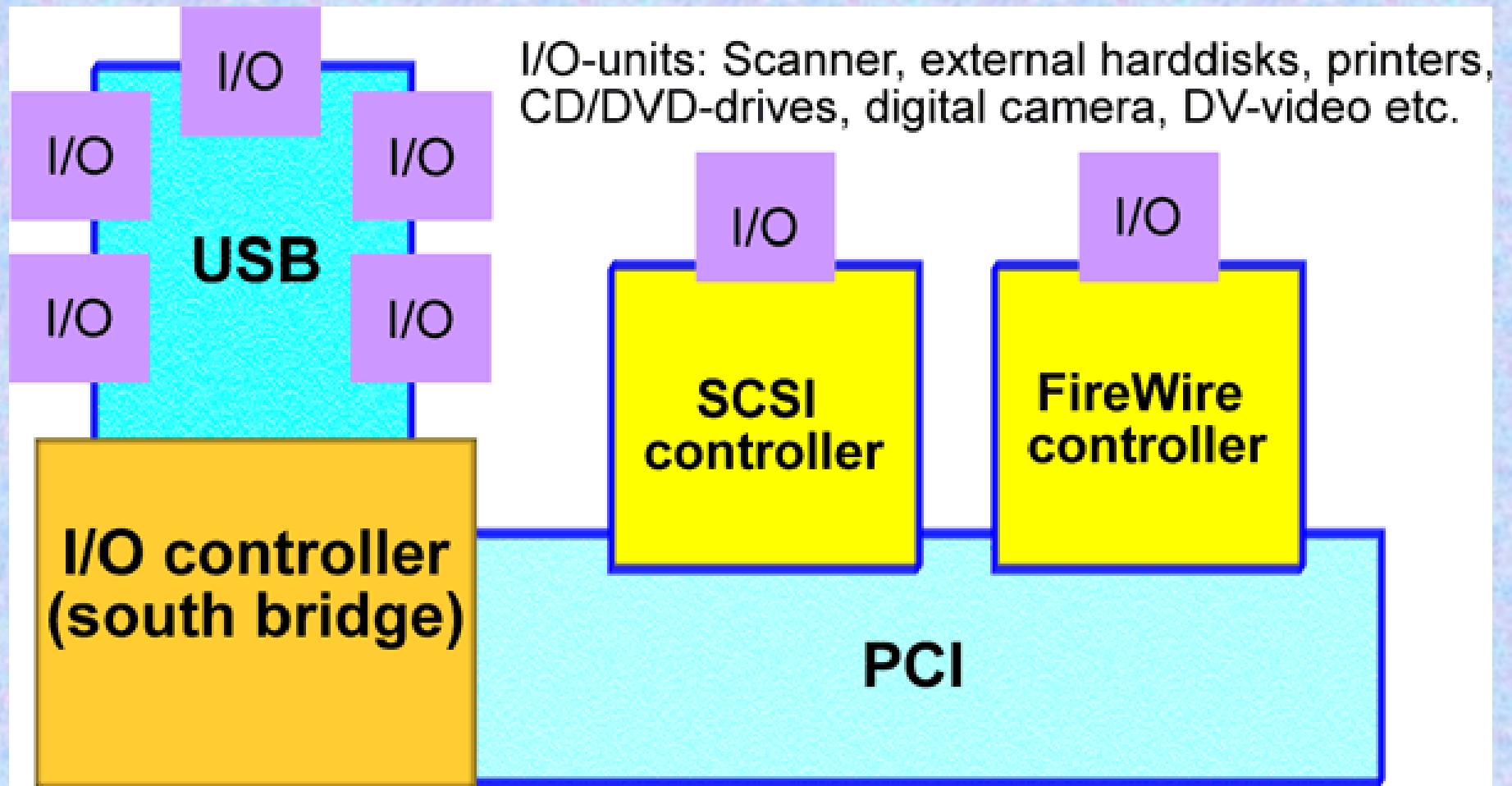
# So sánh System Bus và I/O Bus

<b>Bus</b>	<b>The north bridge's buses</b>	<b>The I/O buses</b>
Variants	FSB, RAM, AGP, PCI Express X16	ISA, PCI, PCI Express, USB, ATA, SCSI, .
Connects	CPU, RAM, Video, Ethernet	All other devices
Clock freq	66 - 1066 MHz	Typically 10-33 MHz
Maximum capacity	> 3 GB/sec	Typically 20-500 MB/sec. Per bus

# The south bridge combines many functions



# Ghép nối SCSI và FireWire controllers với Bus PCI



# Ghép nối ATA với south bridge

