

第 1 次作业及参考答案

第一章作业题

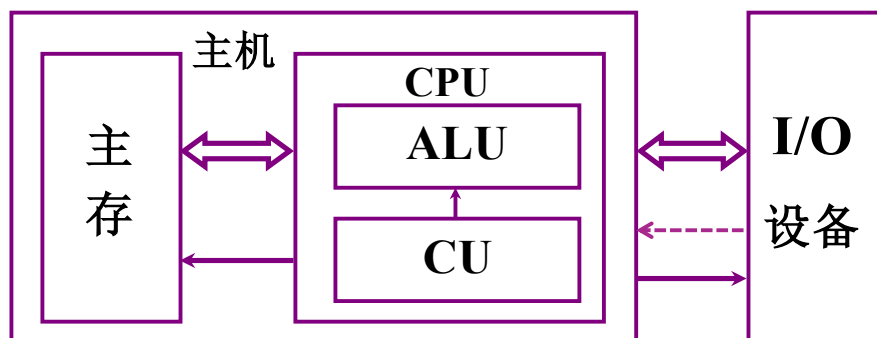
1.5 冯·诺依曼计算机的特点是什么？

答：冯·诺依曼计算机的特点可归纳为如下六点：

- 1) 计算机由运算器、控制器、存储器、输入设备、输出设备五大部件组成；
- 2) 指令和数据以同等地位存于存储器，可按地址寻访；
- 3) 指令和数据均用二进制数表示；
- 4) 指令由操作码和地址码组成；
- 5) 采用存储程序思想。指令在存储器内顺序存放，通常自动顺序取出执行；
- 6) 机器以运算器为中心。

1.6 画出计算机硬件组成框图，说明各部件的作用及计算机硬件的主要技术指标？

答：1)框图如下：



现代计算机可以认为由三大部分组成：CPU、I/O 设备及主存储器。其中，CPU 与主存储器合起来，称为主机，I/O 设备又可称为

外部设备。

2) 各部件的作用

- ✓ CPU 包括运算器和控制器两个部分；其中，ALU 是运算器的核心器件，用来完成算数和逻辑运算；CU 是控制器的核心器件，用来解释存储器中的指令，并发出各种操作命令来执行指令。
- ✓ 主存储器用来存放程序和数据，它可以直接与 CPU 交换信息；
- ✓ I/O 设备受 CPU 控制，用来完成相应的输入输出操作。

3) 主要技术指标

机器字长、存储容量和运算速度。

第 4 章作业题

4.3 存储器的层次结构主要体现在什么地方？为什么要分这些层次？计算机如何管理这些层次？

参考答案要点：

1) 存储器的层次结构主要体现在 Cache—主存和主存—辅存这两个存储层次上。

2) Cache—主存层次主要解决 CPU 和主存速度不匹配的问题，在存储系统中主要对 CPU 访存起加速作用。从 CPU 的角度看，该层次的速度接近于 Cache，而容量和每位价格却接近于主存。这就解决了存储器的高速度和低成本之间的矛盾；

主存—辅存层次主要解决存储系统的容量问题，在存储系统中主要起扩容作用。从程序员的角度看，其所使用的存储器的容量和每位价格接近于辅存，而速度接近于主存。该层次解决了大容量和低成本之间的矛盾。

3) 主存与 Cache 之间的数据调度是由硬件自动完成的, 对程序员是透明的。而主存—辅存之间的数据调度, 是由硬件和操作系统(采用虚拟存储技术)共同完成的。

4.5 什么是存储器的带宽? 若存储器的数据总线宽度为 32 位, 存取周期为 200ns, 则存储器的带宽是多少?

参考答案要点:

1) 存储器的带宽指单位时间内存储器存取的信息量。

2) 存储器带宽 = $1/200\text{ns} \times 32 \text{ 位} = 160\text{M 位/秒} = 20\text{MB/S}$ (此处 $1\text{M}=10^6$)

4.8 试比较静态 RAM 和动态 RAM。

参考答案要点:

1) 静态 RAM: 依靠双稳态触发器保存二进制代码, 只要不断电, 信息就不会丢失; 功耗较大, 集成度较低, 速度快, 每位价格高, 适合于作 Cache 或存取速度要求较高的小容量主存。

2) 动态 RAM: 依靠电容存储电荷来保存二进制代码, 需刷新电路进行动态刷新, 存取速度较慢; 功耗小, 集成度高, 每位价格低, 适合于作大容量主存。

4.9 为什么要刷新? 说明动态 RAM 各种刷新方式及其特点。

答案要点:

1) 原因有两点:

① 主要原因: 由于电容极板漏抗的存在, 存储于电容中的电荷存在泄漏的情况, 这会导致动态 RAM 存储单元中的原存信息丢失。

② 此外, 最常用的单管动态 RAM 的读出为破坏性读出。

综合上述两点, 动态 RAM 必须要进行刷新。

2) 动态 RAM 的刷新方式有集中式刷新、分散式刷新、异步式刷新和透明式刷新等四种方式。(只答前三种也可)

各种刷新方式的特点如下:

集中式刷新: 在最大刷新闻隔时间内, 集中安排一段时间进行刷新。其缺

点是进行刷新时必须停止读、写操作。这对主机而言是个“死区”

分散式刷新：刷新工作安排在系统的存取周期内进行，对主机而言不再有“死区”。但该方式加长了系统的存取周期，存在无谓刷新，降低了整机运行效率。因此，分散方式刷新不适用于高速存储器。

异步式刷新：结合了上述两种方式的优点，充分利用了最大刷新间隔。相对于分散式刷新而言，它减少了刷新次数；相对于集中方式来说，主机的“死区”又缩短很多。因此，这种方式使用得比较多。

透明式刷新：该方式不占用 CPU 时间，对 CPU 而言是透明的操作；但控制线路复杂。

4.14 某 8 位微型机地址码为 18 位，若使用 $4K \times 4$ 位的 RAM 芯片组成模块板结构的存储器，试问：

- (1) 该机所允许的最大主存空间是多少？
- (2) 若每个模块板为 $32K \times 8$ 位，共需几个模块板？
- (3) 每个模块板内共有几片 RAM 芯片？
- (4) 共有多少片 RAM？
- (5) CPU 如何选择各模块板？

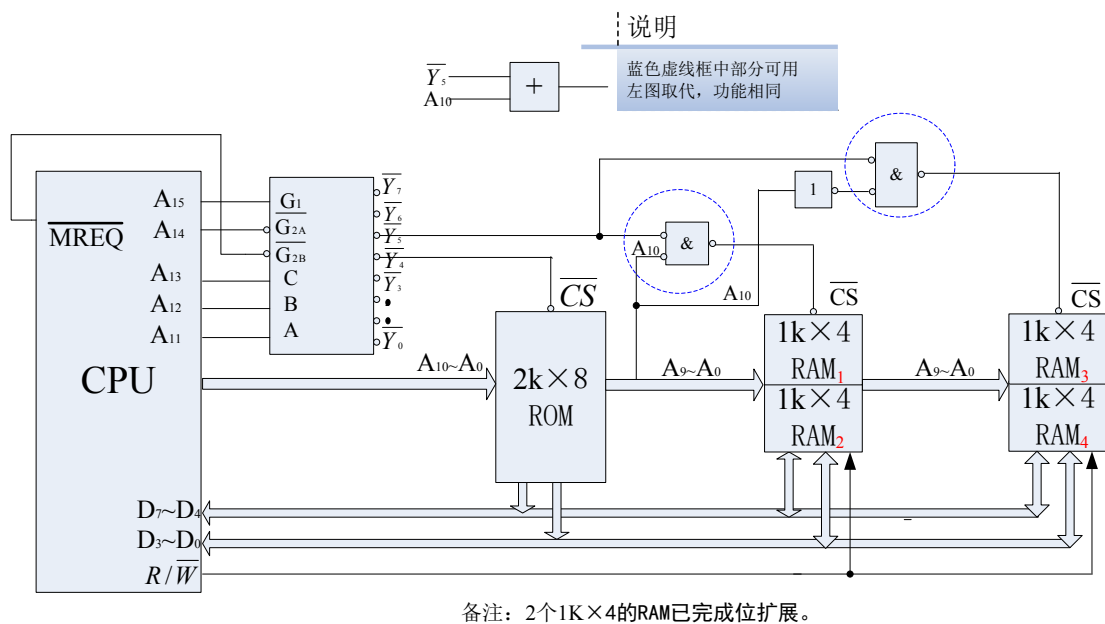
答案要点：1) 256KB；2) 8 块模板；3) 16 片；4) 128 片；

5) CPU 通过最高 3 位地址译码选模板，次高 3 位地址译码选择模板内芯片。

补充题 1、设 CPU 有 16 根地址线，8 根数据线，用 \overline{MREQ} （低电平有效）作访存控制信号， R/\overline{W} 作读写控制信号（高电平为读，低电平为写），现有 $1K \times 4$ 位、 $4K \times 8$ 位的 RAM 芯片， $2K \times 8$ 位， $4K \times 4$ 位的 ROM 芯片，以及 74138 译码器和各种门电路，画出 CPU 与存储器连接图，图中标明信号线的方向、种类和条数；并写出每片 RAM 芯片的地址范围（用十六进制描述）。

要求：主存地址空间分配： $A000H$ — $A7FFH$ 为系统程序区； $A800H$ — $FFFFH$ 为用户程序区。

答案要点：



RAM 芯片的地址范围：

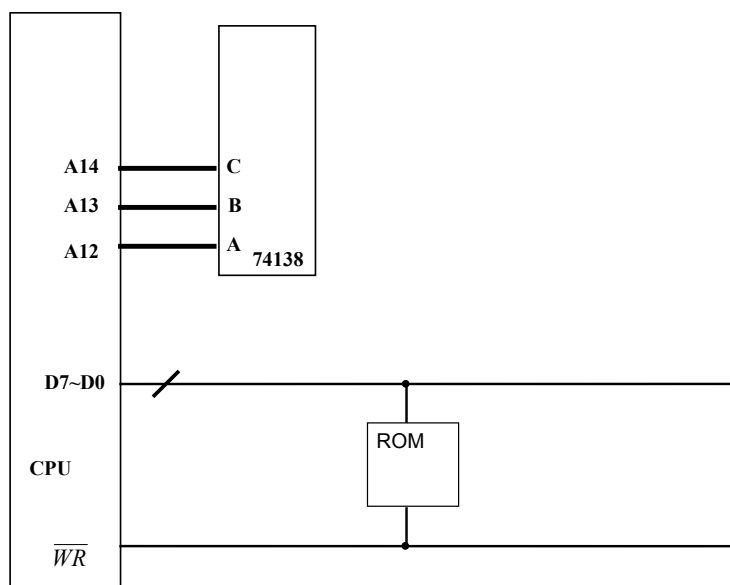
- 1) RAM₁ 和 RAM₂: A800H~ABFFH 2) RAM₃ 和 RAM₄: AC00H~AFFFH

补充题 2 设 CPU 有 18 根地址线(A₁₇---A₀)，8 根数据线(D₇—D₀)，用 \overline{MREQ} 做

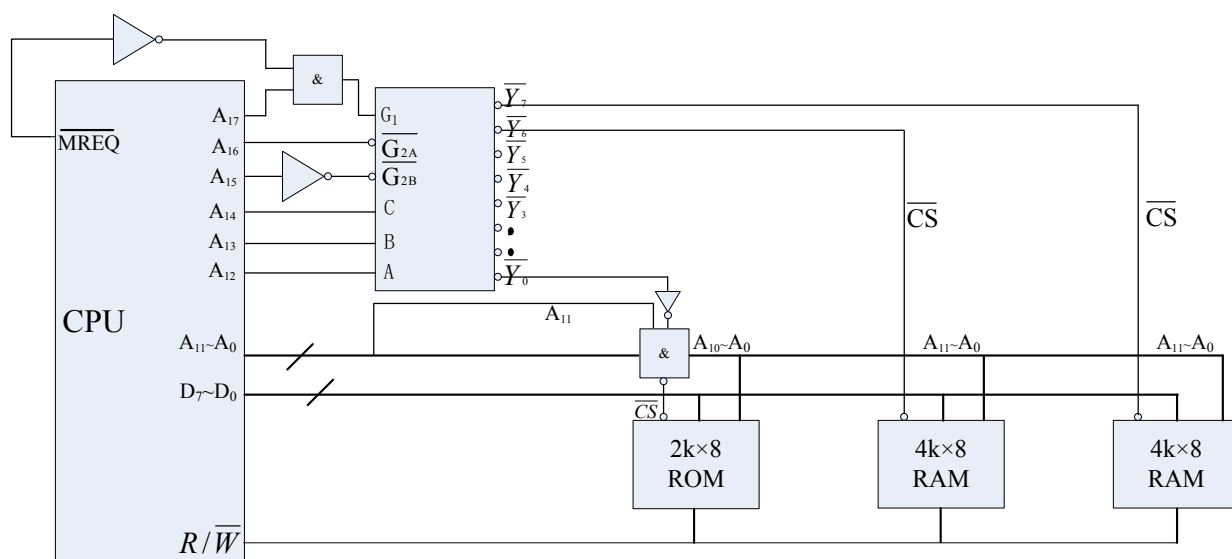
访存控制信号（低电平有效）， $\overline{R/\overline{W}}$ 作读写控制信号（高电平为读，低电平为写）。

现有下列芯片： 4K×8 位 RAM； 2K×8 位 ROM 及 3-8 译码器和各种门电路。
主存地址空间为： 28800H 开始为 2K ROM， 2E000H 开始为 8K RAM。

要求：补充完成 CPU 与存储器连线图。



参考答案：



补充题 3 以全相联映射技术为例，说明在带有 Cache 的存储系统中，“读”操作是怎样完成的。

参考答案要点：

当 CPU 发出主存地址后，地址映射机构按照全相联映射方式将主存地址标记与 Cache 所有字块的标记进行比较，以判断出所访主存字（主存地址的内容）是否已在 Cache 中。若命中，直接访问 Cache，将该字送至 CPU；若未命中，一方面要访问主存，将该字传送给 CPU，与此同时，要按照全相联映射方式转换的 Cache 地址将该字所在的主存块装入 Cache，如果此时 Cache 已装满，就要执行替换算法，腾出空位才能将新的主存块调入。

4.24 一个 4 体低位交叉的存储器，假设存取周期为 T ，CPU 每隔 $1/4$ 存取周期启动一个存储体，试问依次访问 64 个字需多少个存取周期？

答案要点：需要的存储周期数： $T + (64-1)T/4 = 16.75T$

存取周期数取整，为 17 个。

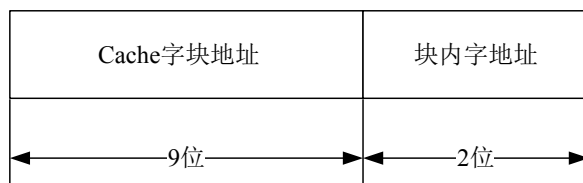
4.28 设主存容量为 256K 字，Cache 容量为 2K 字，块长为 4。

- (1) 设计 Cache 地址格式，Cache 中可装入多少块数据？
- (2) 在直接映射方式下，设计主存地址格式。
- (3) 在四路组相联映射方式下，设计主存地址格式。

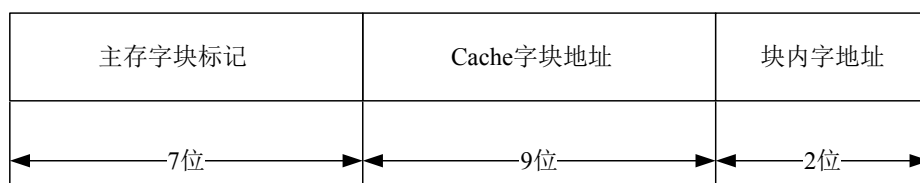
(4) 在全相联映射方式下，设计主存地址格式。

(5) 若存储字长为 32 位，存储器按字节寻址，写出二路组相连映射方式下主存的地址格式。

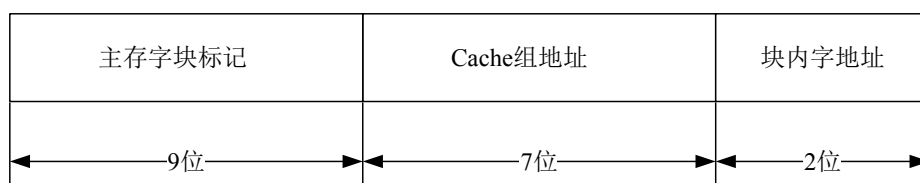
答案要点：1) Cache 中可装入 $2^9=512$ 个字块，cache 地址格式：



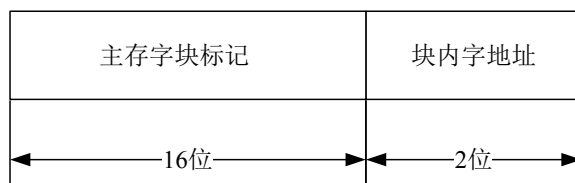
2) 主存地址格式：



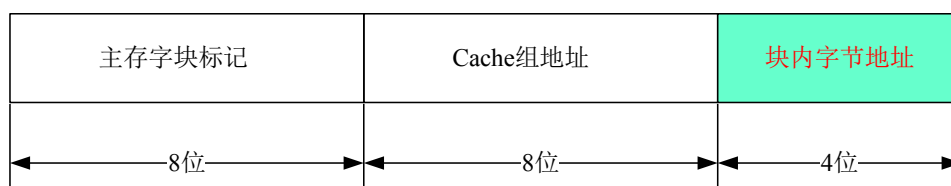
3) 主存地址格式：



4)



5)



4.29 假设 CPU 执行某段程序时共访问 Cache 命中 4800 次，访问主存 200 次，已知 Cache 的存取周期是 30ns，主存的存取周期是 150ns，求 Cache 的命中率以及 Cache-主存系统的平均访问时间和效率，试问该系统的性能提高了多少？

答案要点：

Cache 命中率为： $4800/(4800+200)=96\%$

Cache-主存系统的平均访问时间为：

$$30\text{ns} \times 96\% + 150\text{ns} \times (1 - 96\%) = 34.8\text{ns}$$

$$\text{效率 } e = 30\text{ns} / 34.8\text{ns} = 86.2\%$$

该系统的性能是原来的 $150\text{ns} / 34.8\text{ns} = 4.31$ 倍，故提高了 $4.31 - 1 = 3.31$ 倍。

4.31 设主存容量为 1MB，采用直接映射方式的 Cache 容量为 16KB，块长为 4，每字 32 位。试问主存地址为 ABCDEH 的存储单元在 Cache 中的什么位置？

答案要点：

主存地址 ABCDEH，Cache 的地址为 14 位，其中字块内地址为 4 位，Cache 字块地址为 10 位。采用直接映射方式，只要将主存地址后 14 位地址与 Cache 的 14 位地址相同就行了。因此：

ABCDEH = 1010 1011 1100 1101 1110B，其中，后 14 位地址为 11 1100 1101 1110，用十六进制描述为 3CDEH，这就是指定的主存单元在 Cache 中的位置。

4.32 设某机主存容量为 4MB，Cache 容量为 16KB，每字块有 8 个字，每字 32 位，设计一个四路组相联映射（即 Cache 每组内共有 4 个字块）的 Cache 组织。

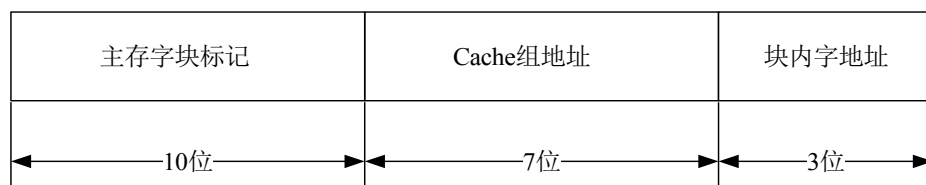
(1) 画出主存地址字段中各段的位数；

(2) 设 Cache 的初态为空，CPU 依次从主存第 0、1、2……89 号单元读出 90 个字（主存一次读出一个字），并重复按此次序读 8 次，问命中率是多少？

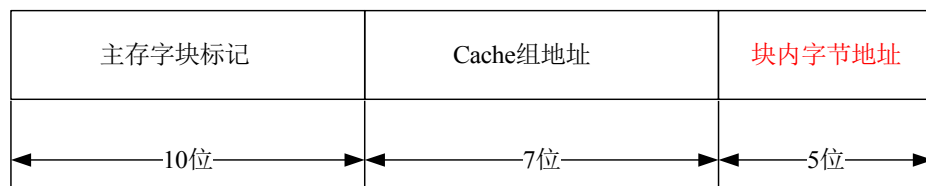
(3) 若 Cache 的速度是主存的 6 倍，试问有 Cache 和无 Cache 相比，速度约提高多少倍？

答案要点：

1) 主存地址格式，**第一种画法**（采用按字编址）：



主存地址格式，**第二种画法**（采用按字节编址，其中，“块内字节地址”按教材写为“字块内地址”亦可）：



2) CPU 在连续读 90 个字的过程中，共有 12 次未命中，而后 7 次循环读 90 个字全部命中，故命中率为：

$$\frac{90 \times 8 - 12}{90 \times 8} = 0.983$$

3) 设 Cache 的存取周期为 t ，则根据题意，主存的存取周期为 $6t$ 。

则有无 Cache 系统的速度之比为：

$$\frac{6t \times 90 \times 8}{t \times (90 \times 8 - 12) + 6t \times 12} = 5.54$$

所以，速度提高了 $5.54 - 1 = 4.54$ 倍。

第五章作业题

三种信息交换方式的特点

1、程序查询方式

1) 特点：硬件开销小；无实时处理能力，CPU 与外设为串行工作方式，系统效率较低。

2) 适用场合：CPU 不太忙且传送速度要求不太高的情况。

2、程序中断方式

1) 特点：通过中断服务程序处理中断请求，CPU 与外设为并行工作方式，具备实时处理能力。

2) 适用场合：用于中、低速 I/O 操作或处理复杂的随机事态。

3、DMA 方式

1) 特点：由硬件（DMA 控制器）来实现内存和外设之间的直接数据交换，对高速大批量数据传送特别有用。但电路结构复杂，硬件开销大。

2) 适用场合：应用于主存与高速 I/O 设备间的简单数据传送。

5.3 I/O 设备与主机交换信息时，共有哪几种控制方式？简述它们的特点。

参考答案要点：

I/O 设备与主机交换信息时，共有 5 种控制方式：程序查询方式、程序中断方式、DMA 方式、I/O 通道方式和 I/O 处理机方式。其中前 3 种方式是基本的且广泛应用的控制方式。

程序查询方式的特点：控制简单，硬件开销小；CPU 与外设是串行工作的，系统效率低。适用于 CPU 不太忙且传送速度要求不太高的场合。

程序中断方式的特点：CPU 和外设可并行工作，提高了 CPU 的效率，不仅适于主机和外设之间的数据交换，还特别适于对外界随机事件的处理。适用于

CPU 较忙，传送速度不太高的系统中，尤其适合实时控制及紧急事件的处理。

DMA 方式的特点：完全由硬件（DMA 控制器）负责完成信息交换，信息传递从以 CPU 为中心，转为以内存为中心，CPU 和外设可并行工作，对高速大批量数据传送特别有用。但缺点是只能进行简单数据交换，电路结构复杂，硬件开销大。

5.16 CPU 响应中断的条件是什么？中断隐指令完成哪些操作？（题目改造）

参考答案要点：

CPU 响应中断的条件可以归纳为三条：

- 1) 有中断请求；
- 2) CPU 允许中断，即中断允许状态 $IF=1$ （或 $EINT=1$ ）；
- 3) 一条指令执行结束。

中断周期的操作由中断隐指令完成（即由硬件完成），主要包括如下的三项操作：

- 1) 关中断；2) 保存程序断点；3) 寻找中断服务程序入口地址。

5.20 试比较单重中断和多重中断服务程序的处理流程，说明它们不同的原因。

参考答案要点：

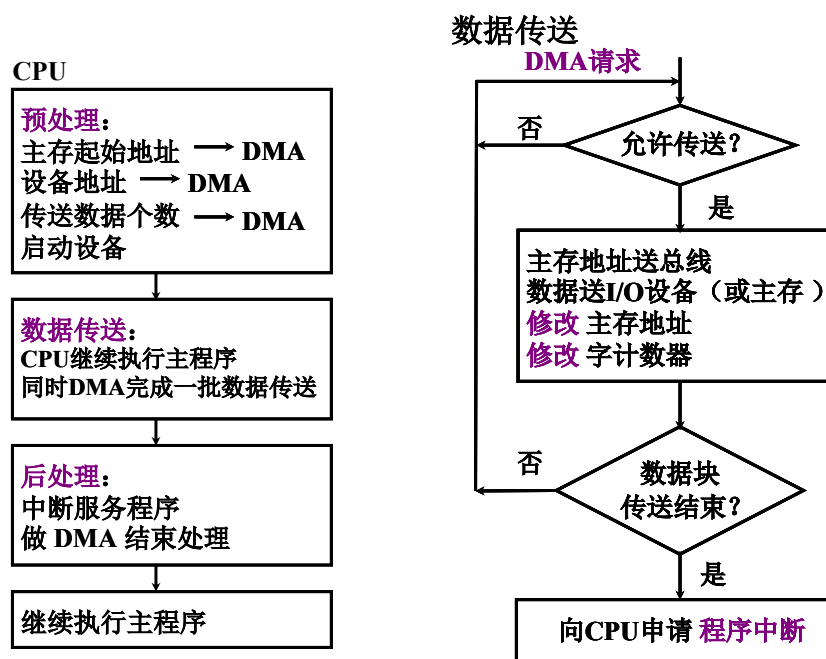
1) 二者的比较可用两种中断的服务程序流程图（见教材 P201）的对比来说明，此处略。

2) 单重中断和多重中断的区别在于“开中断”的设置时间不同。对于单重中断，开中断指令设置在最后“中断返回”之前，意味着在整个中断服务处理过程中，不能再响应其他中断源的请求。而对于多重中断，开中断指令提前至“保护现场”之后，意味着在保护现场之后，若有更高级别的中断源提出请求，CPU 也可以响应，从而实现中断嵌套，这是二者的主要区别。

5.29 结合 DMA 接口电路说明其工作过程。

参考答案要点：

DMA 的数据传送过程可分为预处理、数据传送和后处理 3 个阶段。工作过程如下图所示：



各阶段完成的工作如下：

- 1) 预处理阶段：CPU 执行主程序实现 DMA 传送的初始化设置；
- 2) 数据传送阶段：由 DMA 控制器实现内存和外设间的数据传送。
- 3) 后处理阶段：中断处理程序判断传送的正误，对写入主存的数据进行校验，完成善后工作。

补充题 1：以磁盘存储器读写为例，说明在主机和外设之间进行数据传送，为什么不用程序中断方式，而用 DMA 方式？

参考答案要点：

一些高速外设，如硬磁盘、软磁盘等 I/O 设备，经常需要和主存进行大批量的数据交换；若采用程序中断方式来完成，即通过 CPU 执行中断服务程序来完成数据交换，数据交换都是以字或字节为单位，且每一次交换都需要保存断点，保存和恢复现场等操作，速度较慢，极可能造成数据的丢失，因而不能满足批量数据的高速传递需求。因此，需要借助于硬件，比如 DMA 控制器来实现主存和高速外设之间的直接数据传送。

补充题 2：DMA 方式能取代程序中断方式吗？请说明理由。

参考答案要点：

DMA 方式不能取代程序中断方式，理由如下：

- ① DMA 方式只能用于高速外设与内存之间的简单数据传递，却不能像中断

方式那样能够处理复杂的随机事件；② 在 DMA 方式的数据传送全过程中，本身需要利用中断方式来完成 DMA 传送的后处理。

第六章作业题

6.1 最少用几位二进制数即可表示任一 5 位长的十进制正整数？

解： 5 位长的十进制正整数是 99999， $2^{16}=65536$ ， $2^{17}=131072$ ，所以，最少用 17 位二进制数可表示。

6.4 设机器数字长为 8 位（含 1 位符号位在内），写出对应下列各真值的原码、补码和反码。

$-13/64$ ， 100，

解： $(-13/64)$ ，写成二进制代码为-0.00 1101

真值(十进制)	真值(二进制)	原码	补码	反码
-13/64	-0.00 1101	1.001 1010	1.110 0110	1.110 0101
100	110 0100	0,110 0100	0,110 0100	0,110 0100

6.5 已知 $[x]_{补}$ ，求 $[x]_{原}$ 和 x 。

1) $[x]_{补}=1.1100$ ； 3) $[x]_{补}=0.1110$ ； 5) $[x]_{补}=1,0101$ ；

解： 1) $[x]_{原}=1.0100$ ， $x=-0.0100$

3) $[x]_{原}=0.1110$ ， $x=+0.1110$

5) $[x]_{原}=1,1011$ ， $x=-1011$

6.9 当十六进制数 9BH 和 FFH 分别表示为原码、补码、反码、移码和无符号数时，所对应的十进制数各为多少（设机器数采用一位符号位）？

解：9BH 写成二进制代码为：1,0011011，FFH 写成二进制代码为：

1,1111111

上面两个机器数对应的真值分别是：

二进制代码	作为原码	作为补码	作为反码	作为移码	作为无符号数
1,0011011	-27	-101	-100	+27	155
1,1111111	-127	-1	0	+127	255

6.12

解：二进制数为 $x = -0.0000011011 = -0.1101100000 \times 2^{-101}$

1) 阶原尾原：1,0101；1.1101100000

2) 阶补尾补：1,1011；1.0010100000

3) 阶移码补：0,1011；1.0010100000

6.16 设机器数字长为 16 位，写出下列各种情况下它能表示的数的范围。设机器数采用一位符号位，答案均用十进制表示。

(6) 浮点数的格式为：阶码 6 位（含 1 位阶符），尾数 10 位（含 1 位数符）。采用阶移尾原的非规格化数形式，分别写出正数和负数的表示范围；

(7) 浮点数格式同 (6)，机器数采用补码规格化形式，分别写出其对应的正数和负数的真值范围。

解：(6) 最小正数： $0.000000001 \times 2^{0,00001} = 2^{-9} \times 2^{-31}$

最大正数： $0.111111111 \times 2^{1,11111} = (1-2^{-9}) \times 2^{+31}$

最小负数： $1.111111111 \times 2^{1,11111} = -(1-2^{-9}) \times 2^{+31}$

最大负数： $1.000000001 \times 2^{0,00001} = -2^{-9} \times 2^{-31}$

因此, 正数表示范围为: $2^{-9} \times 2^{-31} \sim (1-2^{-9}) \times 2^{+31}$

负数表示范围为: $-(1-2^{-9}) \times 2^{+31} \sim -2^{-9} \times 2^{-31}$

(7) 最小正数: $0.100000000 \times 2^{1,00001} = 2^{-1} \times 2^{-31}$

最大正数: $0.111111111 \times 2^{0,11111} = (1-2^{-9}) \times 2^{+31}$

最小负数: $1.000000000 \times 2^{0,11111} = -1 \times 2^{+31}$

最大负数: $1.011111111 \times 2^{1,00001} = -(2^{-9} + 2^{-1}) \times 2^{-31}$

因此, 正数表示范围为: $2^{-1} \times 2^{-31} \sim (1-2^{-9}) \times 2^{+31}$

负数表示范围为: $-1 \times 2^{+31} \sim -(2^{-9} + 2^{-1}) \times 2^{-31}$

补充题: 某浮点数字长 16 位, 其格式为: 阶码、尾数, 其中阶码 6 位(含 1 位阶符), 尾数 10 位(含 1 位数符), 阶码和尾数都用补码表示, 而且尾数符合规格化要求。若浮点数代码为 $(3A58)_{16}$, 求其真值。

解: $(3A58)_{16} = (0011\ 1010\ 0101\ 1000)_2$,

尾数 = 1.001011000 (符合规格化要求), 阶码 = 0,01110

真值 = $1.001011000 \times 2^{0,01110} = -0.110101 \times 2^{+1110}$

17. 设机器数字长为 8 位 (包括一位符号位), 对下列各机器数进行算术左移一位、两位, 算术右移一位、两位。

(1) $[x]_{\text{原}} = 0.001\ 1010$; (5) $[x]_{\text{补}} = 1.110\ 1000$;

(1) 解: 算术左移一位: $[x1]_{\text{原}} = 0.011\ 0100$;

算术左移两位: $[x1]_{\text{原}} = 0.110\ 1000$;

算术右移一位: $[x1]_{\text{原}} = 0.000\ 1101$;

算术右移两位: $[x1]_{\text{原}} = 0.000\ 0110$

(5) 解： 算术左移一位： $[x]_{\text{补}}=1.101\ 0000$ ；

算术左移两位： $[x]_{\text{补}}=1.010\ 0000$ ；

算术右移一位： $[x]_{\text{补}}=1.111\ 0100$ ；

算术右移两位： $[x]_{\text{补}}=1.111\ 1010$

6.19 设机器数字长为 8 位（含 1 位符号位），用补码运算规则计算下列各题。

(1) $A=9/64$ ， $B=-13/32$ ，求 $A+B$ 。

解： $A=9/64=(0.001\ 0010)_2$ ， $B=-13/32=(-0.011\ 0100)_2$

用双符号位方案：

$[A]_{\text{补}}=00.001\ 0010$ ， $[B]_{\text{补}}=11.100\ 1100$

$[A+B]_{\text{补}}=00.0010010 + 11.1001100 = 11.1011110$

运算结果的符号位为 11，无溢出

(4) $A=-87=(-1010111)_2$ ， $B=53=(+110101)_2$

用双符号位方案：

$[A]_{\text{补}}=11,0101001$ ， $[B]_{\text{补}}=00,0110101$ ， $[-B]_{\text{补}}=11,1001011$

$[A-B]_{\text{补}}=[A]_{\text{补}}+[-B]_{\text{补}}=11,0101001+11,1001011=10,1110100$ ；

运算结果的符号位为 10，负溢出

6.20 用原码一位乘和补码一位乘（Booth 算法）计算 $x \cdot y$ 。

(1) $x=0.110\ 111$ ， $y=-0.101\ 110$ ；

解：一）原码一位乘：

$x^*=0.110111$ ， $y^*=0.101110$

$x_0=0$ ， $y_0=1$ ， $z_0=x_0 \oplus y_0=0 \oplus 1=1$

原码一位乘:

部分积		乘数 y^*						
	0.000 000	.	1	0	1	1	1	0 — +0
→1	0.000 000	0.	1	0	1	1	<u>1</u>	+ x^*
+	0.110 111							
	0.110 111							
→1	0.011 011	1	0.	1	0	1	<u>1</u>	+ x^*
+	0.110 111							
	1.010 010							
→1	0.101 001	0	1	0	.	1	0	<u>1</u> — + x^*
+	0.110 111							
	1.100 000							
→1	0.110 000	0	0	1	0.	1	<u>0</u>	+0
→1	0.011 000	0	0	0	1	0.	<u>1</u>	+ x^*
+	0.110 111							
	1.001 111							
→1	0.100 111	1	0	0	0	1	0	

$$x^* \times y^* = 0.100111100010$$

加符号位, $[x \times y]_{\text{原}} = 1.100 \ 111 \ 100 \ 010$

二) 补码一位乘:

$$[x]_{\text{补}} = x = 00.110111, [y]_{\text{补}} = 1.010010, [-x]_{\text{补}} = 11.001001$$

补码一位乘的计算过程如下:

	部分积	乘数 Y_n	附加位 Y_{n+1}
	00.000000	1.01001 <u>0</u>	<u>0</u>
→1	00.000000	0 1 0100 <u>1</u>	<u>0</u>
	+ 11.001001		
	11.001001		
→1	11.100100	10 1010 <u>0</u>	<u>1</u>

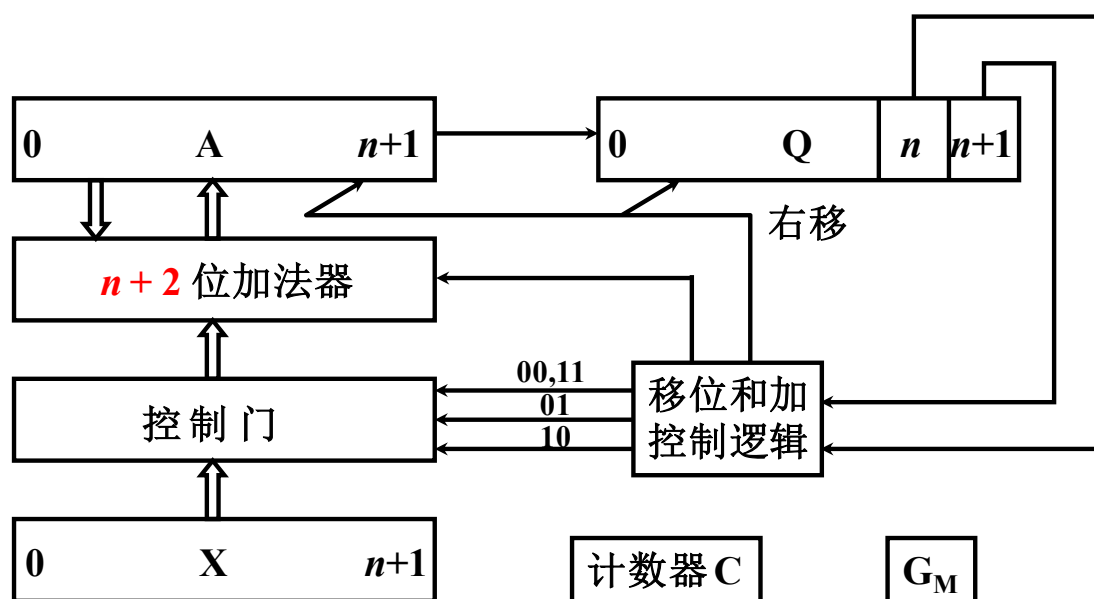
$$\begin{array}{r}
+ \underline{00.110111} \\
00.011011 \\
\rightarrow 1 \quad 00.001101 \qquad 110 \ 101\underline{0} \qquad \underline{0} \\
\rightarrow 1 \quad 00.000110 \qquad 1110 \ 10\underline{1} \qquad \underline{0} \\
+ \underline{11.001001} \\
11.001111 \\
\rightarrow 1 \quad 11.100111 \qquad 11110 \ 1\underline{0} \qquad \underline{1} \\
+ \underline{00.110111} \\
00.011110 \\
\rightarrow 1 \quad 00.001111 \qquad 011110 \ \underline{1} \qquad \underline{0} \\
+ \underline{11.001001} \\
11.011000 \qquad 011110
\end{array}$$

说明：最后一步不移位，得 $[x \times y]_{\text{补}} = 1.011 \ 000 \ 011110$ 。

6.23 画出实现 Booth 算法的运算器框图，要求如下：

- (1) 寄存器和全加器均用方框表示，指出寄存器和全加器的位数。
- (2) 说明加和移位的次数。

解：框图如下：



(1) 寄存器和全加器的位数均为 $n+2$ 位，如图所示。

(2) 若乘数的数值位为 n 位，则需要做 $n+1$ 次加法， n 次移位。

6.26 按机器补码浮点运算步骤计算 $[x+y]_{\text{补}}$

(1) $x=2^{-011} \times 0.101100$, $y=2^{-010} \times (-0.011100)$;

解: $[x]_{\text{补}}=1, 101; 0.101100$, $[y]_{\text{补}}=1, 110; 1.100100$

1) 对阶:

$$[\Delta j]_{\text{补}}=[j_x]_{\text{补}}+[-j_y]_{\text{补}}=11,101+00,010=11,111$$

$[\Delta j]_{\text{补}} < 0$, 应 j_x 向 j_y 对齐, 则:

$$[j_x]_{\text{补}}+1=11,101+00,001=11,110$$

$$[x]_{\text{补}}=1,110; 0.010 \quad 110$$

2) 尾数求和:

$$[S_x]_{\text{补}}+[S_y]_{\text{补}}=00.010110+11.100100=11.111010$$

3) 结果规格化:

$$[x+y]_{\text{补}}=11,110; 11.111010 = 11,011; 11.010000$$

(左规, 尾数左移 3 位, 阶码减 3)

4) 舍入：不需舍入。

5) 判阶码是否溢出：无

$$\text{则： } x+y=2^{-101} \times (-0.110\ 000)$$

6.27、假设阶码取 3 位，尾数取 6 位（均不包括符号位），计算下列各题。

$$(2) [2^{-3} \times (13/16)] - [2^{-4} \times (-5/8)]$$

解： $x = 2^{-3} \times (13/16) = 2^{-011} \times 0.110\ 100$, $y = 2^{-4} \times (-5/8) = 2^{-100} \times (-0.101000)$

$$[x]_{\text{补}} = 11, 101; 00.110100$$

$$[y]_{\text{补}} = 11, 100; 11.011000$$

1) 对阶：

$$[\Delta j]_{\text{补}} = [j_x]_{\text{补}} + [-j_y]_{\text{补}} = 11, 101 + 00, 100 = 00, 001$$

$[\Delta j]_{\text{补}} > 0$, j_y 向 j_x 对齐，则：

$$[j_y]_{\text{补}} + 1 = 11, 100 + 00, 001 = 11, 101$$

$$[y]_{\text{补}} = 11, 101; 11.101100$$

2) 尾数运算：

$$[S_x]_{\text{补}} + [-S_y]_{\text{补}} = 00.110100$$

$$+ \quad 00.010100$$

$$\hline 01.001000$$

3) 结果规格化：右规

$$[x-y]_{\text{补}} = 11, 101; 01.001\ 000$$

$$= 11, 110; 00.100\ 100$$

4) 舍入：不需舍入。

5) 判阶码是否溢出：无

则： $x-y=2^{-010} \times (0.100\ 100)$

补充题 1、某加法器进位链小组信号为 $C_3C_2C_1C_0$ ，低位来的仅为信号为 C_{-1} ，请分别按下述两种方式写出 $C_3C_2C_1C_0$ 的逻辑表达式：

1) 串行进位方式

2) 并行进位方式

解：1) 串行进位： $C_0 = d_0 + t_0C_{-1}$

$$C_1 = d_1 + t_1C_0$$

$$C_2 = d_2 + t_2C_1$$

$$C_3 = d_3 + t_3C_2$$

2) 并行进位

$$C_0 = d_0 + t_0C_{-1}$$

$$C_1 = d_1 + t_1C_0 = d_1 + t_1d_0 + t_1t_0C_{-1}$$

$$C_2 = d_2 + t_2C_1 = d_2 + t_2d_1 + t_2t_1d_0 + t_2t_1t_0C_{-1}$$

$$C_3 = d_3 + t_3C_2 = d_3 + t_3d_2 + t_3t_2d_1 + t_3t_2t_1d_0 + t_3t_2t_1t_0C_{-1}$$

第 7 章作业题参考答案

7.6 某指令系统字长为 16 位，地址码取 4 位，试提出一种方案，使该指令系统有 8 条三地址指令、16 条二地址指令、100 条一地址指令。

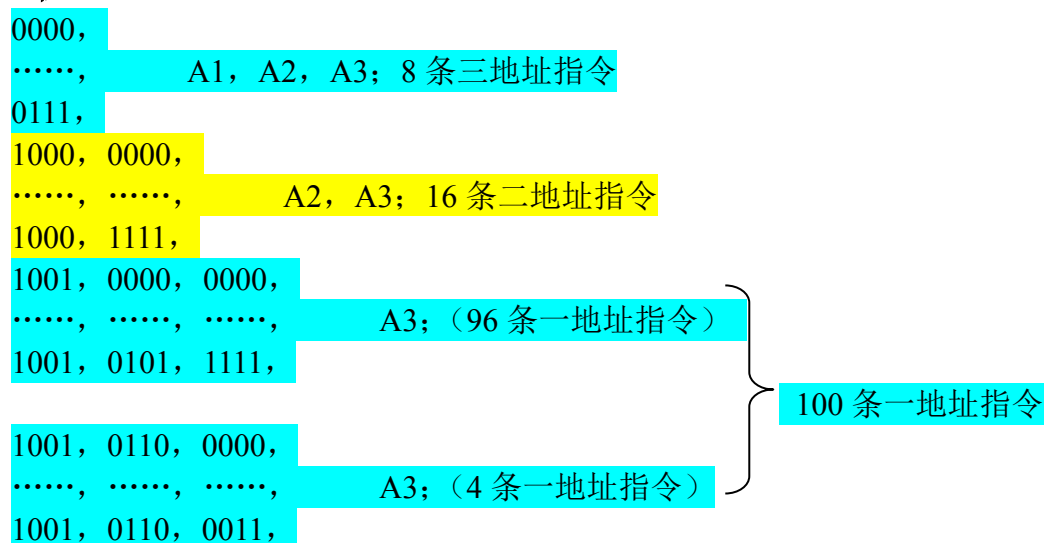
解：三地址指令格式如下：

4	4	4	4
OP	A_1	A_2	A_3

以三地址指令格式为该指令系统的基本格式。以此格式为基础，采用扩展操作码技术，设计出题意所要求的地址码结构的指令。

指令操作码分配方案如下：

4 位 OP



剩余未用的可作为冗余编码。

注：可有多种扩展方案，本方案仅供参考。

7.7 设指令字长为 16 位，采用扩展操作码技术，每个操作数的地址为 6 位。如果定义了 13 条二地址指令，试问还可安排多少条一地址指令？

参考答案要点：

二地址指令格式如下

4	6	6
OP	A ₁	A ₂

设二地址指令格式为该指令系统的基本格式，4 位操作码共有 16 种编码，其中 13 种用来定义二地址指令，还剩 3 种可用作扩展标志。如不考虑零地址指令，该指令系统最多还能安排：

$$\text{一地址指令条数} = 3 \times 2^6 = 192 \text{ 条}$$

7.8 某机指令字长 16 位，每个操作数的地址码为 6 位，设操作码长度固定，指令分为零地址、一地址和二地址三种格式。若零地址指令有 M 种，一地址指令有 N 种，则二地址指令最多有几种？若操作码位数可变，则二地址指令最多允许有几种？

参考答案要点：

1) 操作码定长：二地址指令条数=16-M-N

2) 操作码变长（采用操作码扩展技术）：

设二地址指令有 X 种，则有如下的等式： $((16-X) \times 2^6 - N) \times 2^6 = M$

则 $X = 16 - (M/2^{12} + N/2^6)$ ，其中 $M/2^{12} + N/2^6$ 取上整数。

7.10 试比较基址寻址和变址寻址。

参考答案要点：

1) 相同点：二者都可有效地扩大指令寻址范围。

2) 不同点：

①二者的使用方式不同。变址寻址方式：指令提供基准量不变，R 提供修改量可变；适于处理一维数组。基址寻址方式：基址指令提供位移量(不变)，R 提供基准量(可变)；适用于扩大有限字长指令的访存空间。

② 二者的应用目的不同。变址寻址方式面向用户，用于对成批数据的连续的便捷访问；基址寻址方式面向系统，用来解决程序在实际主存中重定位问题（为程序分配存储空间）及扩大访存空间；

7.14 设相对寻址的转移指令占两个字节，第一个字节是操作码，第二个字节是相对位移量，用补码表示。假设当前转移指令第一字节所在的地址为 2000H，且 CPU 每取出一个字节便自动完成 $(PC) + 1 \rightarrow PC$ 的操作。试问当执行 “JMP *+8” 和 “JMP *-9” 指令时，转移指令第二字节的内容各为多少？补充：操作数的有效地址是多少？

解：据题意，相对寻址的转移指令格式如下：

2000H	OP
2001H	A
2002H	XX

弄明白+8 和-9 的含义：转移目标地址和指令地址之间的距离（方便编程人员编程的），而转移指令第二字节内容是相对位移量，为转移目标地址和修正后的 PC 值之间的差值。即：

$$A1 = (2000+8) - 2002 = 06H$$

$$A2 = (2000-9) - 2002 = F5H \quad (\text{真值: } -00001011; \text{ 写成补码形式:})$$

11110101=F5H)

其有效地址各为:

$$EA1 = (PC) + A1 = 2002H + 0006H = 2008H$$

$$EA2 = (PC) + A2 = 2002H + FFF5H = 1FF7H \quad (\text{做加法前, 要先做符号位扩}$$

展: F5H 写成 FFF5H)

7.16 某机主存容量为 $4M \times 16$ 位, 且存储字长等于指令字长, 若该机指令系统可完成 108 种操作, 操作码位数固定, 且具有直接、间接、变址、基址、相对、立即等六种寻址方式, 试回答:

(1) 画出一地址指令格式并指出各字段的作用;

(2) 该指令直接寻址的最大范围;

(6) 上述六种寻址方式的指令哪一种执行时间最短? 哪一种最长? 为什么? 哪一种便于程序浮动? 哪一种最适合处理数组问题?

参考答案要点:

(1) 单字长一地址指令格式:

7 位	3 位	6 位
OP	M	A

各字段的作用:

OP—— 操作码字段, 提供至少 108 种指令操作码;

M —— 寻址方式码字段, 指出 6 种寻址方式;

A —— 形式地址字段, 给出寻址所需的形式地址。

(2) A 为 6 位, 该指令直接寻址的最大范围为 $2^6=64$ 字;

(6) 六种寻址方式中, 立即寻址指令执行时间最短, 因为此时不需寻址; 间接寻址指令执行时间最长, 因为寻址操作需访存一次到多次; 相对寻址便于程序浮动, 因为此时操作数位置可随程序存储区的变动而改变, 总是相对于程序一段距离; 变址寻址最适合处理数组问题, 因为此时变址值可自动修改而不需要修改程序。

补充题 (见 PPT 第 55 页)

某机器指令格式如下所示:

15	10	9	8	7	0
操作码OP			X	位移量D	

X 为寻址特征位：

X=00	直接寻址
X=01	寄存器间接寻址，用寄存器 R1 寻址
X=10	变址寻址，用寄存器 R2 寻址
X=11	PC 相对寻址

设当前 (PC) = 5431H, (R1) = 3525H, (R2) = 6783H (H 代表十六进制数)，
请确定下列指令的寻址方式和有效地址。

- (1) 8341H (2) 1468H (3) 8100H (4) 6264H

参考答案要点：

(1) 8341H = 1000 0011 0100 0001

寻址方式：相对寻址； EA = (PC) + 形式地址 A = 5431H + 0041H = 5472H

(2) 1468H = 0001 0100 0110 1000

寻址方式：直接寻址； EA = 形式地址 A = 0068H

(3) 8100H = 1000 0001 0000 0000

寻址方式：寄存器间接寻址； EA = (R1) = 3525H

(4) 6264H = 0110 0010 0110 0100

寻址方式：变址寻址； EA = (R2) + 位移量 D = 6783H + 0064H = 67E7H

第 8 章作业题参考答案

指令流水线原理？

什么是多发射技术？

多发技术有哪几种？

8.2 什么是指令周期？指令周期是否有一个固定值？为什么？

参考答案要点：

1) 指令周期是指 CPU 每取出并执行一条指令所需的全部时间。

2) 由于计算机中各种指令执行所需的时间差异很大，因此为了提高 CPU 运行效率，即使在同步控制的机器中，不同指令的指令周期长度都是不一致的，

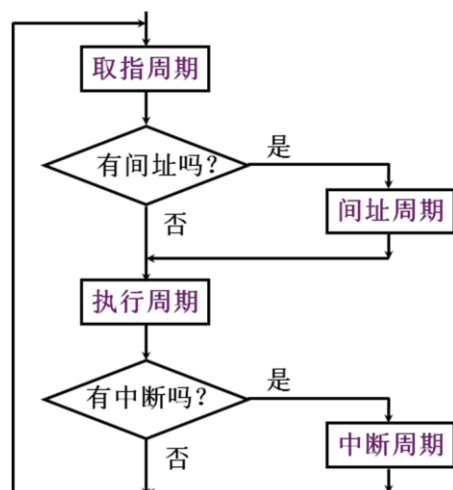
也就是说指令周期对于不同的指令来说不是一个固定值。

3) 指令周期长度不一致的根本原因在于设计人员, 为了提高 CPU 运行效率而这样安排的, 指令功能不同, 需完成的微操作复杂程度亦不同, 因此, 不同指令的指令周期也不同。

8.3 画出指令周期的流程图, 分别说明图中每个子周期的作用。

参考答案要点:

流程图如下:



取指周期: 完成取指令和分析指令的操作。

间址周期: 取操作数的有效地址。

执行周期: 执行指令的操作。

中断周期: 将程序断点保存到存储器, 转向终端服务程序入口。

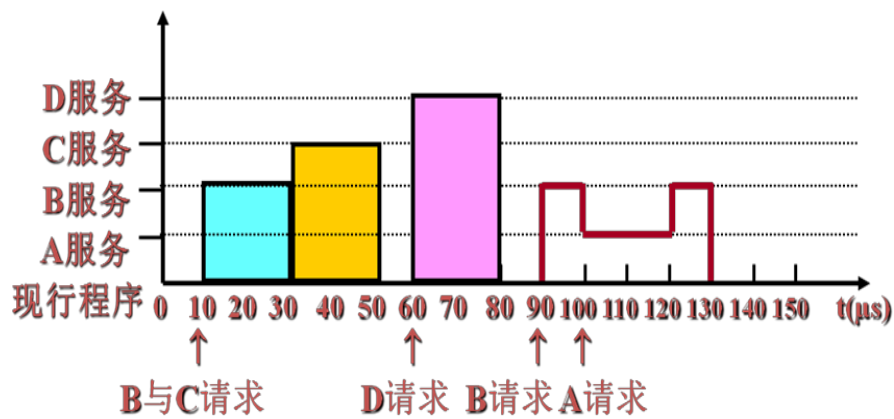
8.5 中断周期前是什么阶段? 中断周期后又是什么阶段? 在中断周期 CPU 应完成什么操作?

参考答案要点:

中断周期前是指令的执行阶段 (处于执行周期)。中断周期后是取指令阶段 (处于取指周期)。在中断周期中, CPU 应完成关中断、保存断点和转中断服务程序入口三个操作。

8.24 现有 A、B、C、D 四个中断源, 其优先级由高向低按 A→B→C→D 顺序排列。若中断服务程序的执行时间为 20μs, 请根据下图所示时间轴给出的中断源请求中断的时刻, 画出 CPU 执行程序的轨迹。

解： CPU 执行程序的轨迹图如下：



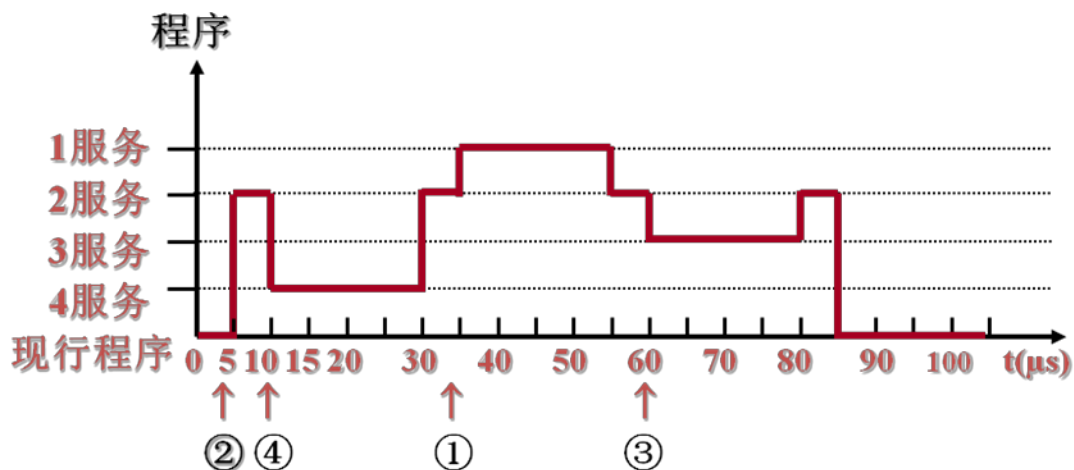
8.25 设某机有五个中断源 L₀、L₁、L₂、L₃、L₄，按中断响应的优先次序由高向低排序为 L₀→L₁→L₂→L₃→L₄，现要求中断处理次序改为 L₁→L₄→L₂→L₀→L₃，根据下面的格式，写出各中断源的屏蔽字。

参考答案要点：

中断源	屏蔽字				
	0	1	2	3	4
L ₀	1	0	0	1	0
L ₁	1	1	1	1	1
L ₂	1	0	1	1	0
L ₃	0	0	0	1	0
L ₄	1	0	1	1	1

8.28 设某机有 4 个中断源 1、2、3、4，其响应优先级按 1→2→3→4 降序排列，现要求将中断处理次序改为 4→1→3→2。根据下图给出的 4 个中断源请求时刻，画出 CPU 执行程序的轨迹。设每个中断源的中断服务程序时间均为 20μs。

解： CPU 执行程序的轨迹图如下：



第 9 章作业题参考答案

9.3 什么是指令周期、机器周期和时钟周期？三者有何关系？

参考答案要点：

CPU 每取出并执行一条指令所需的全部时间叫指令周期；

机器周期是在同步控制的机器中，所有指令执行过程中（执行一步相对完整的操作）的一个基准时间，通常以访问一次存储器所需的时间作为一个机器周期；

时钟周期是指计算机主工作时钟的周期时间，它是计算机运行时最基本的时序单位，通常时钟周期等于计算机主频的倒数。

三者之间的关系：指令周期常常用若干个机器周期数来表示，机器周期也叫 CPU 周期；而一个机器周期又包含若干个时钟周期。

9.7 题目略。

参考答案要点：

1) 平均指令周期： $1/10^6 \text{ s} = 1\mu\text{s}$ ；

2) 时钟周期为 $0.1\mu\text{s}$ ；机器周期时间跨度为 $0.4\mu\text{s}$ 。

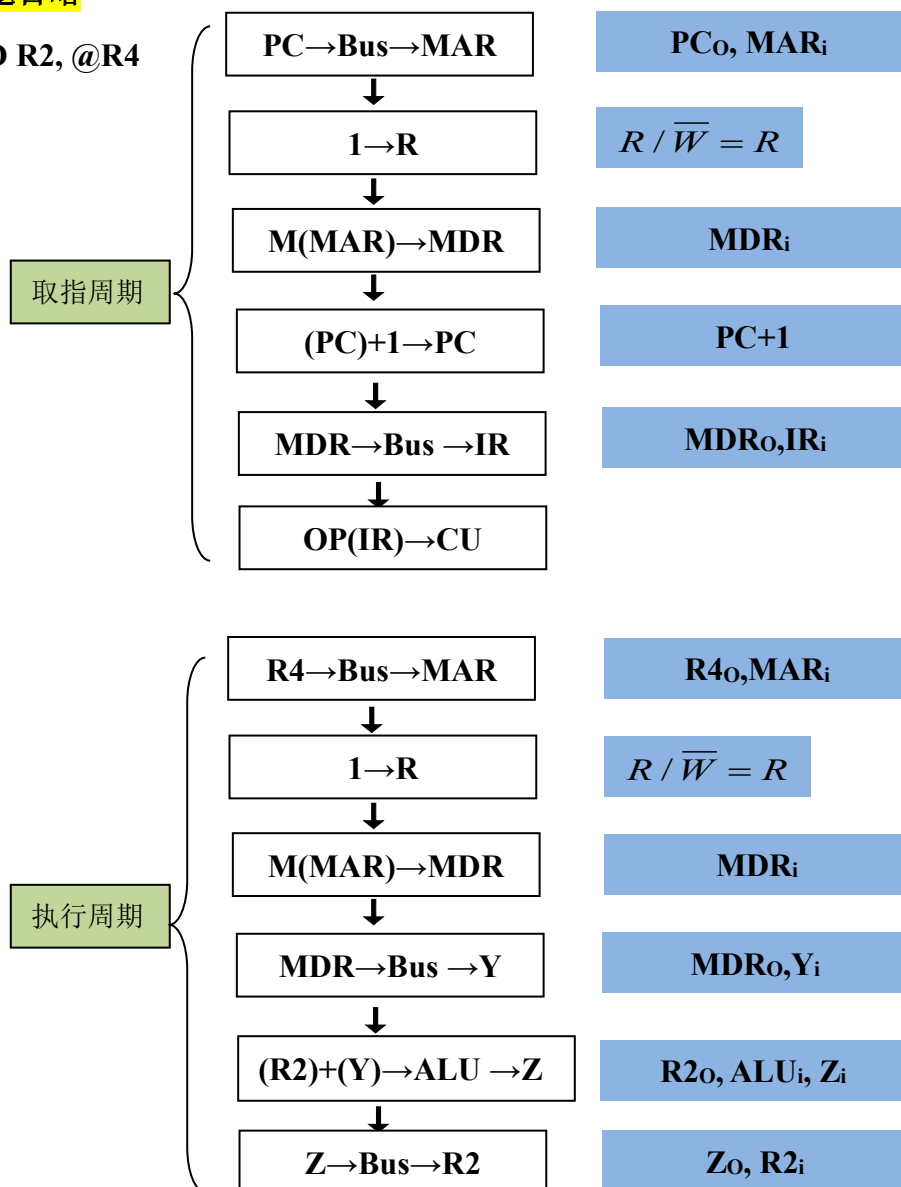
每个指令周期包含的平均机器周期数： $1\mu\text{s}/0.4\mu\text{s} = 2.5$ 个机器周期。

平均指令执行速度为： 0.25MIPS 。

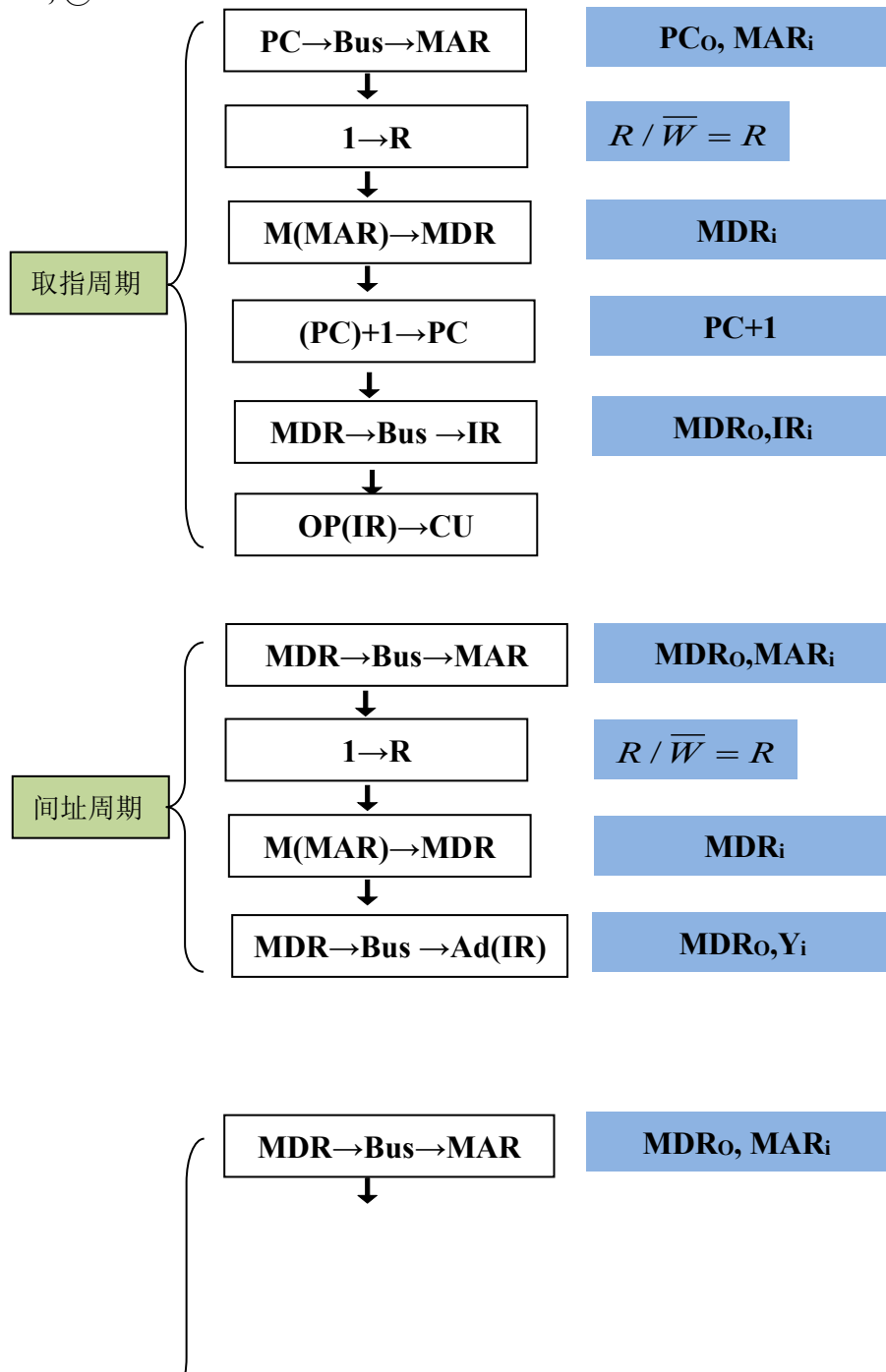
应采用主频为 8MHz 的 CPU 芯片。

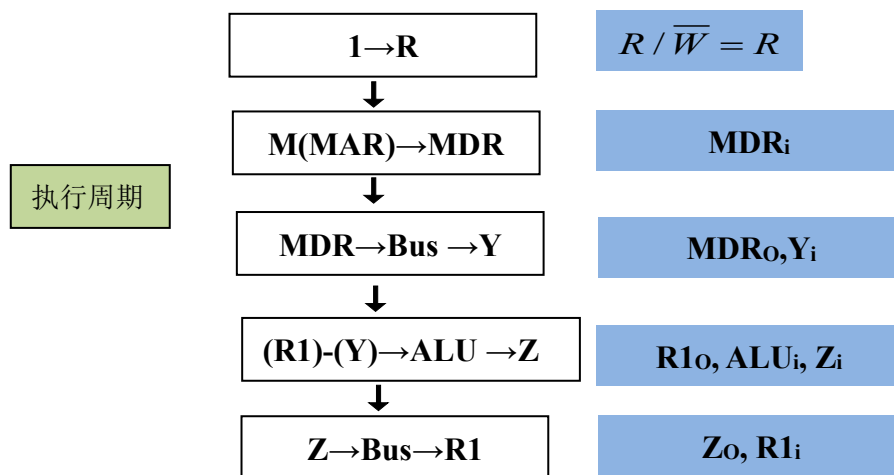
9.13 题目略

1) ADD R2, @R4



2) SUB R1, @mem

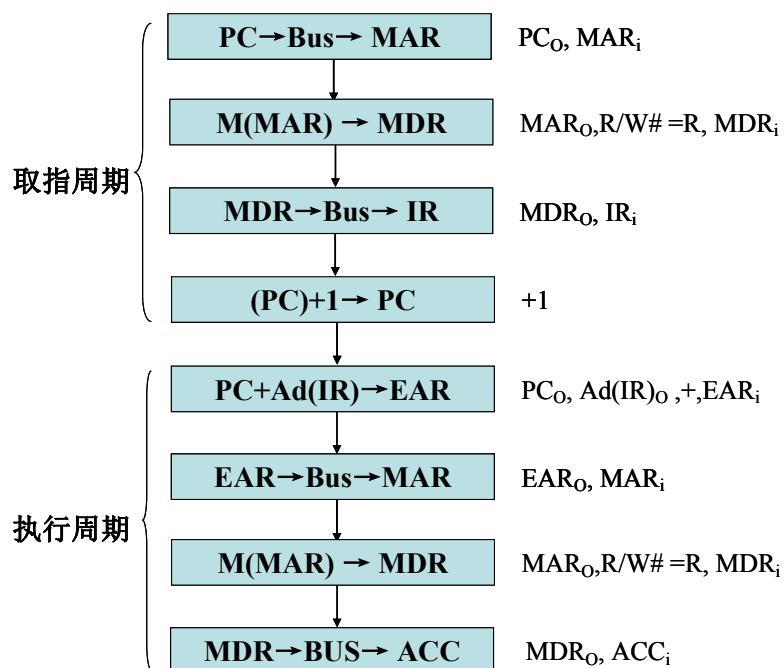




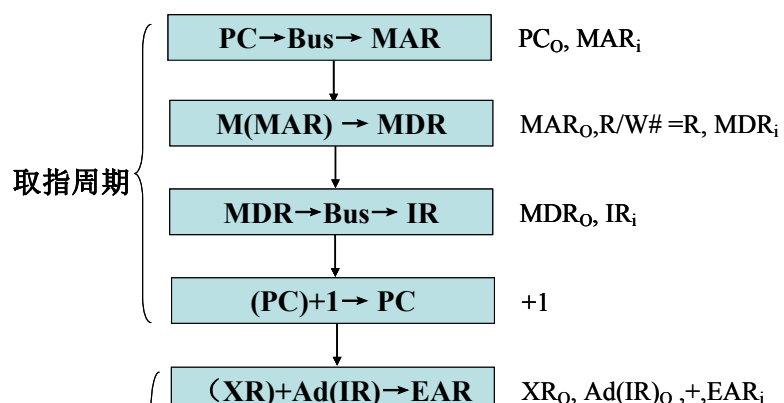
9.14 题目略

参考答案要点：说明：本题中出现的 $R/W\#$ 控制信号指代 R/\overline{W} ；数据通路结构参见教材 P384 图 9.5。

1) LDA * D



2) SUB X, D

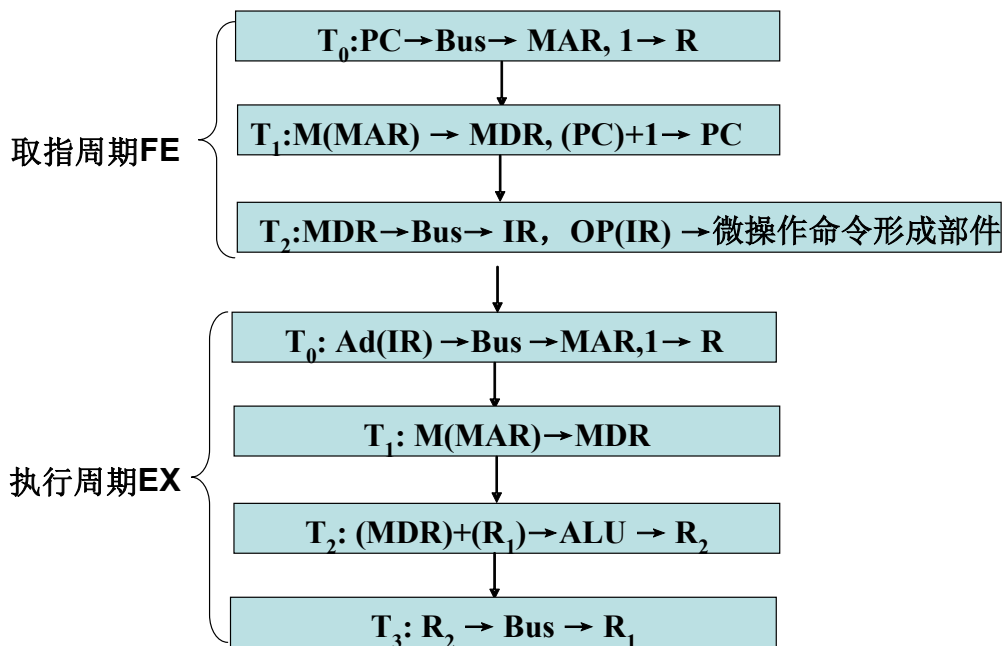


第 10 章作业题参考答案

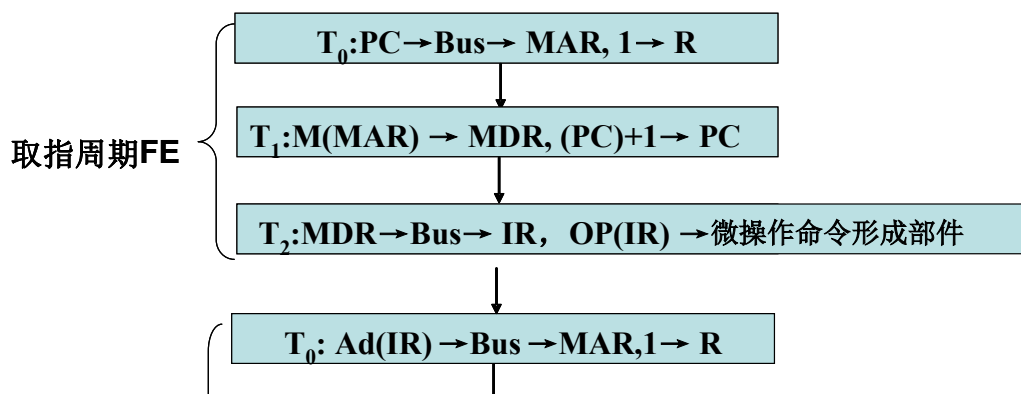
10.2 题目略。

参考答案要点：说明：本题参照了教材 P₃₉₈ 图 10.2 的数据通路结构。

1) 指令 ADD R₁, X



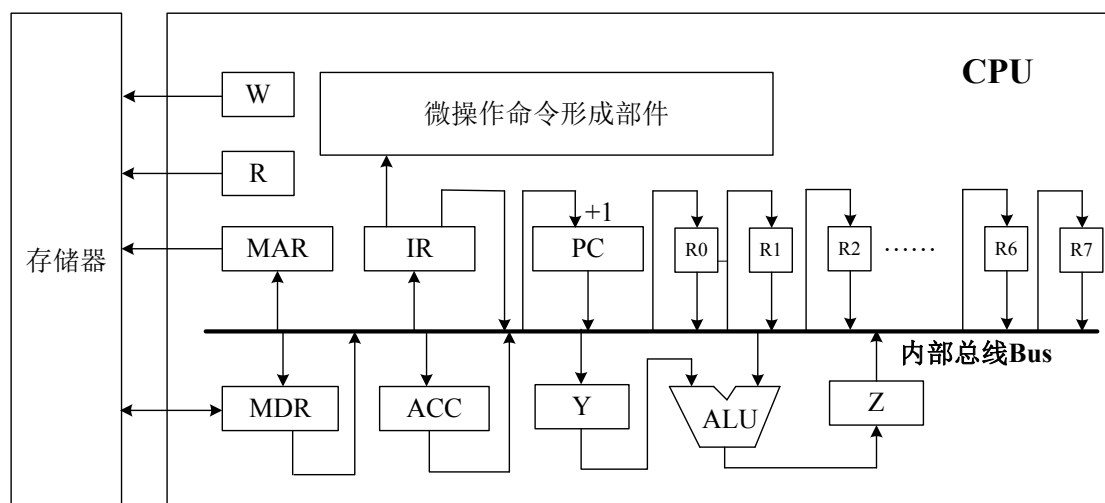
2) 指令 ISZ X



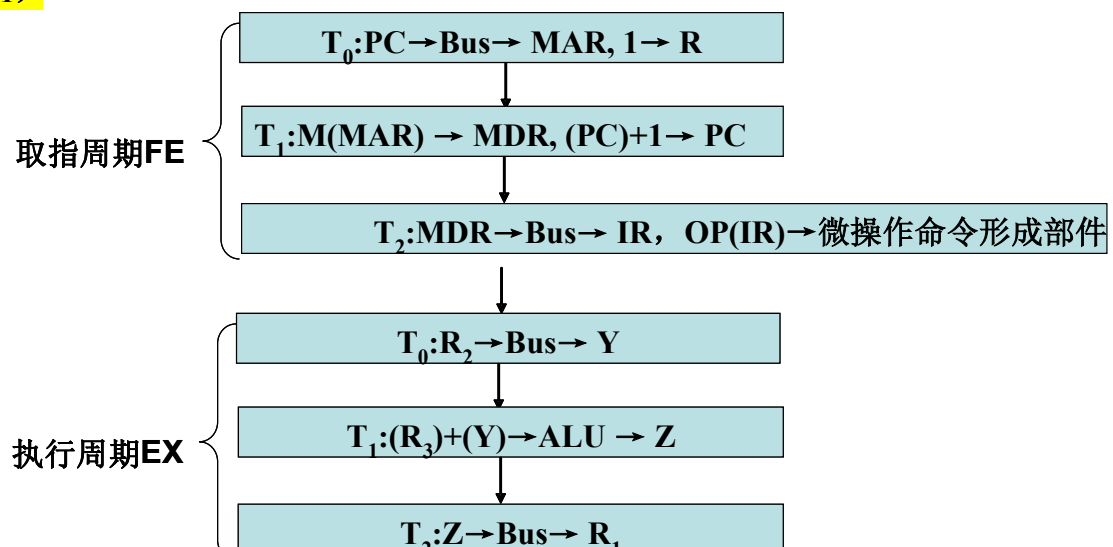
说明：上图中 $Z\#$ 指代 \bar{Z} （其中 Z 为结果为零的标志位， Z 代表运算结果为 0， $Z\#$ 代表运算结果非 0）

10.4 题目略

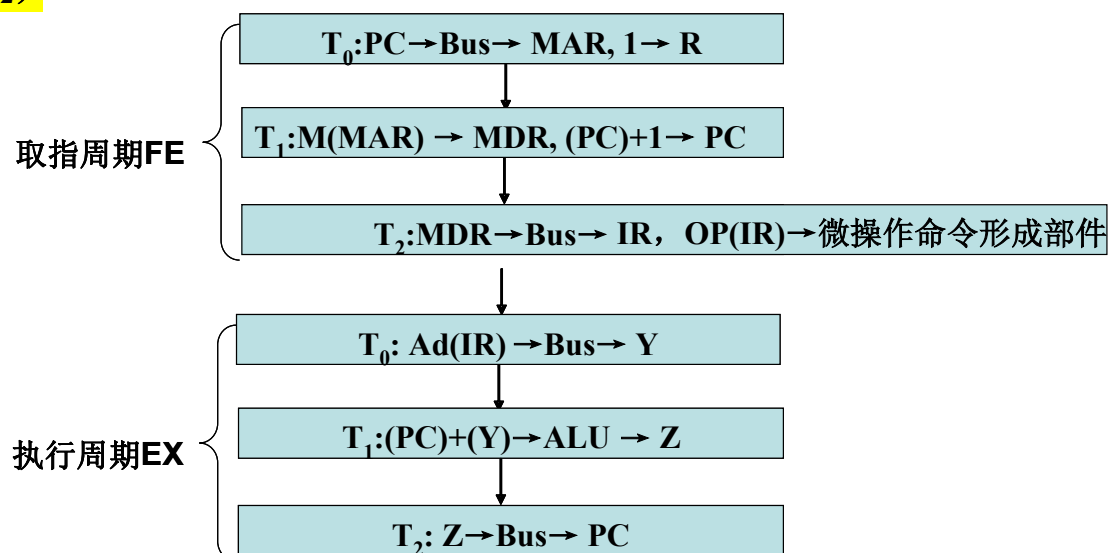
参考答案要点：说明：首先应看懂该题所描述的数据通路结构，如下图所示。



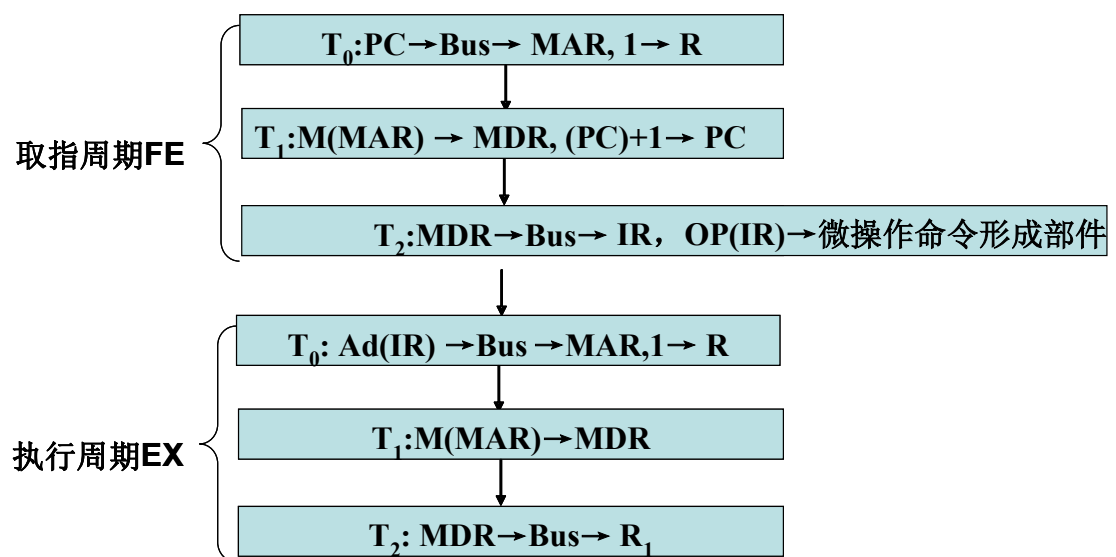
1)



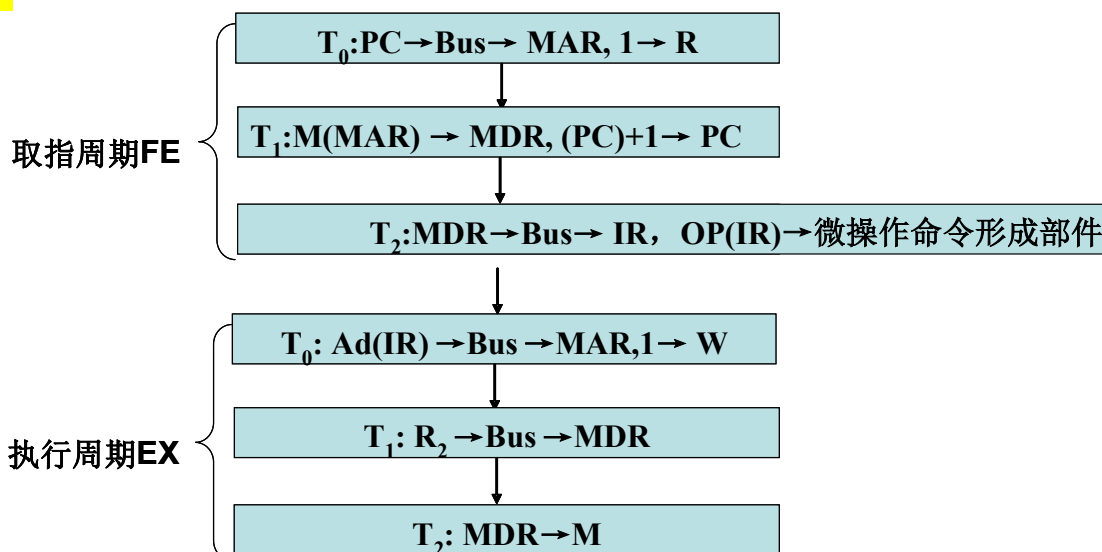
2)



3)



4)



10.9 试比较组合逻辑控制器和微程序控制器的特点。

参考答案要点:

- 1) 产生微命令的方法及核心器件：组合逻辑控制器由组合逻辑电路提供微命令，其核心器件是由各种门电路构成的复杂树形网络；微程序控制器由存储逻辑(微指令)提供微命令，其核心器件是控制存储器。
- 2) 规整性：组合逻辑控制器设计不规整，微程序控制器设计规整；
- 3) 可扩展性：组合逻辑控制器不易修改和扩充，后者则易于修改和扩充；
- 4) 组合逻辑控制器执行指令快，微程序控制器执行指令速度慢；

补充题 1：说明微程序控制器的基本工作原理。

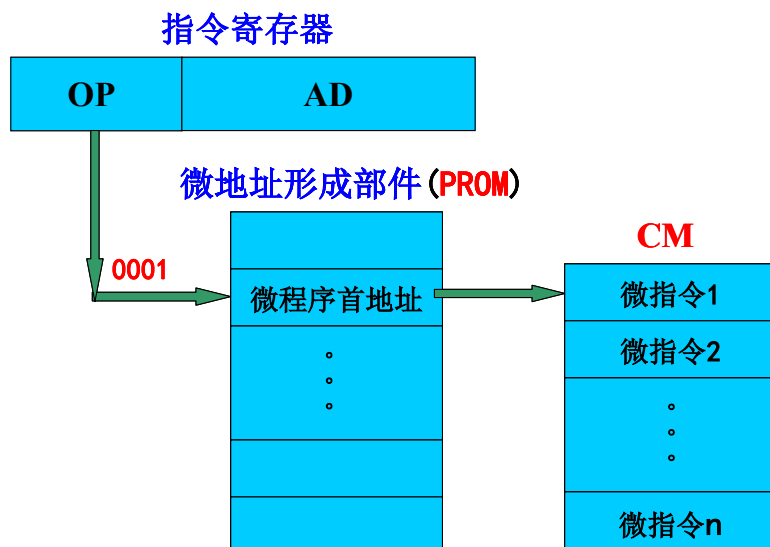
参考答案要点:

将控制器所需要的微操作命令，以微代码的形式编成微指令，存在专门的控制存储器中，CPU执行机器指令时，从控制存储器中取出微指令，对微指令中的操作控制字段进行解释，即产生执行机器指令所需的微操作命令序列。

(注意：和微程序控制的工作过程区分开)

补充题 2：画图并说明微程序控制器中是如何根据操作码形成相应微程序入口地址的。

参考答案要点:



如上图所示，机器指令取至指令寄存器后，指令的操作码作为微地址形成部件的输入，来形成微指令的地址。因此，可以把微地址形成部件理解为一个编码器。微地址形成部件可采用 PROM 实现，即以指令的操作码作为 PROM 的地址，而相应的存储单元中就存放着对应该指令微程序的首地址。

1.11、计算机是如何区分存储器中的指令和数据的？

参考答案要点：

CPU 可从时间和空间两个层面来区分访存取来的指令和数据。

1) 时间层面：在取指周期（或运行取指微程序）内，由 PC 提供访存地址，取来的即为指令；在执行周期（或运行执行周期相对应的微程序段）内，由指令的地址码部分提供访存地址，取来的即为操作数，也就是数据。

2) 空间层面：取来的机器指令应存放在指令寄存器，而取来的数据（或操作数）则应该存放在以累加器为代表的通用寄存器内。

第二次作业及参考答案

4.利用公式法化简下列函数为最简与或式

$$F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC \quad F = ABC + \overline{A} + \overline{B} + C$$

参考答案：

$$1) \quad F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

$$F = \overline{A}\overline{B} + \overline{A}B\overline{C} + A\overline{B}\overline{C}$$

$$F = \overline{A}\overline{B} + A\overline{B}$$

$$F = \overline{B}$$

$$2) F = ABC + \overline{A} + \overline{B} + C$$

$$F = \overline{A} + \overline{B} + C$$

5.将下列函数展开为最小项标准式

$$(1) F = AB + \overline{A}\overline{B} + C\overline{D}$$

参考答案:

$$F = AB(C + \overline{C}) + \overline{A}\overline{B}(C + \overline{C}) + C\overline{D}(A + \overline{A})$$

$$F = ABC + A\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} + AC\overline{D} + \overline{A}C\overline{D}$$

$$F = ABC(D + \overline{D}) + A\overline{B}\overline{C}(D + \overline{D}) + \overline{A}\overline{B}C(D + \overline{D}) + \overline{A}\overline{B}\overline{C}(D + \overline{D}) + AC\overline{D}(B + \overline{B}) + \overline{A}C\overline{D}(B + \overline{B})$$

$$F = ABCD + ABC\overline{D} + A\overline{B}\overline{C}D + A\overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}CD + \overline{A}\overline{B}C\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}\overline{C}\overline{D} + AC\overline{D}B + AC\overline{D}\overline{B}$$

$$F = m_{15} + m_{14} + m_{13} + m_{12} + m_3 + m_2 + m_1 + m_0 + m_{14} + m_{10} + m_6 + m_2$$

$$F = \sum m(0, 1, 2, 3, 6, 10, 12, 13, 14, 15)$$

$$(2) F = A \oplus B + \overline{A}C$$

$$F = A\overline{B} + \overline{A}B + \overline{A}C$$

$$F = A\overline{B} + \overline{A}B + \overline{A} + \overline{C}$$

$$F = A\overline{B} + \overline{A} + \overline{C}$$

$$F = A\overline{B}(C + \overline{C}) + \overline{A}(C + \overline{C}) + \overline{C}(A + \overline{A})$$

$$F = A\overline{B}C + A\overline{B}\overline{C} + \overline{A}C + \overline{A}\overline{C} + AC + \overline{A}\overline{C}$$

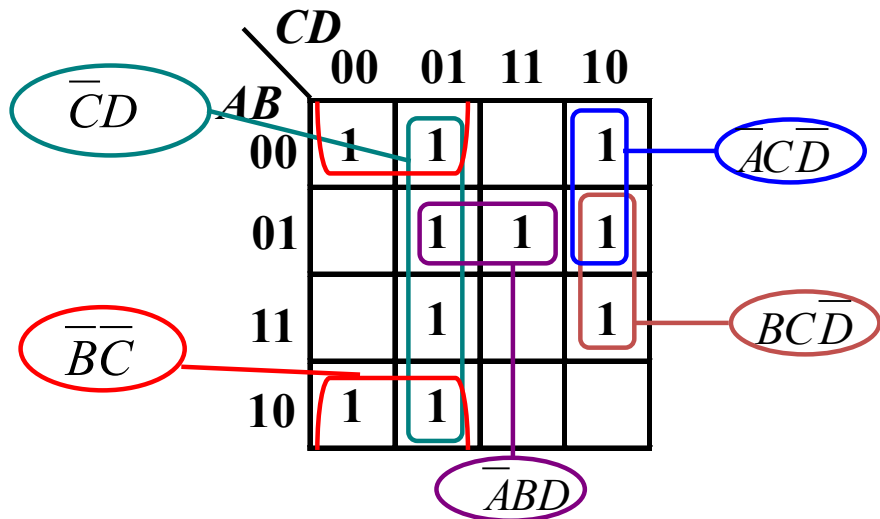
$$F = A\overline{B}C + A\overline{B}\overline{C} + \overline{A}BC + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}BC + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C$$

$$F = m_5 + m_4 + m_3 + m_1 + m_2 + m_0 + m_6 + m_4 + m_2 + m_0$$

$$F = \sum m(0, 1, 2, 3, 4, 5, 6)$$

6.利用卡诺图法化简下列函数

$$1) F(ABCD) = \sum (0, 1, 2, 5, 6, 7, 8, 9, 13, 14)$$

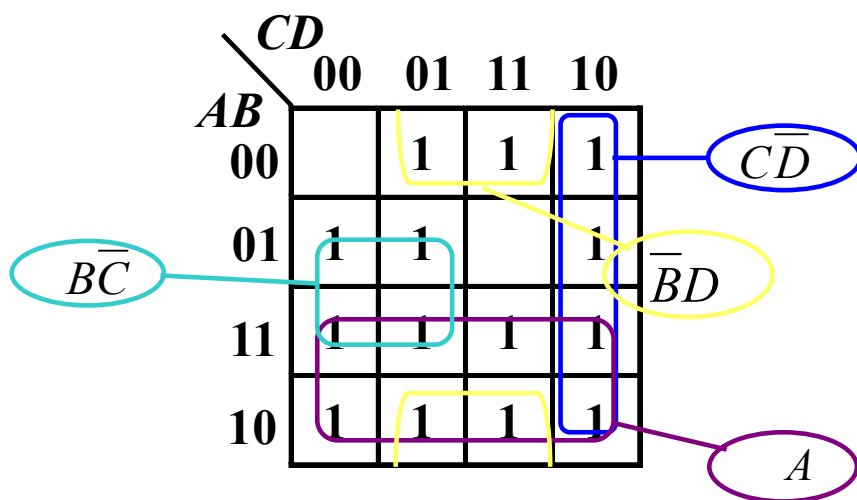


$$F = \overline{C}D + \overline{B}\overline{C} + \overline{A}BD + \overline{A}\overline{C}\overline{D} + B\overline{C}\overline{D} \quad \text{说明：答案不唯一}$$

2) $F(ABCD) = A + \overline{B}\overline{C}\overline{D} + BCD$

参考答案：先画出真值表，如下：

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	1
0	0	0	1	1	1	0	0	1	1
0	0	1	0	1	1	0	1	0	1
0	0	1	1	1	1	0	1	1	1
0	1	0	0	1	1	1	0	0	1
0	1	0	1	1	1	1	0	1	1
0	1	1	0	1	1	1	1	0	1
0	1	1	1	0	1	1	1	1	1

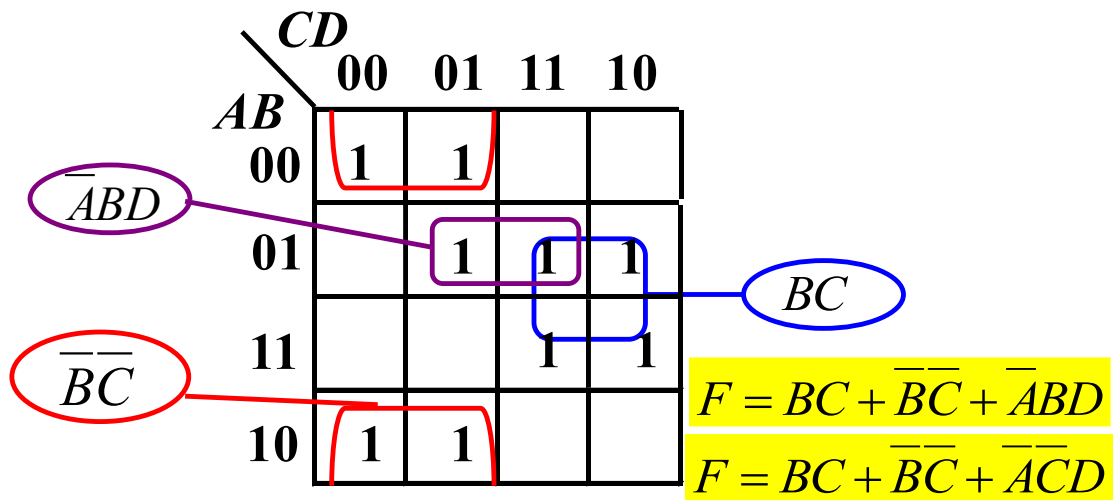


$$F = A + \overline{B}\overline{C}\overline{D} + \overline{B}D + \overline{C}\overline{D}$$

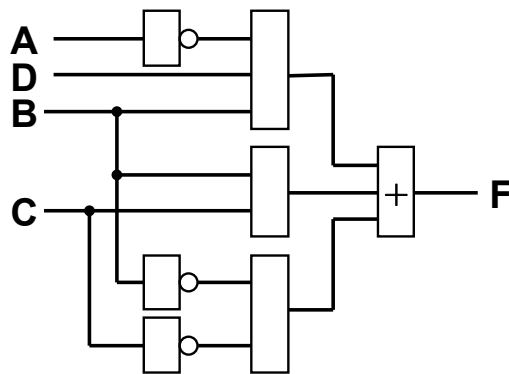
$$F = A + \overline{B}D + \overline{C}\overline{D} + \overline{B}\overline{C}$$

1. 用卡诺图法化简下列函数，画出化简后的逻辑电路图。

$$F(ABCD)=\Sigma(0,1,5,6,7,8,9,14,15)$$

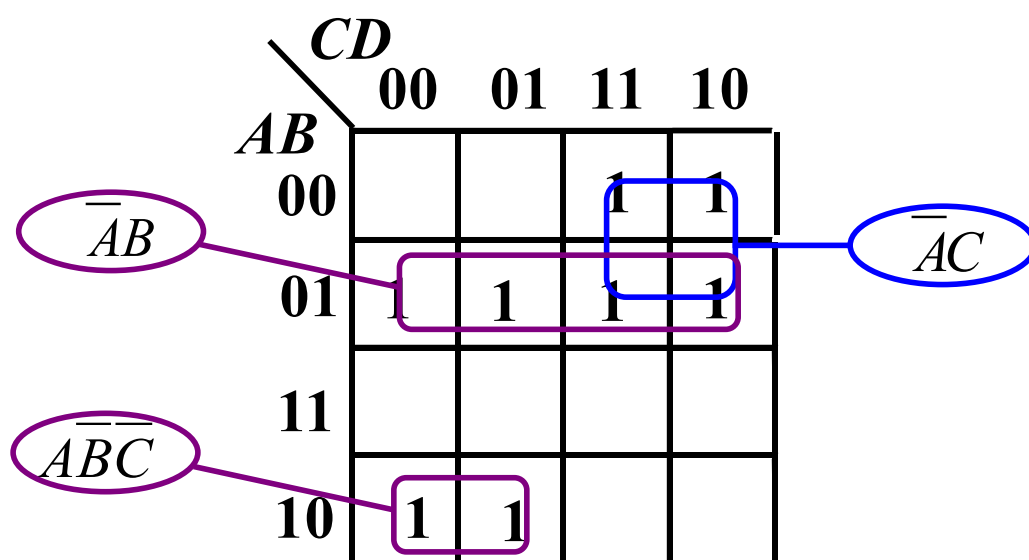


按 $F = BC + \overline{B}\overline{C} + \overline{A}BD$ 逻辑表达式绘制逻辑电路如下：



2. 设 $X=ABCD$ 是一个四位二进制整数($0 \leq X \leq 1111$)，设计电路判断 $2 \leq X < 10$

A	B	C	D	F	A	B	C	D	F
0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	1	0	0	1	1
0	0	1	0	1	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	1	1	1	0	0	0
0	1	0	1	1	1	1	0	1	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	0



$$F = \overline{A}C + \overline{A}B + \overline{A}\overline{B}C$$

按 $F = \overline{A}C + \overline{A}B + \overline{A}\overline{B}C$ 逻辑表达式绘制逻辑电路如下：

