

中国科学技术大学计算机学院

《数字电路实验》报告



实验题目：简单时序逻辑电路

学生姓名：舒文炫_____

学生学号：PB18000029_____

完成日期：2021 年 11 月 5 日

计算机实验教学中心制

2020 年 09 月

【实验题目】

简单时序逻辑电路

【实验目的】

- 掌握时序逻辑相关器件的原理及底层结构
- 能够用基本逻辑门搭建各类时序逻辑器件
- 能够使用 Verilog HDL 设计简单逻辑电路

【实验环境】

- Win10 操作系统
- logisim 仿真工具

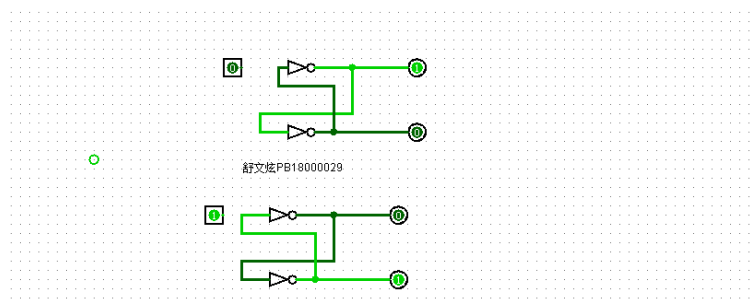
【实验过程】

前面的实验中，我们在 Logisim 中使用 MOS 管搭建出了与、或、非、与非、或非、同或、异或等两输入的基本逻辑门，又使用这些基本逻辑门搭建出了加法器、选择器、译码器等各种典型的组合逻辑电路。这些组合逻辑电路的共同特点就是没有记忆功能，其输出只与当前的输入信号有关，而不受电路之前状态的影响。与此相对应的便是时序逻辑电路。

时序逻辑电路的输出受到电路当前输入和之前状态两种因素的影响。当输入信号完全一样时，时序逻辑电路的输出及状态可能不一样，因此说，时序逻辑电路具有记忆功能，能够记住电路之前的状态。下面我们将使用与或非三种基本门逐步搭建出各种时序逻辑电路的关键器件，在此过程中加深对时序逻辑器件结构和工作原理的理解。

Step1：搭建双稳态电路

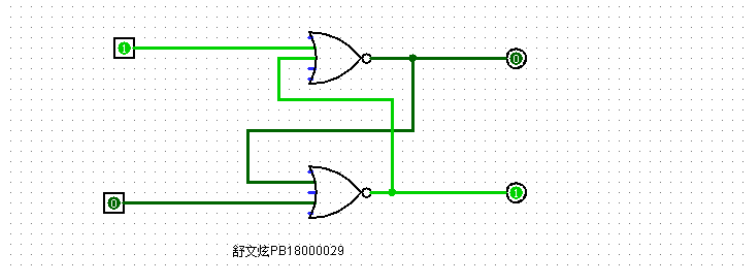
双稳态电路是由两个非门交叉耦合构成，完全一样的电路结构，却可以具备两种完全不同的状态，这一点与组合逻辑电路存在本质的区别。双稳态电路是一种最简单的时序逻辑电路，没有输入信号，状态一旦确定之后也无法改变，没有实际使用价值，但却是所有时序逻辑电路的基础，下面是我搭建的双稳态电路图



需要注意的是，在 Logisim 中搭建此电路时，应先将两条交叉耦合线断开一条，等输入信号将其状态初始到确定状态后再将耦合线连上。否则电路将处于一种不确定状态。

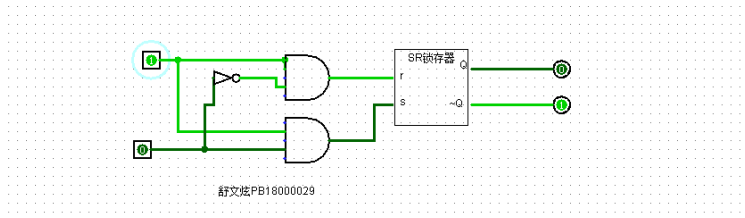
Step2: 搭建 SR 锁存器

在双稳态电路基础上加入两个输入信号 S,R, S 表示置位, R 表示复位, 我们就得到了 SR 锁存器, 注意其中 SR 都为 1 的状态为不确定态, 我搭建的



Step3: 搭建 D 锁存器

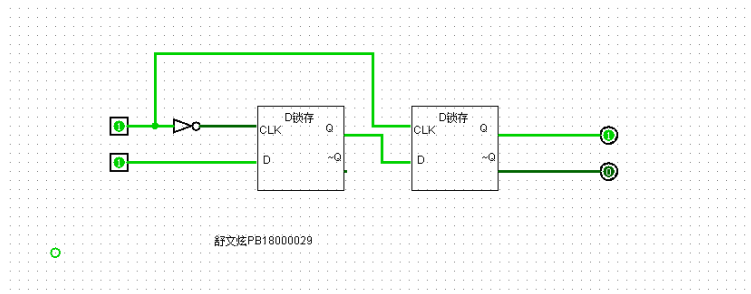
上面的 SR 锁存器当 SR 都为 1 时是不确定态, 为了避免这个情况, 我们构建了 D 锁存器, 我搭建的如下所示



分析 D 锁存器电路可以发现, 当 CLK 信号为高电平时, Q 信号将随着 D 端输入信号的变化而变化, 称之为“跟随”状态。当 CLK 信号为低电平时, Q 信号将保持之前的值, 不会收到 D 信号变化的影响, 称之为“锁存”状态。D 锁存器是一种电平敏感的时序逻辑器件。

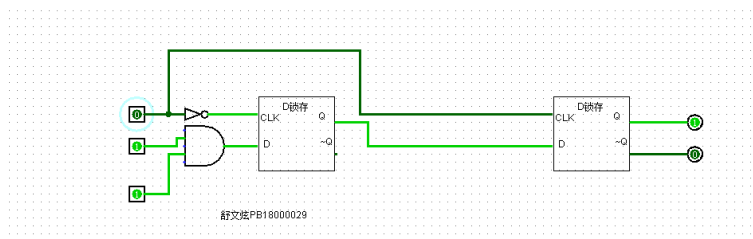
Step4: 搭建 D 触发器

前面搭建的电路都是电平敏感型的电路, 下面我将搭建一个对电平上升沿敏感的电路上, 叫 D 触发器, 这里用到两个 D 锁存器



这个电路只有在 CLK 信号由低电平变为高电平的瞬间, D 信号才会传播到 Q 端, 其余时刻 Q 端的值都保持不变

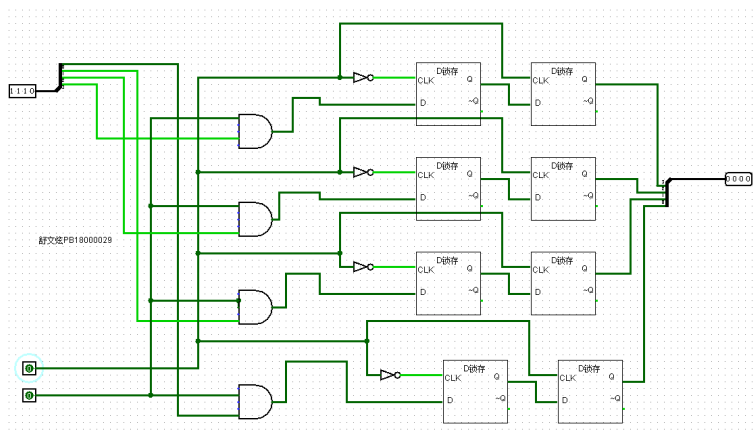
当然我们可以对该电路进行拓展, 比如加上一个复位信号



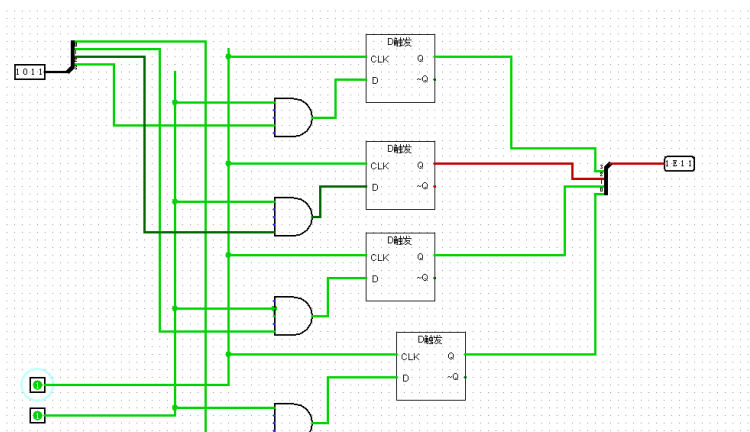
这是同步复位 D 触发器，最下面的那个信号是复位信号，当其置 0，且时钟在上升沿是，就会对输出置 0

Step5: 搭建寄存器

寄存器本质上来说就是 D 触发器，如下图所示，我们用 4 个 D 触发器构成了一个能够存储 4bit 数据的寄存器，带有低电平有效的同步复位信号

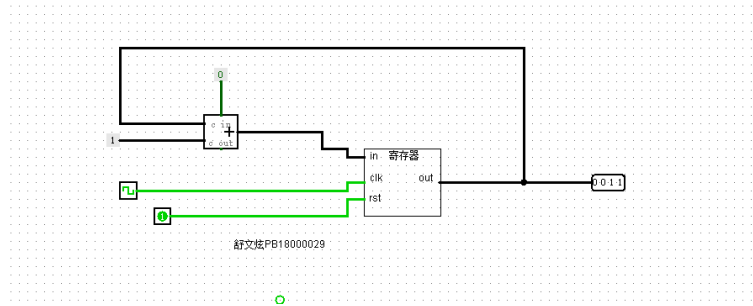


不要问我这里为什么没用封装的 D 触发器，而是把电路画出来了，我用封装的那个样式，电路有 Bug，根本无法正常输出 orz，而且不管重启了多少次，都或多或少有问题，明明电路一样的啊，不明白 qwq，就像下面这样



Step6: 搭建简单时序逻辑电路

上面已经搭建完 4bit 的寄存器，那么我们可以用这个寄存器搭建一个循环计数器在 0 到 15 循环递增计数，复位信号为 0 时，输出结果置 0，电路图如下

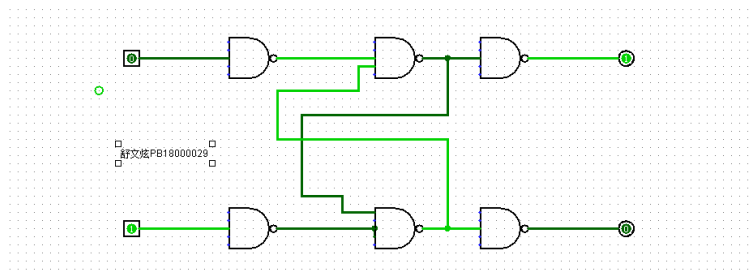


【实验练习】

题目 1

在 Logisim 中用与非门搭建 SR 锁存器，画出电路图，并分析其行为特性，列出电路在不同输入时的状态。

直接用与非门搭建 SR 锁存器，通过实验过程里面 SR 锁存器电路，将其中的门稍作转化即可，电路图如下



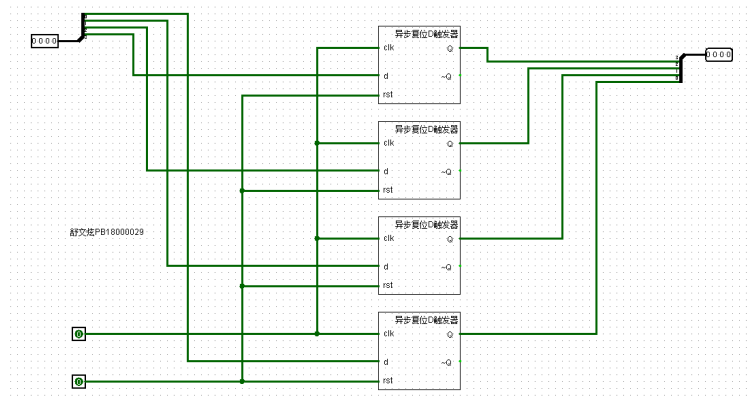
其行为特性

- $S=0, R=0$, 保持之前的状态
- $S=0, R=1$, 将输出 Q 复位成 0
- $S=1, R=0$, 将输出 Q 置位成 1
- $S=1, R=1$, 此时两个输出都是 0, 这个显然不符合两个输出互反, 这个状态就是不确定态, 需要避免

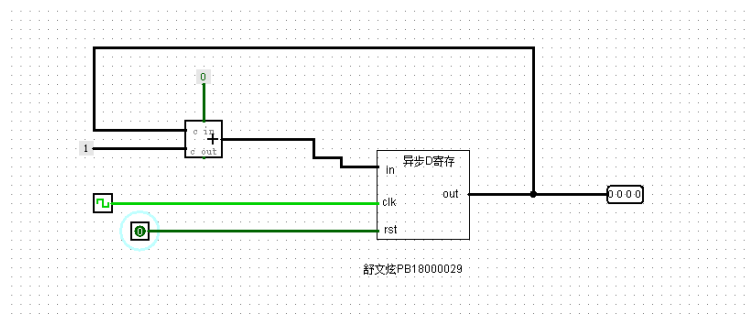
题目 2

在 Logisim 中搭建一个支持同步置位功能的 D 触发器，画出其电路图，并编写对应的 Verilog 代码。

同步置位和同步复位实际上类似，这里将与门换成或门，当置位信号为 1 时，输入自然变成 1，从而输出在下一个上升沿变成 1



然后使用这个寄存器搭建循环计数器，电路图如下



计数器的 Verilog 代码如下

```

module count(
input clk ,rst ,
output reg [3:0] cnt
);
always@(posedge clk ,negedge rst)
begin
    if (rst==0)
        cnt<=4'b0000;
    else
        cnt<=cnt+4'b0001;
    end
endmodule

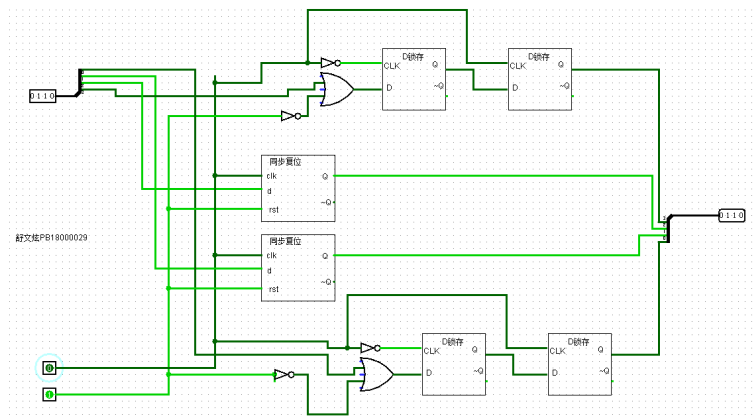
```

题目 4

在 Logisim 中搭建一个 9 到 0 循环递减的计数器，复位值为 9，每个周期减一（可使用 Logisim 中的减法器模块，也可自行设计计数器），画出电路图，进行正确性测试，并写出其对应的 Verilog 代码。

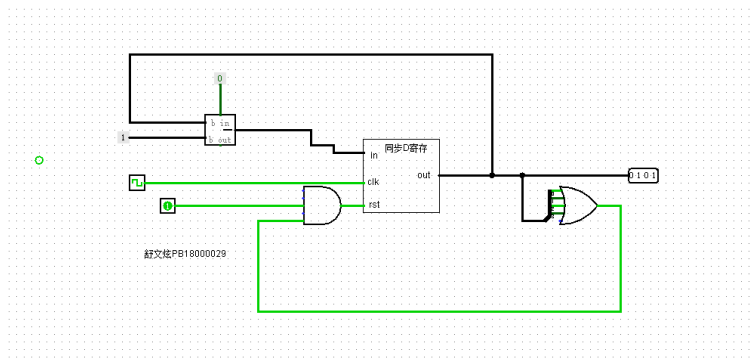
知道循环加法计数器怎么搞，减法就是类推，这里我做的是同步的循环递减计数器，注意到不同点，需要从 9 到 0 循环，复位值为 9，变成二进制为 4'b1001 这样可以考虑将第一

位和第四位换成同步置位 D 触发器，第二三位对应同步复位 D 触发器，这样一起作用达到复位成 1001 的状态



在构建这个寄存器的时候，我又一次遇到了与实验过程里面相同的 Bug，迫不得已只能把电路给具体画出来，而不是用封装好的那个块，这个真的过于神奇

后面就是循环递减计数器啦，这里递减到 0000 的时候，要从 1001 开始，也就相当于在 0000 的时候就需要复位信号过来了，这里的设计，就是用一个分线器，4bit 的输出进行缩位或，结果位 0，进行复位，但是不能直接调节复位信号，所以这个缩位或的结果要和复位信号做逻辑与，设计出来如下



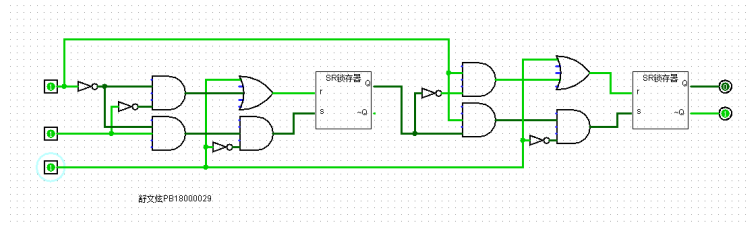
对应的 Verilog 代码

```
module dec(
    input clk ,rst
    output reg [3:0] cnt
);
always@(posedge clk)
begin
    if (rst==0||(cnt==0))
        cnt<=4'b1001;
    else
        cnt<=cnt-4'b0001;
    end
endmodule
```


题目 5

前面所有电路的复位信号都是低电平有效，如要使复位信号高电平有效，应如何实现？试用 Logisim 画出一个示例电路，并编写 Verilog 代码。

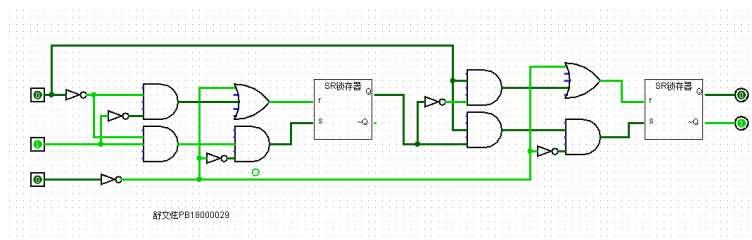
这个实现就很简单了，低电平有效变高电平有效，在输入那里加一个非门就行，以异步复位 D 触发器为例，下面就是高电平有效的电路



对应的 Verilog 代码

```
module reset(  
    input  clk ,d ,rst ,  
    output reg q  
);  
always@(posedge clk ,posedge rst)  
begin  
    if (rst==1)  
        q<=1'b0;  
    else  
        q<=d;  
    end  
endmodule
```

对比一下低电平有效的



就是加了一个非门，不过这里高电平有效两个非门等价与不加门，所以呈现出来结果如上

【总结与思考】

1. 请总结本次实验的收获

本次实验更深入的理解了时序电路的工作原理，其和组合电路的不同，也见识到了时序逻辑电路的各种应用，举一反三，在实验练习里面对所学到的知识进行灵活运用，总的来说收获很大

2. 请评价本次实验的难易程度

本次实验的难度不可谓不高，且不提我遇到的这个奇怪的 bug，一度耽误了不少时间，在设计异步置位 D 触发器时，也花了很多时间，一开始的设计，复位信号来的时候直接将输出变掉，但是复位信号变成 1 时，输出又会变回来，这个与要求的异步复位是不一样的，后来在老师所提供的提示下，设计了出来，除去这个，其他的本质上就是很繁琐，在画电路的时候需要耐心

3. 请评价本次实验的任务量

任务量很大，主要是步骤太多，电路太繁琐，但是可以发现，写出对应代码，只有几行了，代码真香，嗯（估计真正上手 vivado 后就说不出这句话了）

4. 请为本次实验提供改进建议

感觉可以和模数课重合度高一点，模数上基本没讲异步时序电路，同时讲了 JK 触发器，T 触发器，还有其他各种变体，我觉得这些都可以放到实验中来，学生可以有更好的参考，对这些电路工作原理也能理解更深一点