

中国科学技术大学计算机学院

《数字电路实验》报告



实验题目： Verilog 硬件描述语言

学生姓名： 舒文炫

学生学号： PB18000029

完成日期： 2021.11.9

计算机实验教学中心制

2020 年 09 月

【实验题目】

Verilog 硬件描述语言

【实验目的】

- 掌握 Verilog HDL 常用语法
- 能够熟练阅读并理解 Verilog 代码
- 能够设计较复杂的数字功能电路
- 能够将 Verilog 代码与实际硬件相对应

【实验环境】

- win10 操作系统

【实验练习】

题目 1

阅读以下 Verilog 代码，找出其语法错误，并进行修改

```
module test(  
    input a,  
    output b);  
    if(a) b = 1'b0;  
    else b = 1'b1;  
endmodule
```

这里 if,else 一般用在 always 语句里面，所以需要修改如下

```
module test(  
    input a,  
    output b);  
    always @(*)  
        begin  
            if(a) b = 1'b0;  
            else b = 1'b1;  
        end  
endmodule
```

题目 2

阅读以下 Verilog 代码，将空白部分补充完整
这里我直接给出完整的 Verilog 代码了

```
module test(  
    input  [4:0] a,  
    output [4:0] b);  
    always @(*)  
        b = a;  
endmodule
```

题目 3

阅读以下 Verilog 代码，写出当 $a = 8'b0011_0011$, $b = 8'b1111_0000$ 时各输出信号的值。

```
module test(  
    input  [7:0] a,b,  
    output [7:0] c,d,e,f,g,h,i,j,k );  
    assign c = a & b;  
    assign d = a | b;  
    assign e = a ^ b;  
    assign f = ~a;  
    assign g = {a[3:0],b[3:0]};  
    assign h = a >> 3;  
    assign i = &b;  
    assign j = (a > b) ? a : b;  
    assign k = a - b;  
endmodule
```

第一个 c 为 a 和 b 的按位与，从而 $c = 8'b0011_0000$

第二个 d 为 a 和 b 的按位或，从而 $d = 8'b1111_0011$

第三个 e 为 a 和 b 的按位异或，从而 $e = 8'b1100_0011$

第四个 f 为 a 的按位取反，从而 $f = 8'b1100_1100$

第五个 g 为 a 和 b 的低四位的拼接，从而 $g = 8'b0011_0000$

第六个 h 为 a 右移三位，从而 $h = 8'b0000_0110$

第七个 i 为 b 的缩位或，但这里定义时是 8bit 的从而 $i = 8'b0000_0001$

第八个 j 为一个判断语句，这里 $b > a$ ，从而 $j = 8'b1111_0000$

第九个 k 为 $a - b$ ，这里 a 小，需要借一位，从而 $k = 8'b0100_0011$

题目 4

阅读以下 Verilog 代码，找出代码中的语法错误，并修改

```
module sub_test(  
    input a,b,  
    output reg c);  
    assign c = (a<b)? a : b;  
endmodule  
  
module test(  
    input a,b,c,  
    output o);  
    reg temp;  
    sub_test(.a(a),.b(b),temp);  
    sub_test(temp,c,.c(o));  
endmodule
```

模块 sub_test 中，c 为寄存器，却用了连续赋值，应改为 wire，模块 test 中，temp 也同理，子模块的实例化也不规范

修改后如下

```
module sub_test(  
    input a,b,  
    output wire c);  
    assign c = (a<b)? a : b;  
endmodule  
  
module test(  
    input a,b,c,  
    output o);  
    wire temp;  
    sub_test inst_1(.a(a),.b(b),.c(temp));  
    sub_test inst_2(.a(temp),.b(c),.c(o));  
endmodule
```

题目 5

阅读以下 Verilog 代码，找出其中的语法错误，说明错误原因，并进行修改。

```
module sub_test(  
    input a,b);
```

```

        output o;
        assign o = a + b;
    endmodule

    module test(
        input a,b,
        output c);
        always @(*)
            begin
                sub_test sub_test(a,b,c);
            end
    endmodule

```

在 sub_test 模块，output 端口放在了括号外面，在 test 模块，实例化子模块的名字还用了子模块的名字

修改后如下

```

    module sub_test(
        input a,b,
        output o);
        assign o = a + b;
    endmodule

    module test(
        input a,b,
        output c);
        always @(*)
            begin
                sub_test inst_1(a,b,c);
            end
    endmodule

```

【总结与思考】

1. 请总结本次实验的收获

本次实验系统的学习了 Verilog 语法，并通过实验练习，寻找语法错误，巩固了该语言，同时我也做了一些 verilogoj 的题目，对代码运行有了一些初步认识，为后续真正上手仿真打下基础。

2. 请评价本次实验的难易程度

本次实验基本没有难度，了解语法后就很容易

3. 请评价本次实验的任务量

实验本身任务量不大，主要还是做 verilog oj 的题

4. 请为本次实验提供改进建议

本次实验可以说是纯理论的学习，可能不是很适合放在实验课？因为不熟悉 verilog 仿真的操作，这样写出来的代码也没办法直接验证，感觉不如直接就做几道 verilog oj 的题，可能更有帮助。