

1. Introduction مقدمة

An interrupt is the method of processing the microprocessor by peripheral device. An interrupt is used to cause a temporary halt in the execution of program. Microprocessor responds to the interrupt with an interrupt service routine, which is short program or subroutine that instructs the microprocessor on how to handle the interrupt.

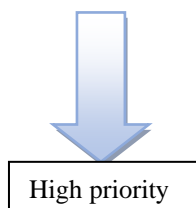
المقاطعة هي طريقة معالجة المعالج الدقيق بواسطة الجهاز المحيطي. يتم استخدام المقاطعة للتسبب في توقف مؤقت في تنفيذ البرنامج. يستجيب المعالج الدقيق للمقاطعة من خلال إجراء خدمة المقاطعة ، وهو عبارة عن برنامج قصير أو روتين فرعي يوجه المعالج الدقيق إلى كيفية التعامل مع المقاطعة.

There are two basic type of interrupt, maskable and non-maskable, non-maskable interrupt requires an immediate response by microprocessor, it usually used for serious circumstances like power failure. A maskable interrupt is an interrupt that the microprocessor can ignore depending upon some predetermined condition defined by status register.

هناك نوعان أساسيان من المقاطعة ، المقاطعة القابلة للإخفاء وغير القابلة للإخفاء ، تتطلب المقاطعة غير القابلة للإخفاء استجابة فورية بواسطة المعالج الدقيق ، وعادة ما تستخدم في الظروف الخطيرة مثل انقطاع التيار الكهربائي. المقاطعة القابلة للقناع هي مقاطعة يمكن للمعالج الدقيق تجاهلها اعتماداً على بعض الشروط المحددة مسبقاً التي يحددها سجل الحالة.

Interrupt can divide to five groups:

1. hardware interrupt
2. Non-maskable interrupt
3. Software interrupt
4. Internal interrupt
5. Reset



يمكن أن تقسم المقاطعة إلى خمس مجموعات:

1. الأجهزة المقاطعة
2. مقاطعة غير قابلة للقناع
3. مقاطعة البرنامج
4. المقاطعة الداخلية
5. إعادة تعيين

Hardware, software and internal interrupt are service on priority basis. Each interrupt is given a different priority level by assign it a type number. Type 0 identifies the highest-priority and type 255 identifies the lowest- priority interrupt.

The 80x86 chips allow up to 256 vectored interrupts. This means that you can have up to 256 different sources for an interrupt and the 80x86 will directly call the service routine for that interrupt without any software processing. This is in contrast to non-vectored interrupts that transfer control directly to a single interrupt service routine, regardless of the interrupt source.

تعد الأجهزة والبرامج والمقاطعة الداخلية خدمة على أساس الأولوية. يتم إعطاء كل مقاطعة مستوى أولوية مختلفاً عن طريق تعيين رقم نوع لها. يحدد النوع 0 الأولوية القصوى ويحدد النوع 255 أقل مقاطعة ذات أولوية.

تسمح رقائق x8680 بما يصل إلى 256 مقاطعة متجهة. هذا يعني أنه يمكن أن يكون لديك ما يصل إلى 256 مصدرًا مختلفًا للمقاطعة وسيقوم x8680 باستدعاء روتين الخدمة مباشرة لهذا المقاطعة دون أي معالجة للبرامج. هذا على عكس المقاطعات غير الموجهة التي تنقل التحكم مباشرة إلى روتين خدمة مقاطعة واحد ، بغض النظر عن مصدر المقاطعة.

The 80x86 provides a 256 entry interrupt vector table beginning at address 0:0 in memory. This is a 1K table containing 256 4-byte entries. Each entry in this table contains a segmented address that points at the interrupt service routine in memory. The lowest five types are dedicated to specific interrupts such as the divide by zero interrupt and the non maskable interrupt. The next 27 interrupt types, from 5 to 31 are reserved by Intel for use in future microprocessors. The upper 224 interrupt types, from 32 to 255, are available to use for hardware and software interrupts.

يوفر x8680 جدول متجه لمقاطعة إدخال 256 يبدأ من العنوان 0:0 في الذاكرة. هذا جدول K1 يحتوي على 256 مدخلات 4 بايت. يحتوي كل إدخال في هذا الجدول على عنوان مجزأ يشير إلى روتين خدمة المقاطعة في الذاكرة. الأنواع الخمسة الأدنى مخصصة لمقاطعات محددة مثل القسمة على المقاطعة الصفرية والمقاطعة غير القابلة للقناع. أنواع المقاطعات الـ 27 التالية ، من 5 إلى 31 محجوزة من قبل

Intel لاستخدامها في المعالجات الدقيقة المستقبلية. أنواع المقاطعات الـ 224 العلوية ، من 32 إلى 255 ، متاحة للاستخدام لمقاطعات الأجهزة والبرامج.

When an interrupt occurs, regardless of source, the 80x86 does the following:

1. The CPU pushes the flags register onto the stack.
2. The CPU pushes a far return address (segment: offset) onto the stack, segment value first.
3. The CPU determines the cause of the interrupt (i.e., the interrupt number) and fetches the four byte interrupt vector from address 0: vector*4.
4. The CPU transfers control to the routine specified by the interrupt vector table entry.

1. تقوم وحدة المعالجة المركزية بدفع أعلام التسجيل إلى المكس.
2. تدفع وحدة المعالجة المركزية عنوان إرجاع بعيد (مقطع: إزاحة) إلى المكس ، قيمة القطعة أولاً.
3. تحدد وحدة المعالجة المركزية سبب المقاطعة (أي رقم المقاطعة) وتقوم بجلب متجه المقاطعة ذي الأربعة بايت من العنوان 0: المتجه * 4.
4. تنتقل وحدة المعالجة المركزية التحكم إلى الروتين المحدد بواسطة إدخال جدول متجه المقاطعة.

When the interrupt service routine wants to return control, it must execute an IRET (interrupt return) instruction. The interrupt return pops the far return address and the flags off the stack. Note that executing a far return is insufficient since that would leave the flags on the stack.

عندما يريد روتين خدمة المقاطعة إعادة التحكم ، يجب أن ينفذ تعليمة IRET (عودة المقاطعة). تنبثق عودة المقاطعة عنوان المرسل البعيد والعلامات من المكس. لاحظ أن تنفيذ إرجاع بعيد غير كافٍ لأن ذلك سيترك العلامات على المكس.

2. Hardware interrupt مقاطعة الأجهزة

The primary sources of interrupts, however, are the PCs timer chip, keyboard, serial ports, parallel ports, disk drives, CMOS real-time clock, mouse, sound cards, and other peripheral devices. These devices connect to an Intel 8259A programmable interrupt controller (PIC) that prioritizes the interrupts and interfaces with the 80x86 CPU. The 8259A chip adds considerable complexity to the software that processes interrupts.

ومع ذلك ، فإن المصادر الأساسية للمقاطعات هي شريحة مؤقت أجهزة الكمبيوتر ولوحة المفاتيح والمنافذ التسلسلية والمنافذ المتوازية ومحركات الأقراص وساعة CMOS في الوقت الحقيقي والماوس وبطاقات الصوت والأجهزة الطرفية الأخرى. تتصل هذه الأجهزة بوحدة تحكم المقاطعة القابلة للبرمجة Intel 8259A (PIC) التي تعطي الأولوية للمقاطعات والواجهات مع وحدة المعالجة المركزية x8680. تضيف شريحة A8259 تعقيدًا كبيرًا إلى البرنامج الذي يعالج المقاطعات.

2.1 programmable interrupt controller تحكم المقاطعة القابلة للبرمجة

The 8259A programmable interrupt controller chip accepts interrupts from up to eight different devices. If any one of the devices requests service, the 8259 will toggle an interrupt output line (connected to the CPU) and pass a programmable interrupt vector to the CPU. You can *cascade* the device to support up to 64 devices by connecting nine 8259s together: eight of the devices with eight inputs each whose outputs become the eight inputs of the ninth device.

تقبل شريحة تحكم المقاطعة القابلة للبرمجة A8259 المقاطعات من ما يصل إلى ثمانية أجهزة مختلفة. إذا طلب أي من الأجهزة الخدمة ، فسيقوم الجهاز 8259 بتبديل خط إخراج المقاطعة (متصل بوحدة المعالجة المركزية) ويمرر ناقل مقاطعة قابل للبرمجة إلى وحدة المعالجة المركزية. يمكنك تسلسل الجهاز لدعم ما يصل إلى 64 جهازًا عن طريق توصيل تسعة أجهزة 8259 معًا: ثمانية أجهزة بها ثمانية مداخل لكل منها تصبح مخرجاتها ثمانية مداخل للجهاز التاسع.

A typical PC uses two of these devices to provide 15 interrupt inputs (seven on the *master* PIC with the eight input coming from the *slave* PIC to process its eight inputs)⁷. The sections following this one will describe the devices connected to each of those inputs, for now we will concentrate on what the 8259 does with those inputs. Nevertheless, for the sake of discussion, the following table lists the interrupt sources on the PC:

يستخدم الكمبيوتر الشخصي النموذجي اثنين من هذه الأجهزة لتوفير 15 مدخلات مقاطعة (سبعة في PIC الرئيسية مع ثمانية مدخلات تأتي من PIC التابع لمعالجة مدخلاته الثمانية). ستصف الأقسام التالية لهذا القسم الأجهزة المتصلة بكل من هذه المدخلات ، في الوقت الحالي سنركز على ما يفعله 8259 بهذه المدخلات. ومع ذلك ، من أجل المناقشة ، يسرد الجدول التالي مصادر المقاطعة على جهاز الكمبيوتر:

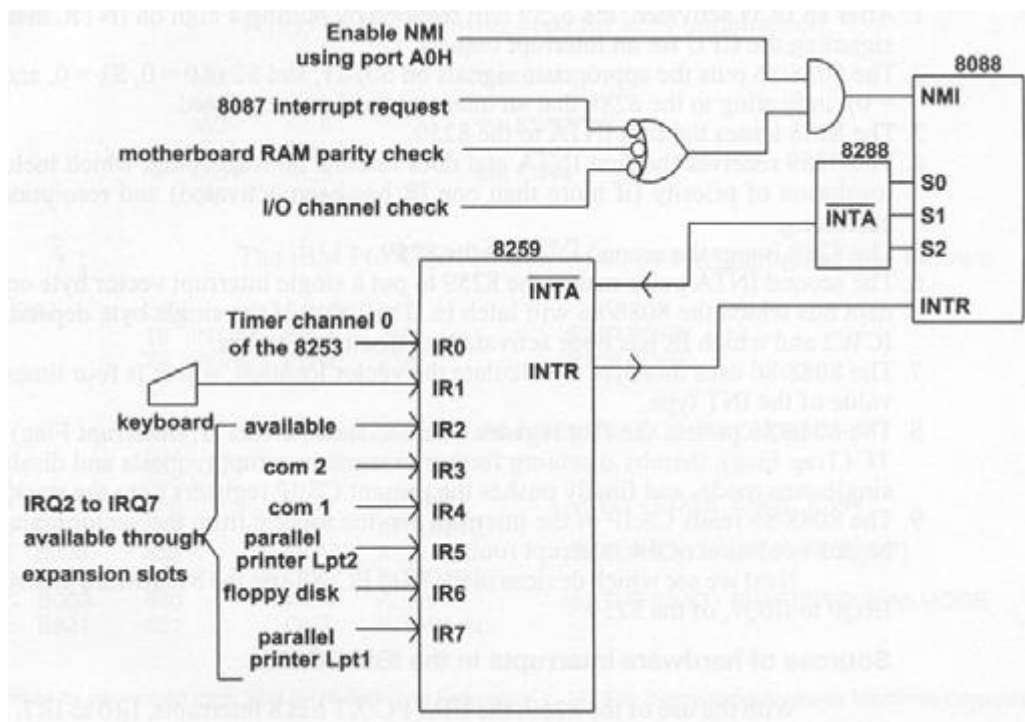
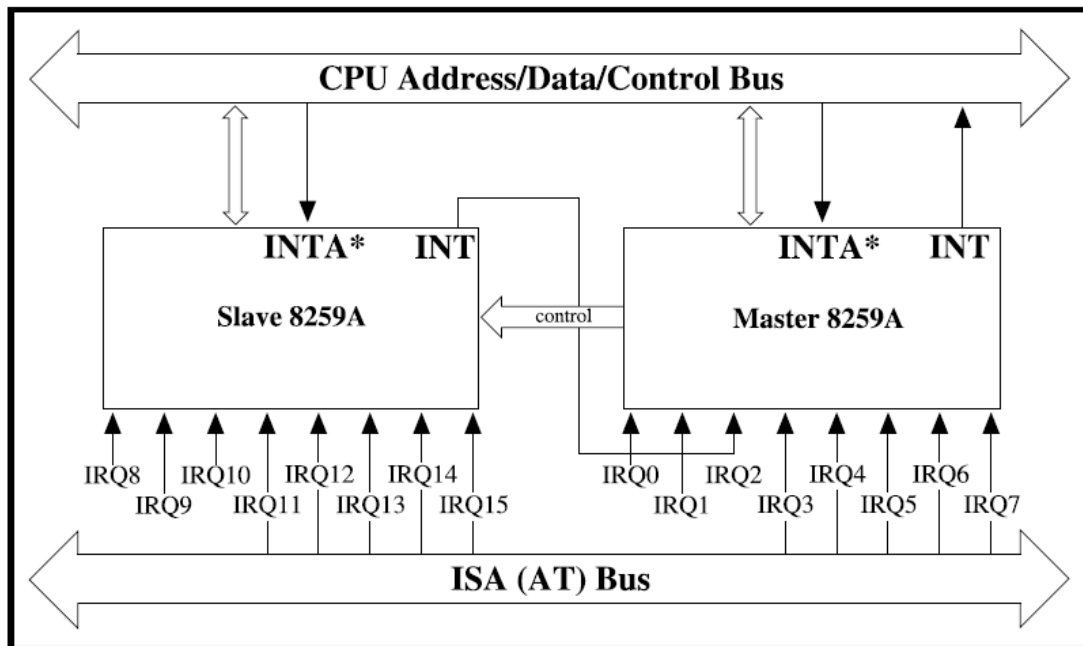


Figure 2: general block diagram 8086 interrupt



2. NON-MASKABLE INTERRUPT (NMI)

The processor provides a single non-maskable interrupt pin (NMI) which has higher priority than the maskable interrupt request pin (INTR). A typical use would be to activate a power failure routine. The NMI is edge-triggered on a LOW-to-HIGH transition. The activation of this pin causes a type 2 interrupt. NMI is required to have a duration in the HIGH state of greater than two CLK cycles, but is not required to be synchronized to the clock. Any high-going transition of NMI is latched on-chip and will be serviced at the end of the current instruction or between whole moves of a block-type instruction. Worst case response to NMI would be for multiply, divide, and variable shift instructions. There is no specification on the occurrence of the low-going edge; it may occur before, during, or after the servicing of NMI.

يوفر المعالج دبوساً واحداً غير قابل للمقاطعة (NMI) له أولوية أعلى من دبوس طلب المقاطعة القابل للقتاع (INTR). الاستخدام المعتاد هو تنشيط روتين انقطاع التيار الكهربائي. يتم تشغيل NMI على الحافة عند انتقال من LOW إلى HIGH. يؤدي تنشيط هذا الدبوس إلى مقاطعة من النوع 2. مطلوب NMI للحصول على مدة في حالة HIGH أكبر من دورتين من CLK ، ولكن ليس مطلوباً أن تتم مزامنتها مع

الساعة. يتم تثبيت أي انتقال عالٍ لـ NMI على الرفاقة وستتم صيانتها في نهاية التعليمات الحالية أو بين التحركات الكاملة لتعليمات من نوع الكتلة. أسوأ استجابة لـ NMI ستكون تعليمات الضرب والقسم والتغيير. لا توجد مواصفات لحدوث الحافة المنخفضة ؛ قد يحدث قبل أو أثناء أو بعد خدمة NMI.

Another high-going edge triggers another response if it occurs after the start of the NMI procedure. The signal must be free of logical spikes in general and be free of bounces on the low-going edge to avoid triggering extraneous responses.

تؤدي ميزة أخرى عالية التطور إلى استجابة أخرى إذا حدثت بعد بدء إجراء NMI. يجب أن تكون الإشارة خالية من الارتفاعات المنطقية بشكل عام وأن تكون خالية من الارتداد على الحافة المنخفضة لتجنب إثارة استجابات غريبة.

3. MASKABLE INTERRUPT 3. مقاطعة قناع

Whenever an external signal activates the INTR pin, the microprocessor will be interrupted only if interrupts are enabled using set interrupt Flag instruction. If the interrupts are disabled using clear interrupt Flag instruction, the microprocessor will not get interrupted even if INTR is activated. That is, INTR can be masked. INTR is a non-vectored interrupt, which means, the 8086 does not know where to branch to service the interrupt. The 8086 has to be told by an external device like a Programmable Interrupt controller regarding the branch.

عندما تقوم إشارة خارجية بتنشيط دبوس INTR ، فلن تتم مقاطعة المعالج الدقيق إلا إذا تم تمكين المقاطعات باستخدام تعليمات علم المقاطعة المحددة. إذا تم تعطيل المقاطعات باستخدام تعليمات علم المقاطعة الواضحة ، فلن تتم مقاطعة المعالج الدقيق حتى إذا تم تنشيط INTR. وهذا يعني أنه يمكن إخفاء INTR. عبارة عن مقاطعة غير موجهة ، مما يعني أن جهاز 8086 لا يعرف مكان التفرع لخدمة المقاطعة. يجب إخبار جهاز 8086 بواسطة جهاز خارجي مثل وحدة تحكم المقاطعة القابلة للبرمجة فيما يتعلق بالفرع.

Whenever the INTR pin is activated by an I/O port, if Interrupts are enabled and NMI is not active at that time, the microprocessor finishes the current instruction that is being executed and gives out a '0' on INTA pin twice. When INTA pin goes low for the first time, it asks the external device to get ready. In response to the second INTA the microprocessor receives the 8 bit, say N, from a programmable Interrupt controller.

عندما يتم تنشيط دبوس INTR بواسطة منفذ الإدخال / الإخراج ، إذا تم تمكين المقاطعات ولم يكن NMI نشطاً في ذلك الوقت ، فإن المعالج الدقيق ينهي التعليمات الحالية التي يتم تنفيذها ويعطي "0" على دبوس INTA مرتين. عندما ينخفض دبوس INTA لأول مرة ، فإنه يطلب من الجهاز الخارجي الاستعداد. استجابة لـ INTA الثاني ، يتلقى المعالج الدقيق 8 بت ، على سبيل المثال N ، من وحدة تحكم المقاطعة القابلة للبرمجة.

The action taken is as follows: الإجراءات المتخذة هي كما يلي:

1. Complete the current instruction.
2. Activates INTA output, and receives type Number, say N
3. Flag register value, CS value of the return address & IP value of the return address are pushed on to the stack.
4. IP value is loaded from contents of word location N x 4.
5. CS is loaded from contents of the next word location.
6. 2 Interrupt Flag and trap Flag are reset to 0.

1. أكمل التعليمات الحالية.

2. ينشط إخراج INTA ، ويستقبل رقم النوع ، قل N

3. يتم دفع قيمة سجل العلم وقيمة CS لعنوان الإرجاع وقيمة IP لعنوان الإرجاع إلى المكس.

4. يتم تحميل قيمة IP من محتويات موقع الكلمة. N x 4

5. يتم تحميل CS من محتويات موقع الكلمة التالية.

6. 2 تتم إعادة تعيين علم المقاطعة وعلم الملاءمة إلى 0.

At the end of the Interrupt Service Subroutine (ISS), there will be an IRET instruction. This performs popping off from the stack top to IP, CS and Flag registers. Finally, the register values which are also saved on the stack at the start of ISS, are restored from the stack and a return to the interrupted program takes place using the IRET instruction.

في نهاية الروتين الفرعي لخدمة المقاطعة (ISS) ، سيكون هناك تعليمات IRET. يؤدي هذا إلى الظهور من أعلى المكس إلى سجلات IP و CS و Flag. أخيرًا ، يتم استعادة قيم التسجيل التي يتم حفظها أيضًا على المكس في بداية محطة الفضاء الدولية ، من المكس ويتم العودة إلى البرنامج الذي تمت مقاطعته باستخدام تعليمات IRET.

Table 1: Type of interrupt

Vector No.	Mnemonic	Description	Source
0	#DE	Divide Error	DIV and IDIV instructions.
1	#DB	Debug	Any code or data reference.
2		NMI Interrupt	Non-maskable external interrupt.
3	#BP	Breakpoint	INT 3 instruction.
4	#OF	Overflow	INTO instruction.
5	#BR	BOUND Range Exceeded	BOUND instruction.
6	#UD	Invalid Opcode (UnDefined Opcode)	UD2 instruction or reserved opcode. ¹
7	#NM	Device Not Available (No Math Coprocessor)	Floating-point or WAIT/FWAIT instruction.
8	#DF	Double Fault	Any instruction that can generate an exception, an NMI, or an INTR.

Vector No.	Mnemonic	Description	Source
9		CoProcessor Segment Overrun (reserved)	Floating-point instruction. ²
10	#TS	Invalid TSS	Task switch or TSS access.
11	#NP	Segment Not Present	Loading segment registers or accessing system segments.
12	#SS	Stack Segment Fault	Stack operations and SS register loads.
13	#GP	General Protection	Any memory reference and other protection checks.
14	#PF	Page Fault	Any memory reference.
15		(Intel reserved. Do not use.)	
16	#MF	Floating-Point Error (Math Fault)	Floating-point or WAIT/FWAIT instruction.
17	#AC	Alignment Check	Any data reference in memory. ³
18	#MC	Machine Check	Error codes (if any) and source are model dependent. ⁴
19-31		(Intel reserved. Do not use.)	
32-255		Maskable Interrupts	External interrupt from INTR pin or INT <i>n</i> instruction.

1. The UD2 instruction was introduced in the Pentium® Pro processor.
2. Intel Architecture processors after the Intel386™ processor do not generate this exception.
3. This exception was introduced in the Intel486™ processor.
4. This exception was introduced in the Pentium processor and enhanced in the Pentium Pro processor.

3. Software interrupt Instructions تعليمات مقاطعة البرامج

There are instructions in 8086 which cause an interrupt. They are

- INT instructions with type number specified.
- INT 3, Break Point Interrupt instruction.
- INTO, interrupt on overflow instruction.

توجد تعليمات في 8086 تسبب مقاطعة. هم انهم

• تعليمات INT مع رقم النوع المحدد.

• INT 3 ، تعليمات مقاطعة نقطة التوقف.

• INTO ، قم بمقاطعة تعليمات الفائض.

These are instructions at the desired places in a program. When one of these instructions is executed a branch to an ISS takes place. Because their execution results in a branch to an ISS, they are called interrupts. Software Interrupt instructions can be used to test the working of the various Interrupt handlers- For example, we can execute INT0 instruction to execute type 0 ISS, without really having to divide a number by 0. Similarly, we can execute INT 2 instruction to test NMI ISS.

هذه تعليمات في الأماكن المطلوبة في البرنامج. عندما يتم تنفيذ أحد هذه التعليمات ، يحدث فرع إلى محطة الفضاء الدولية. لأن تنفيذها يؤدي إلى فرع لمحطة الفضاء الدولية ، فإنها تسمى المقاطعات. يمكن استخدام تعليمات مقاطعة البرامج لاختبار عمل معالجات المقاطعة المختلفة - على سبيل المثال ، يمكننا تنفيذ تعليمات INT0 لتنفيذ النوع 0 ISS ، دون الحاجة إلى قسمة رقم على 0. وبالمثل ، يمكننا تنفيذ تعليمات INT 2 للاختبار NMI ISS.

3.1 INT-Interrupt Instruction with Type number Specified

تعليمات **INT-Interrupt** مع تحديد رقم النوع

The mnemonic for this is INT. It is a 2 byte instruction. The first byte provides the op-code and the second byte the Interrupt type number. Op-code for this instruction is CDH

ذاكري لهذا هو INT. إنها تعليمات 2 بايت. يوفر البايت الأول كود المرجع والبايت الثاني رقم نوع المقاطعة. كود التشغيل لهذه التعليمات هو CDH

The execution of an INT instruction, say INTN, when N is the value in the range 00H to FFH, results in the following:

تنفيذ تعليمات INT ، على سبيل المثال INTN ، عندما تكون N هي القيمة في النطاق H00 إلى FFH ، ينتج عنه ما يلي:

1. Flag register value is pushed on to the stack.
2. CS value of the Return address and IP value of the Return address are pushed on to the stack.
3. IP is loaded from the contents of the word location N x 4.
4. CS is loaded from the contents of the next word location.

5. 2 Interrupt Flag and Trap Flag are reset to 0.

1. يتم دفع قيمة سجل العلم إلى المكسد.
2. يتم دفع قيمة CS لعنوان المرسل وقيمة IP لعنوان المرسل إلى المكسد.
3. يتم تحميل IP من محتويات كلمة موقع $4 \times N$.
4. يتم تحميل CS من محتويات موقع الكلمة التالية.
5. 2 تتم إعادة تعيين علم المقاطعة و علم المصيدة إلى 0.

Thus a branch to the ISS take place. During the ISS, interrupt are disabled because the Interrupt flag is reset to 0. At the end of the ISS, there will be an IRET instruction. Thus a return back to the interrupted program takes place with Flag registers unchanged.

وهكذا يحدث فرع لمحطة الفضاء الدولية. أثناء ISS ، يتم تعطيل المقاطعة لأنه تمت إعادة تعيين علامة المقاطعة إلى 0. في نهاية ISS ، سيكون هناك تعليمات IRET. وبالتالي ، تتم العودة إلى البرنامج الذي تمت مقاطعته مع عدم تغيير سجلات العلم.

3.2. INT 3-Break Point Interrupt Instruction INT تعليمات المقاطعة ثلاثية النقاط

When a break point is inserted, the system executes the instructions up to the breakpoint, and then goes to the break point procedure.

Unlike the single-Step feature which stops execution after each instruction, the breakpoint feature executes all the instructions up to the inserted breakpoint and then stops execution. The mnemonic for the instruction is INT3. It is a 1 byte instruction Op-code for this is CCH.

عند إدخال نقطة فاصل ، ينفذ النظام التعليمات حتى نقطة التوقف ، ثم ينتقل إلى إجراء نقطة الفاصل. على عكس ميزة الخطوة الواحدة التي توقف التنفيذ بعد كل تعليمات ، فإن ميزة نقطة التوقف تنفذ جميع التعليمات حتى نقطة الإيقاف المدرجة ثم توقف التنفيذ. ذاكري للتعليمات هو INT3. إنه كود تعليمات 1 بايت لهذا هو CCH.

The execution of INT3 instruction results in the following:

1. Flag register value is pushed on to the Stack.
2. CS value of the return address and IP value of the return address are pushed onto the Stack.
3. IP is loaded from the contents of the word location $3 \times 4 = 0000CH$.
4. CS is loaded from the contents of the next word location.
5. 2 Interrupt Flag and Trap Flag are reset to 0.

1. يتم دفع قيمة سجل العلم إلى المكس.

2. يتم دفع قيمة CS لعنوان المرسل وقيمة IP لعنوان المرسل إلى Stack.

3. يتم تحميل IP من محتويات كلمة. $location\ 3 \times 4 = 0000CH$.

4. يتم تحميل CS من محتويات موقع الكلمة التالية.

5. 2 تتم إعادة تعيين علم المقاطعة و علم المصيدة إلى 0.

Thus a branch to the ISS takes place. During the ISS, interrupts are disabled because Interrupt flag is reset to 0. At the end of the ISS, there will be an IRET instruction to return back to the interrupted program. A break point interrupt service procedure usually saves all the register contents on the Stack. Depending upon the system, it may then send the register contents to the CRT display and wait for the next command from the user.

وهكذا يحدث فرع لمحطة الفضاء الدولية. أثناء ISS ، يتم تعطيل المقاطعات بسبب إعادة تعيين علامة المقاطعة إلى 0. في نهاية ISS ، سيكون هناك تعليمات IRET للعودة إلى البرنامج الذي تمت مقاطعته. عادةً ما يحفظ إجراء خدمة مقاطعة نقطة الانقطاع جميع محتويات السجل على Stack. اعتمادًا على النظام ، قد يقوم بعد ذلك بإرسال محتويات السجل إلى شاشة CRT وانتظار الأمر التالي من المستخدم.

3.3. INTO - Interrupt on overflow instruction

The 8086 overflow flag, OF, will be set if the signed result of an arithmetic operation on two signed numbers is too large to be represented in the destination register or memory location. For example, if we add the 8-bit signed number 01101100 and the 8-bit signed number 01010001, the signed result will be 10111101. This is correct if we add unsigned binary numbers, but it is not the correct signed result. There are two ways to detect and respond to an overflow error in a program. One way is to put the jump if overflow instruction, JO, immediately after the arithmetic instruction. If the overflow flag is Set, execution will jump to the address specified in the JO instruction. At this address an error routine may be put which respond to the overflow. The second way is to put them INTO instruction immediately after the arithmetic instruction in the program. The mnemonic for the instruction is INTO.

سيتم تعيين علامة تجاوز السعة 8086 ، OF ، إذا كانت النتيجة الموقعة لعملية حسابية على رقمين موقعة كبيرة جداً بحيث لا يمكن تمثيلها في سجل الوجهة أو موقع الذاكرة. على سبيل المثال ، إذا أضفنا رقم 8 بت الموقع 01101100 ورقم 8 بت الموقع 01010001 ، ستكون النتيجة الموقعة 10111101. هذا صحيح إذا أضفنا أرقاماً ثنائية غير موقعة ، لكنها ليست النتيجة الموقعة الصحيحة. هناك طريقتان لاكتشاف خطأ تجاوز سعة البرنامج والاستجابة له. إحدى الطرق هي وضع قفزة إذا تجاوز الأمر ، JO ، مباشرة بعد التعليمات الحسابية. إذا تم تعيين علامة overflow ، فسوف ينتقل التنفيذ إلى العنوان المحدد في تعليمات JO. في هذا العنوان ، قد يتم وضع روتين خطأ يستجيب للتجاوز. الطريقة الثانية هي وضعها في التعليمات مباشرة بعد التدريس الحسابي في البرنامج. ذاكري للتعليمات هو INTO.

It is a 1 byte instruction. The op-code for this is CEH. It is a conditional interrupt instruction. Only if the overflow flag is Set, a branch takes place to an interrupt handler whose interrupt type number is 4. If the overflow flag is reset, the execution continues with the next instruction. The execution of INTO results in the following.

إنها تعليمات 1 بايت. كود المرجع لهذا هو CEH. إنها تعليمات مقاطعة مشروطة. فقط إذا تم تعيين علامة تجاوز السعة ، فسيتم تنفيذ الفرع لمعالج المقاطعة الذي يكون رقم نوع المقاطعة الخاص به هو 4. إذا تمت إعادة تعيين علامة تجاوز السعة ، فسيستمر التنفيذ بالإرشادات التالية. ينتج عن تنفيذ INTO ما يلي.

1. Flag register values are pushed on to the Stack.
2. CS value of the return address and IP value of the return address and IP value of the return address are pushed on to the stack.
3. IP is loaded from the contents of word location $4 \times 4 = 00010H$.
4. CS is loaded from the contents of next word location.
5. 2 Interrupt flag and Trap flag are reset to 0.

1. يتم دفع قيم سجل العلم إلى المكس.

2. يتم دفع قيمة CS لعنوان الإرجاع وقيمة IP لعنوان الإرجاع وقيمة IP لعنوان الإرجاع إلى المكس.

3. يتم تحميل IP من محتويات موقع الكلمة $4 \times 4 = 00010H$.

4. يتم تحميل CS من محتويات موقع الكلمة التالية.

5. 2 تتم إعادة تعيين علم المقاطعة وعلم الملاءمة إلى 0.

Thus a branch to ISS takes place. During the ISS, interrupts are disabled. At the end of ISS, there will be an IRET instruction, returning back to the interrupted program. Instructions in the ISS procedure perform the desired response to the error condition.

وهكذا يحدث فرع لمحطة الفضاء الدولية. أثناء محطة الفضاء الدولية ، يتم تعطيل المقاطعات. في نهاية محطة الفضاء الدولية ، سيكون هناك تعليمات IRET ، والعودة مرة أخرى إلى البرنامج الذي تمت مقاطعته. تؤدي التعليمات الواردة في إجراء محطة الفضاء الدولية (ISS) إلى الاستجابة المطلوبة لحالة الخطأ.

Priority of Interrupts أولوية المقاطعات

The internal interrupts which result is an error, like Divide by Zero error, as well as software interrupt instructions have the highest priority. Next priority is NMI. The next lower priority is assigned to INTR. The lowest priority is assigned to single Step interrupt. In reality, NMI is always serviced on top most priority المقاطعات الداخلية التي تنتج عن خطأ ، مثل خطأ القسمة على الصفر ، وكذلك تعليمات مقاطعة البرنامج لها الأولوية القصوى. الأولوية التالية هي NMI. يتم تعيين الأولوية الأدنى التالية إلى INTR. يتم تعيين أقل أولوية لمقاطعة الخطوة الواحدة. في الواقع ، يتم تقديم خدمة NMI دائمًا على رأس أولوياتها

5-RESET إعادة تعيين

Processor initialization or start up is accomplished with activation (HIGH) of the RESET pin which it shows in table (2). The 8086 RESET is required to be HIGH for greater than 4 CLK cycles. The 8086 will terminate operations on the high-going edge of RESET and will remain dormant as long as RESET is HIGH. The low-going transition of RESET triggers an internal reset sequence for approximately 10 CLK cycles. After this interval the 8086 operates normally beginning with the instruction in absolute location FFFF0H.

تتم تهيئة المعالج أو بدء التشغيل من خلال التنشيط (عالي) لدبوس RESET الذي يظهر في الجدول (2). يجب أن يكون 8086 RESET عاليًا لأكثر من 4 دورات CLK. ستنتهي 8086 العمليات على الحافة المرتفعة لـ RESET وستظل خامدة طالما أن RESET عالية. يؤدي الانتقال المنخفض لـ RESET إلى تسلسل إعادة تعيين داخلي لما يقرب من 10 دورات CLK. بعد هذا الفاصل الزمني ، يعمل 8086 بشكل طبيعي بدءًا من التعليمات في الموقع المطلق FFFF0H.

Table 2:process initialization register content

CPU Asset	Content
FLAGS Register	0000h
IP	0000h
CS	ffffh
DS	0000h
SS	0000h
ES	0000h
Instruction Queue	Empty