

Programa del curso CE 4301

## **Arquitectura de Computadores I**

Área Académica de Ingeniería en Computadores  
Licenciatura en Ingeniería en Computadores

[Última revisión del programa: 25 de julio de 2022]

## I parte: Aspectos relativos al plan de estudios

### 1 Datos generales

<b>Nombre del curso:</b>	Arquitectura de Computadores I
<b>Código:</b>	CE 4301
<b>Tipo de curso:</b>	Teórico - Práctico
<b>Electivo:</b>	No
<b>N° Créditos:</b>	4
<b>N° horas clase/semana:</b>	4
<b>N° horas extraclase/semana:</b>	8
<b>% de las áreas curriculares:</b>	Ciencias de Ingeniería (65 %) Diseño Ingeniería (35 %)
<b>Ubicación en plan de estudios:</b>	VII Semestre
<b>Requisitos:</b>	CE 3201 Taller de Diseño Digital
<b>Correquisitos:</b>	Ninguno
<b>El curso es requisito de:</b>	CE 4302 Arquitectura de Computadores II
<b>Asistencia:</b>	No obligatoria
<b>Suficiencia:</b>	No
<b>Posibilidad de reconocimiento:</b>	Sí
<b>Vigencia del programa:</b>	II Semestre 2022

## 2. Descripción General

*Knowledge is power. Knowledge shared is power multiplied.*

Robert Noyce

El diseño de computadores y aplicaciones basadas en computador requiere un conocimiento detallado de las capacidades y limitaciones de las herramientas de hardware, como de software. El curso de Arquitectura de Computadores I, pretende abordar el aspecto del perfil académico-profesional relacionado con el diseño de sistemas computacionales, desde una perspectiva conceptual que involucra elementos de abstracción para el diseño de procesadores y computadores integrados en chip, como es el caso del CPU, interfaz de memoria y dispositivos de entrada-salida. Se parte del conocimiento previo obtenido en los cursos “Diseño de Sistemas Digitales” (EL-3310) y “Taller de Diseño Digital (CE-3201) y se profundiza en las estructuras que hacen posible el análisis, la implementación y la evaluación de un set de instrucciones particular, tomando en cuenta la arquitectura de la memoria, interfaces y protocolos de comunicación, técnicas de procesamiento paralelo, así como otra serie de características propias del diseño de computadores de aplicación general y específica, sentando las bases necesarias para el curso *CE-4302 Arquitectura de Computadores II*

La metodología del curso busca además reforzar ciertas habilidades no técnicas como el trabajo en equipo y la creatividad, así como los valores de responsabilidad, respeto y tolerancia. El desarrollo de estas habilidades y valores permitirá una ejecución óptima de los diferentes proyectos de manera individual y grupal. Adicionalmente se espera reforzar la creación de documentación técnica como artículos científicos, informes y bitácoras de trabajo.

El curso busca desarrollar los siguientes atributos de egreso, de acuerdo con la definición del ente acreditador *Canadian Engineering Accreditation Board* (CEAB).

Atributo		Nivel
Análisis de problemas	(AP)	Avanzado
Ética y equidad	(EE)	Intermedio
Administración de proyectos y finanzas	(AF)	Intermedio

Se atenderá caso a caso cualquier necesidad educativa especial, con apoyo del Departamento de Orientación y Psicología y Trabajo Social y Salud de acuerdo a la particularidad de cada caso.

### 3. Objetivos

Cada objetivo específico desarrolla las habilidades de los estudiantes en función de los atributos definidos por el CEAB de la siguiente manera:

Objetivo	Atrib.	Nivel*
1. Al completar el curso el estudiante será capaz de desarrollar un conjunto de herramientas de diseño de microprocesadores avanzados, por medio del estudio comprensivo de su estructura, interfaz y programación, con la finalidad de proponer soluciones a problemas de ingeniería, así como del desarrollo de habilidades de trabajo individual y en equipo, y la elaboración de documentación técnica, de manera individual y colaborativa, ordenada y concisa, haciendo uso de principios y valores como responsabilidad, respeto y tolerancia.	AP, EE, AF	A, M, M
2. Durante el curso, el estudiante desarrollará habilidades para el diseño y optimización de la arquitectura de un computador para un propósito determinado, basado en la comprensión de las características que determinan la arquitectura de un computador mediante el estudio de los bloques que posee un microprocesador de propósito general.	AP	A
3. Durante el curso, el estudiante aplicará estrategias de optimización de tiempos de acceso y volumen de almacenamiento como criterios de diseño y optimización, basado en la comprensión de mecanismos de administración de memoria utilizados en el diseño de computadores.	AP	A
4. Al finalizar el curso, el estudiante estará en la capacidad de reconocer y comparar cuantitativamente las estrategias y algoritmos comúnmente utilizados en la industria de microprocesadores en cuanto al paralelismo de procesamiento a nivel de instrucción y a nivel de datos.	AP y AF	A y M
5. Al finalizar el curso, el estudiante estará en la capacidad de comparar las características de las arquitecturas Load/Store contra las arquitecturas Registro/Memoria.	AP	A
6. Durante el curso, el estudiante podrá discutir las estrategias de intercomunicación entre los distintos componentes de un computador, mediante una evaluación comparativa de las tecnologías utilizadas a nivel industrial.	AF	M

\* Nivel de desarrollo de cada atributo: **I**nicial, **I**nter**M**edio o **A**vanzado. Atributos: **A**nálisis de **P**roblemas, **E**tica y **E**quidad, **A**dministración y **F**inanzas.

### 4. Contenido

Las 16 semanas del curso incluyen los siguiente temas:

- Introducción al diseño de computadores (2 semanas).
  - Historia de los computadores.
  - Tendencias industriales.
  - Organización de Computadores vrs Arquitectura de computadores.
  - Ley de Amdahl.

- Taxonomía de Flynn
- Métricas de desempeño.
- 2. Diseño del set de instrucciones (2 semanas).
  - CISC.
  - Von Neumann.
  - Harvard.
  - CISC vs RISC.
  - Arquitectura Load/Store.
  - Arquitectura Registro-Memoria.
  - Métricas de desempeño.
- 3. Pipelining (3 semanas)
  - Estrategias de segmentación y pipelining.
  - Riesgos estructurales.
  - Riesgo de dependencia de datos.
  - Riesgos de control.
- 4. Otras técnicas de paralelismo (2 semanas)
  - Arquitectura superescalares.
  - Predicción de saltos.
  - Ejecución fuera de orden.
  - Estructuras de unidades funcionales.
  - Calendarización estática y dinámica.
  - Introducción a VLIW.
- 5. Diseño de la jerarquía de memoria (3 semanas).
  - Jerarquía de memoria en un computador.
  - Memoria principal.
  - Memoria caché.
  - Coherencia de caché.
  - Caché avanzado.
  - Modo real y modo protegido.
  - Memoria virtual y paginación.
  - Traducción de direcciones.
- 6. Interconexión de componentes en un computador (2 semanas)
  - Estrategias de atención a dispositivos.
  - Protocolos de comunicación de componentes.
  - Casos de estudio: I2C, SPI, UART, PCIe.

7. Arquitecturas de aplicación específica (2 semanas)

- Diseño de computadores basados en microcontrolador.
- Diseño de computadores basados en DSP.
- Introducción a los sistemas empujados de alto desempeño.
- Estudio de casos.

Más adelante en este documento se detalla el cronograma de trabajo del curso.

## II parte: Aspectos Operativos

**5. Metodología** En este curso, se plantean estrategias de aprendizaje activo, individual, social crítico y significativo, por medio de resolución y análisis de problemas, desarrollo de proyectos de diseño y optimización, tareas de investigación, entre otras técnicas.

Los contenidos del curso serán desarrollados por medio de clases magistrales teórico-prácticas, realizadas por el profesor. Durante las clases, el profesor presentará material teórico y demostraciones; los estudiantes realizarán ejercicios individuales y grupales, empleando herramientas de hardware y de software para tal fin. En periodo extraclase, el estudiante deberá desarrollar tareas teóricas y prácticas, de manera individual y grupal. Asimismo, el estudiante deberá desarrollar los proyectos en forma grupal y colaborativa. El contenido práctico se desarrolla paralelamente con el contenido teórico.

Los requerimientos de los proyectos, así como materiales adicionales serán ubicados en el TEC Digital. Cualquier dispositivo y material extra podrá ser dado en préstamo de acuerdo a los proyectos a desarrollar. Cada estudiante y grupo de trabajo requerirá acceso a un computador de escritorio o portátil, con una distribución de GNU Linux, preferiblemente.

Otros instrumentos necesarios para el aprendizaje serán: laboratorio de computadoras, proyector, tarjetas de desarrollo FPGA, herramientas de simulación y perfilado como Altera Quartus, Simple Scalar, valgrind, oprofile, MARS MIPS ARMSim#, entre otras.

**6. Evaluación** La evaluación del curso se basará en exámenes cortos (quices) individuales, tareas y exposiciones, individuales y en grupo, exámenes parciales individuales y proyectos grupales. El estudiante deberá desarrollar dos proyectos de diseño grupales y uno individual, que podrán ser evaluados mediante la presentación funcional, un reporte escrito, una comprobación individual, una bitácora y presentación ante el grupo.

Los quices se anunciarán con una clase de anticipación y cubrirán la materia vista en clase, así como lecturas complementarias asignadas por el profesor.

Los puntos en este rubro se distribuirán equitativamente dependiendo del número de trabajos por ítem.

Dada la naturaleza práctica del curso, no se podrá optar por un examen de reposición.

En resumen la evaluación se compone de la siguiente manera de forma tentativa (puede sufrir cambios):

Rubro	%	Fecha estimada	Estrategia evaluativa
Examen Parcial 1	15	Semana 9	Evaluación escrita con tiempo limitado de resolución.
Examen Parcial 2	15	Semana 16	Evaluación escrita con tiempo limitado de resolución y desarrollo práctico.
Proyecto Individual	15	Semana 7	Presentación funcional al profesor y revisión de documentación con rúbrica.
Proyecto Grupal 1	17.5	Semana 13	Presentación funcional al profesor y revisión de documentación por rúbrica.
Proyecto Grupal 2	17.5	Semana 18	Presentación funcional al profesor y revisión de documentación por rúbrica.
Tareas	7.5	Distribuido semestre	Desarrollo práctico o reporte evaluado con rúbrica.
Talleres	7.5	Distribuido semestre	Evaluación escrita con tiempo limitado de resolución.
Investigación - Exposición	5	Semana 16	Presentación al grupo y reporte evaluado con rúbrica.

## 7. Bibliografía

### ■ Obligatoria:

- Hennesy, J. And Patterson, David. Computer Architecture: A Quantitative Approach. 5th Edition. Elsevier – Morgan Kaufmann. 2012.
- Amdahl. G.M. Validity of the single-processor approach to achieving large scale computing capabilities. In AFIPS Conference Proceedings, vol. 30 (Atlantic City, N.J.. Apr. 18-20). AFIPS Press, Reston. Va., 1967. pp. 483-485 (paper).
- Flynn, M. J., & Rudd, K. W. (1996). Parallel architectures. ACM Computing Surveys (CSUR), 28(1), 67-70 (paper).

### ■ Complementaria:

- Patterson, D.; Hennesy, J. Computer Organization and Design: The Hardware/Software Interface. 5th Edition. Elsevier - Morgan Kaufmann. 2013.

- Shen, J and Lipasti, M; Modern Processor Design: Fundamentals of Superscalar Processors. 1st Edition. Tata McGraw-Hill. 2004.
- Stallings, W. Computer Organization and Architecture Designing for Performance. 8th Edition. Pretince Hall, 2010.
- Irvine, Kip; Assembly Language for Intel-Based Computers. 5th Edition. Pearson Education. 2007.
- Brey, B. Microprocesadores Intel. 8a Edición. Pearson. 2009.
- Abel, P. Lenguaje ensamblador y programación para PC IBM y compatibles. 3a Edición. Pearson. 1995.
- Rafiquzzaman, Mohamed. Microprocessors and microcomputer based Systems design. CRC press. 1990.
- Intel, iAPX 86, 88, 186 and 188 User's Manual and Programmer's Reference. Intel Corporation, Santa Clara, California, 1986.
- Tullsen, D., S. Eggers, and H. Levy. Simultaneous Multithreading: Maximizing On-Chip Parallelism. In The Proceedings of the 22rd Annual International Symposium on Computer Architecture, June 1995. (paper)

## 8. Profesor

MSc. Luis Alberto Chavarría Zamora.

Licenciado en Ingeniería Electrónica, Instituto Tecnológico de Costa Rica, Cartago, Costa Rica (2017).

Maestría en Ingeniería Electrónica con énfasis en Procesamiento Digital de Señales, Instituto Tecnológico de Costa Rica, Cartago, Costa Rica (2019).

Ha trabajado como investigador en el área de integridad de señales en el laboratorio de comunicaciones eléctricas y el laboratorio de computación de alto rendimiento (HPC). También ha trabajado en procesamiento de imágenes en el laboratorio UAS-TEC.

Correo-e [lachavarria@tec.ac.cr](mailto:lachavarria@tec.ac.cr)

Consulta Miércoles de 1:00 pm - 3:00 pm

Viernes de 1:00 pm - 3:00 pm

Consulta virtual Foros en tecDigital

Oficina F2-Of.20

Teléfono 2550-2565

**Lecciones:** [Enlace](#) - Canal: Lecciones / Quiz

**Consultas:** [Enlace](#) - Canal: Consultas

Colocar apodo: NombreApellido1. [Enlace para cambiar apodo.](#)