Laboratorio de DSP y FPGA

Trabajo Práctico N° 3

Grupo 2

KAMMANN, Lucas Agustín

FARALL, Facundo David

DAVIDOV, Gonzalo Joaquín

TROZZO, Nicolás Rafael

Contenido

[Ejercicio A 3](#_Toc83065343)

[Diseño 3](#_Toc83065344)

[Implementación 4](#_Toc83065345)

[Resultados 5](#_Toc83065346)

[Ejercicio C 5](#_Toc83065347)

[Ejercicio D 6](#_Toc83065348)

[Ejercicio E 6](#_Toc83065349)

# Ejercicio A

## Diseño

En este ejercicio, se propone diseñar e implementar un filtro de segundo orden digital, utilizando un filtro de respuesta impulsiva infinita (IIR). El tipo de filtro a diseñar es un pasabanda, y la Tabla 1, muestra los parámetros generales que lo describen.

|  |  |  |
| --- | --- | --- |
|  |  |  |
|  |  |  |

Tabla : Especificaciones de filtro pasabanda de segundo orden

Para un filtro de segundo orden, en configuración pasabanda, la función transferencia analógica, en el dominio de Laplace, se expresa de la siguiente forma

Se desea llevar la expresión anterior a una forma digital como la que se muestra a continuación, ya que es óptima para su implementación en un DSP. Los parámetros se pueden encontrar en la Tabla 2.

|  |  |
| --- | --- |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

Tabla : Parámetros del IIR

La Ilustración 1 y la Ilustración 2, muestran los resultados teóricos a partir de una simulación del filtro digital IIR realizada con Python.

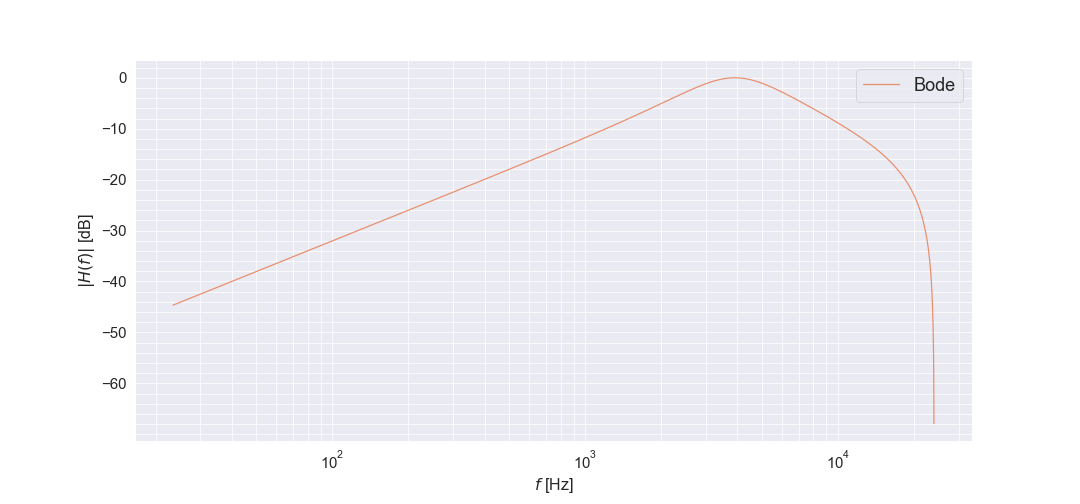


Ilustración : Diagrama de bode del IIR

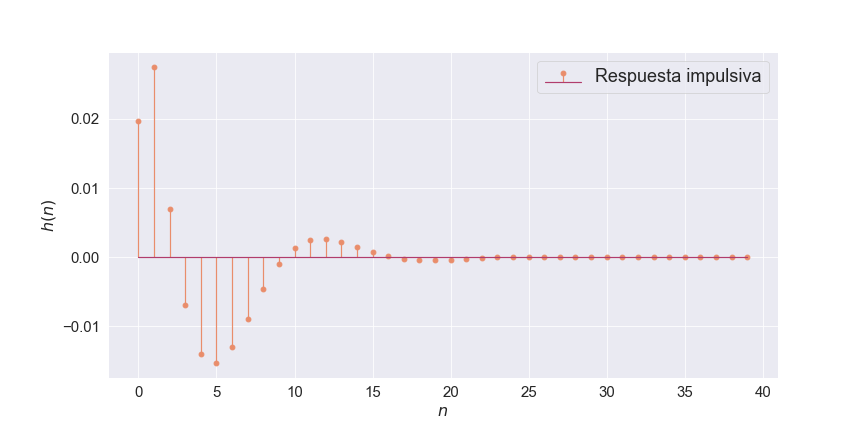


Ilustración : Respuesta al impulso del IIR

## Implementación

En la Ilustración 1, se muestra el fragmento de código fuente correspondiente a la implementación de la subrutina **iir**. La subrutina implementa el algoritmo para ejecutar el procesamiento por muestras de una celda IIR de segundo orden. Vale destacar, que se agregó una instrucción NOP (no operation) al final de la subrutina para agregar una demora previa a guardar el contenido del acumulador A. De esta forma, nos aseguramos por software que el resultado esté listo en el momento adecuado, y no se produzcan problemas por dependencias.

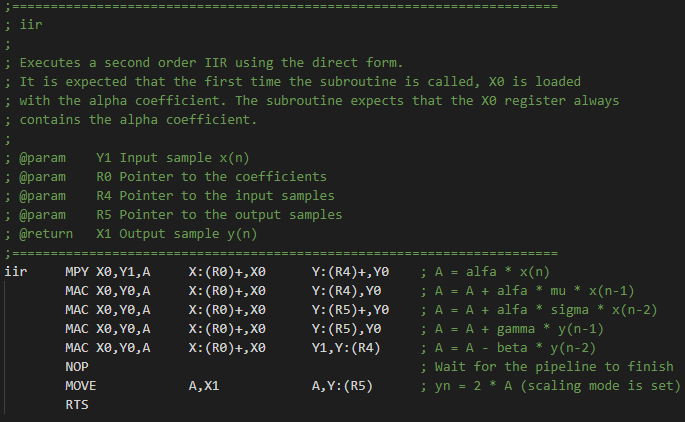


Ilustración : Subrutina **IIR**

## Resultados

Previo a la validación práctica, se realizó una simulación con el simulador provisto por Motorola para el DSP56307, utilizando el **iir\_testbench**, utilizando como entrada una delta y observando en memoria la salida del filtro IIR. De esta forma, se verifica que se comporta como es esperado el filtro, por contrastación de la respuesta impulsiva.

Para la validación del filtro IIR diseñado, se compila, enlaza y programa el DSP56307 de Motorola con el código fuente **filtro.asm** que utiliza la subrutina **iir** desarrollada. Se conecta la entrada de audio de la placa de desarrollo del DSP56307 al generador, y su salida al osciloscopio, y se procede a medir la respuesta en frecuencia en un rango . Es importante tener configurada la placa de desarrollo (por hardware) en una frecuencia de muestreo .

En la Tabla 3 se muestra la contrastación entre la especificación, como objetivo buscado por el diseño teórico, y la medición como resultado práctico.

|  |  |  |  |
| --- | --- | --- | --- |
|  | *Especificación* | *Medición* | *Error porcentual* |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

Tabla : Validación de especificaciones

Para finalizar, se ilustra a continuación la respuesta en frecuencia medida en la implementación práctica sobre el DSP56307.

# Ejercicio C

El rango dinámico del filtro se define como:

Este se ve limitado por la cantidad finita de bits disponible, es decir, por la cuantización realizada en el procesamiento digital. La cuantización afecta el rango dinámico en dos puntos [1]:

* Digitalización de la señal de entrada. No es analizada ya que forma parte de la conversión AD.
* Redondeo (o truncado) del producto de multiplicaciones.

La segunda es la principal fuente de ruido, llamado “round-off noise”, se encuentra en varios puntos a lo largo del filtro, luego de cada multiplicación, y limita el rango dinámico del filtro, en particular limita la mínima amplitud de entrada.

Por lo tanto, tanto el numerador como el denominador de la expresión de RD tienen limitaciones debido a la cantidad de bits:

* : Debe ser tal que no haya overflow en ninguna de las operaciones intermedias.
* : Debe ser tal que el “round-off noise” nos permita operar. Se debe definir un SNR deseado.

En relación a la limitación del overflow para es que el DSP tiene bits extra en los acumuladores A y B, con lo que este efecto se ve minimizado, aunque no desaparece.

La ganancia y el Q de las etapas intermedias afectan al rango dinámico, ya que si las ganancias son muy desparejas y hay Q’s muy altos, la señal sufrirá muchos cambios innecesarios, pudiendo llegar en cualquier punto del filtro tanto al límite de overflow como al límite de SNR por hacerse muy pequeña. Por lo tanto, así como en los filtros analógicos, se deben evitar los altos Q y tener ganancias parejas.

**Referencia**: [1] “On the Interaction of Roundoff Noise and Dynamic Range in Digital Filters”. Jackson, 1970.

# Ejercicio D

La cuantización de los coeficientes del IIR puede afectar en que, por ejemplo, los polos y los ceros de la respuesta en frecuencia cambiarán al elegir los niveles de cuantización. Se debe tener esto presente ya que, a su vez, podría afectar a la estabilidad del filtro si justo uno de estos cambios numéricos hace que un polo de la respuesta en frecuencia quede ubicado en el semiplano derecho. Otro parámetro que se verá afectado es la ganancia del filtro.

# Ejercicio E

Si se quiere implementar el filtro del Ejercicio 1.b, pero ahora utilizando un FIR en lugar de un IIR se va a necesitar realizar un filtro de mayor orden. Para poder lograr esto se necesitará más memoria ya que la respuesta impulsiva del filtro será de mayor orden y, por lo tanto, habrá más cantidad de muestras de entrada.

Además, al usar un FIR se tendrá un mayor costo computacional para realizar todas las operaciones necesarias para el orden del filtro, que, cuando se implementa con un IIR, se hace uso de las conexiones en cascada de segundo orden. Por esto último se puede agregar que se necesitará un hardware más veloz para realizar las operaciones con la misma velocidad que para un IIR.