

Laboratorio de DSP y FPGA

Trabajo Práctico N° 5

Grupo 2

KAMMANN, Lucas Agustín

FARALL, Facundo David

DAVIDOV, Gonzalo Joaquín

TROZZO, Nicolás Rafael

Contenido

1. Diseño	3
2. Resultados	4

1. Diseño

Se diseña un circuito de PWM para ser implementado en la FPGA Cyclone IV de Intel, mediante el programa de diseño Quartus Prime Lite Edition. El mismo se compone de los siguientes bloques funcionales:

- PLL: encargado de obtener la frecuencia de clock deseada a partir de una entrada de 50MHz, en este caso, seteando la salida a 100MHz.
- Divisor de frecuencia de factor 2^{-20} : en este caso, implementado con un contador de 20 bits, cuya salida será de 95.36KHz (≈ 100 KHz) dada la entrada de 100MHz, y así poder alimentar al módulo de PWM con esa frecuencia de clock.
- Contador de 8 bits: encargado de generar una rampa ascendente para ser utilizada por el PWM como señal indicadora de duty cycle (en este caso implementaría un duty ascendente hasta el 100%, que luego se reinicia a 0).
- PWM: módulo que implemente al el PWM propiamente dicho; recibe una señal de duty cycle, enable, reset y clock, y expone como salidas una señal cuadrada con el duty cycle variable solicitado, y su versión negada.

El circuito logrado es el presentado en la Ilustración 1.1: Circuito diseñado en Quartus Prime Lite Edition para implementar un PWM en una FPGA..

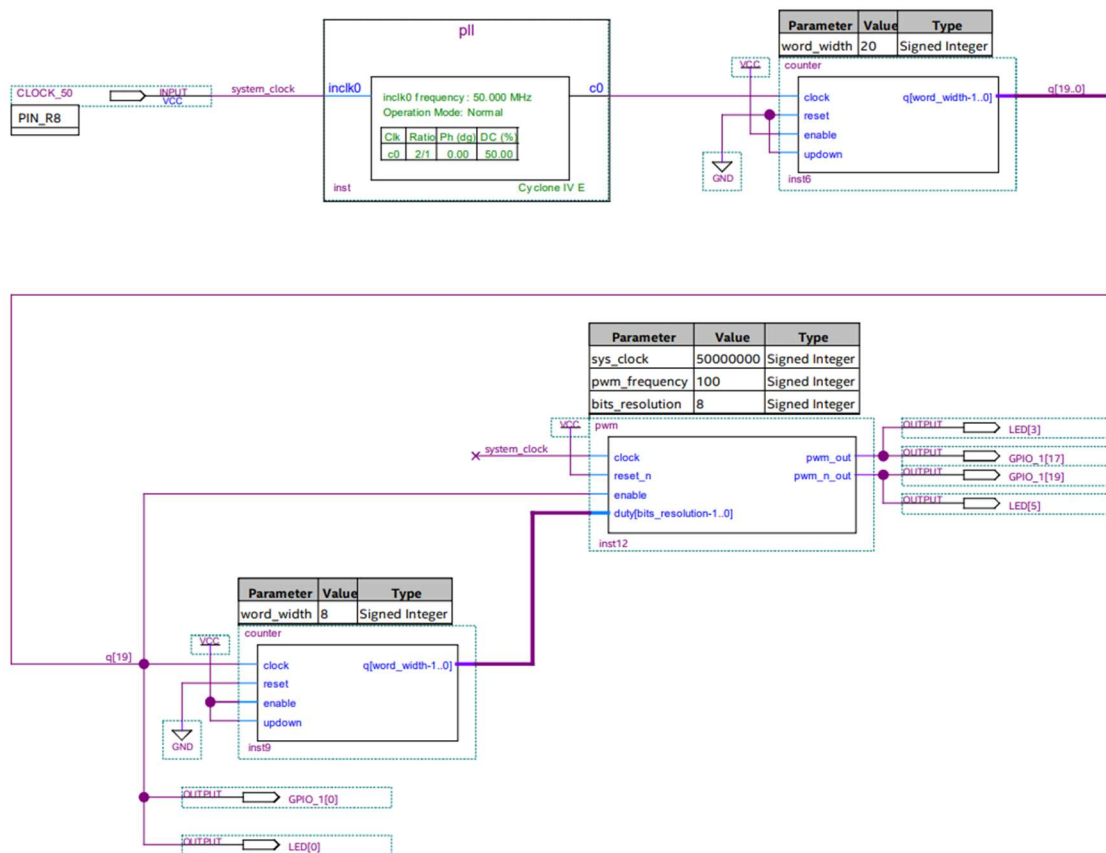


Ilustración 1.1: Circuito diseñado en Quartus Prime Lite Edition para implementar un PWM en una FPGA.

2. Resultados

Se compila el proyecto en la FPGA Cyclone IV de Intel y se prueba satisfactoriamente en, midiéndose su salida en la placa experimental Digilent Explorer, observando una señal cuadrada con duty cycle ascendente, conforme avanza el contador implementado.

Se expone en las Ilustraciones Ilustración 2.1: Salida del PWM con un duty cycle de 74.2% en la salida sin negar. y Ilustración 2.2: Salida del PWM con un duty cycle de 25.8% en la salida sin negar. salidas medidas del circuito, con dos dutys distintos.

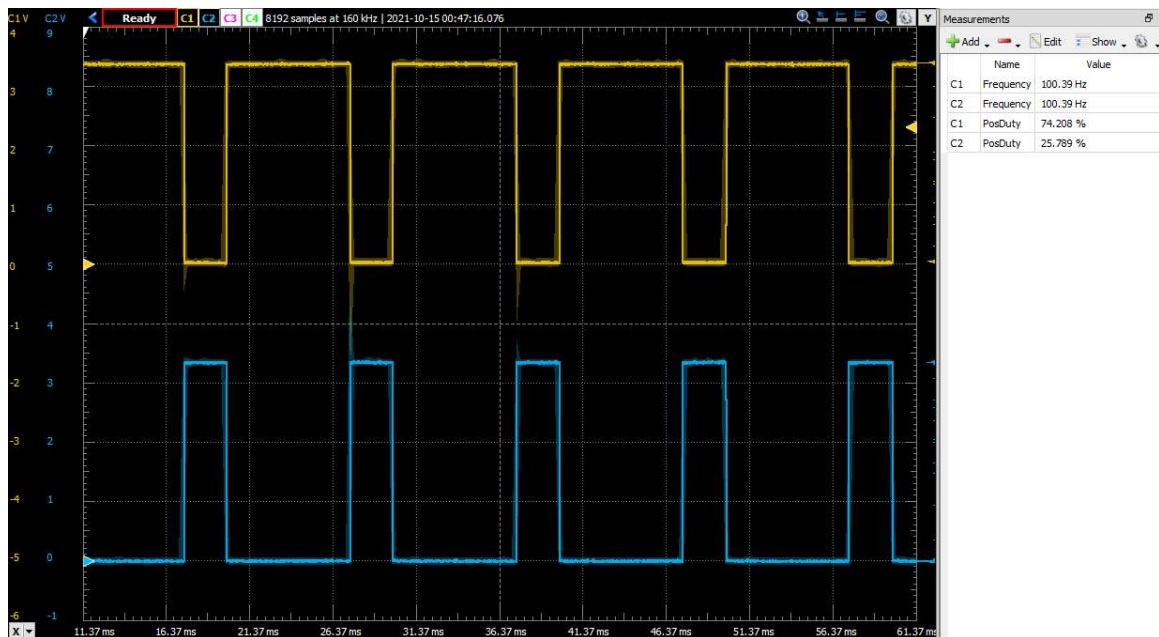


Ilustración 2.1: Salida del PWM con un duty cycle de 74.2% en la salida sin negar.

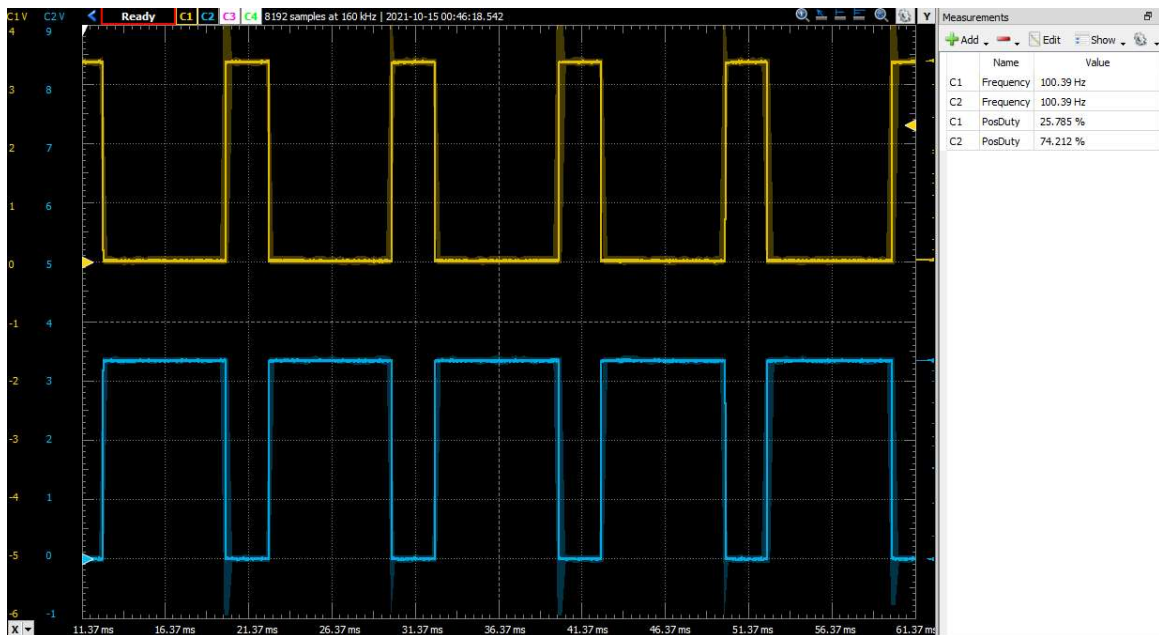


Ilustración 2.2: Salida del PWM con un duty cycle de 25.8% en la salida sin negar.