TP6 Ejercicio 1

Filtrado FIR con aritmética distribuida

El filtrado con aritmética distribuida es una forma eficiente de realizar un filtrado FIR en una FPGA. Se basa en una propiedad que se da al representar los números en complemento a 2, donde para calcular la salida del filtro se puede realizar una acumulación desde los bits menos significativos hacia los bits más significativos, shifteando la suma acumulada.

Text

Description automatically generated with low confidence

Luego se puede implementar una arquitectura donde secuencialmente se va calculando la suma acumulada y se la va shifteando.

Para implementarlo en la FPGA, se puede obtener la siguiente arquitectura, donde se implementa la suma de las distintas entradas mediante una LUT, donde para cada combinación de entradas las salidas son combinaciones lineales de los coeficientes del FIR.

Diagram

Description automatically generated

A continuación, se muestra la implementación de la LUT en VHDL, donde los coeficientes del FIR son 2, 3 y 1:

Text, table

Description automatically generated

Luego, para utilizar la LUT se deben tomar sus salidas, shiftearlas a la izquierda la cantidad de bits que tengan los coeficientes – 1, y sumarla a la suma acumulada shifteada 1 bit a la derecha. Finalmente se prepara la siguiente entrada, que consiste en implementar el Bit Shift Register de las muestras de entrada:

Text

Description automatically generated

Luego de realizar la operación para todos los bits de las muestras de entrada, se tendrá calculada la muestra de salida.